

97

THE MICROCOMPUTER PERIPHERAL LSI MANUAL

最新

# マイコン周辺LSI規格表

CQ出版社

半導体規格表シリーズ(全20冊)

No.19



# CQ出版社の雑誌

(年間購読料金は税込み、送料込みの金額です)

## CQ Ham Radio

- アマチュア無線の総合誌
- 月刊誌：毎月19日発売
- 判型：B5判
- 定価：690円
- 年間購読料金：10,800円



## トランジスタ技術

- 役に立つエレクトロニクスの総合誌
- 月刊誌：毎月10日発売
- 判型：B5判
- 定価：650円
- 年間購読料金：13,200円



## TRY!PC

- スーパーユーザーをめざす人のためのマガジン
- 月刊誌：毎月18日発売
- 判型：B5判
- 定価：750円
- 年間購読料金：10,440円



## Interface

- ハイパーエンジニアのためのインタラクティブ・マガジン
- 月刊誌：毎月25日発売
- 判型：A4変形判
- 付録：年4回 CD-ROM添付
- 定価：750円(特別号960円)
- 年間購読料金：11,640円



## DESIGN WAVE MAGAZINE

- EDA・最新デバイス・先端エレクトロニクスの専門誌
- 隔月刊誌：偶数月10日発売
- 付録：CD-ROM
- 定価：1,990円
- 判型：A4変形判
- 年間購読料金：12,000円



## OPENDESIGN

- ネットワーク技術・強化マガジン
- 隔月刊誌：偶数月24日発売
- 判型：B5判
- 定価：1,840円
- 年間購読料：11,040円



## SPECIAL

- エレクトロニクスの基礎と実用技術を濃縮したフィールド・ワーク・マガジン
- 季刊誌：3月、6月、9月の29日、12月27日発売
- 判型：B5判
- 定価：1,840円

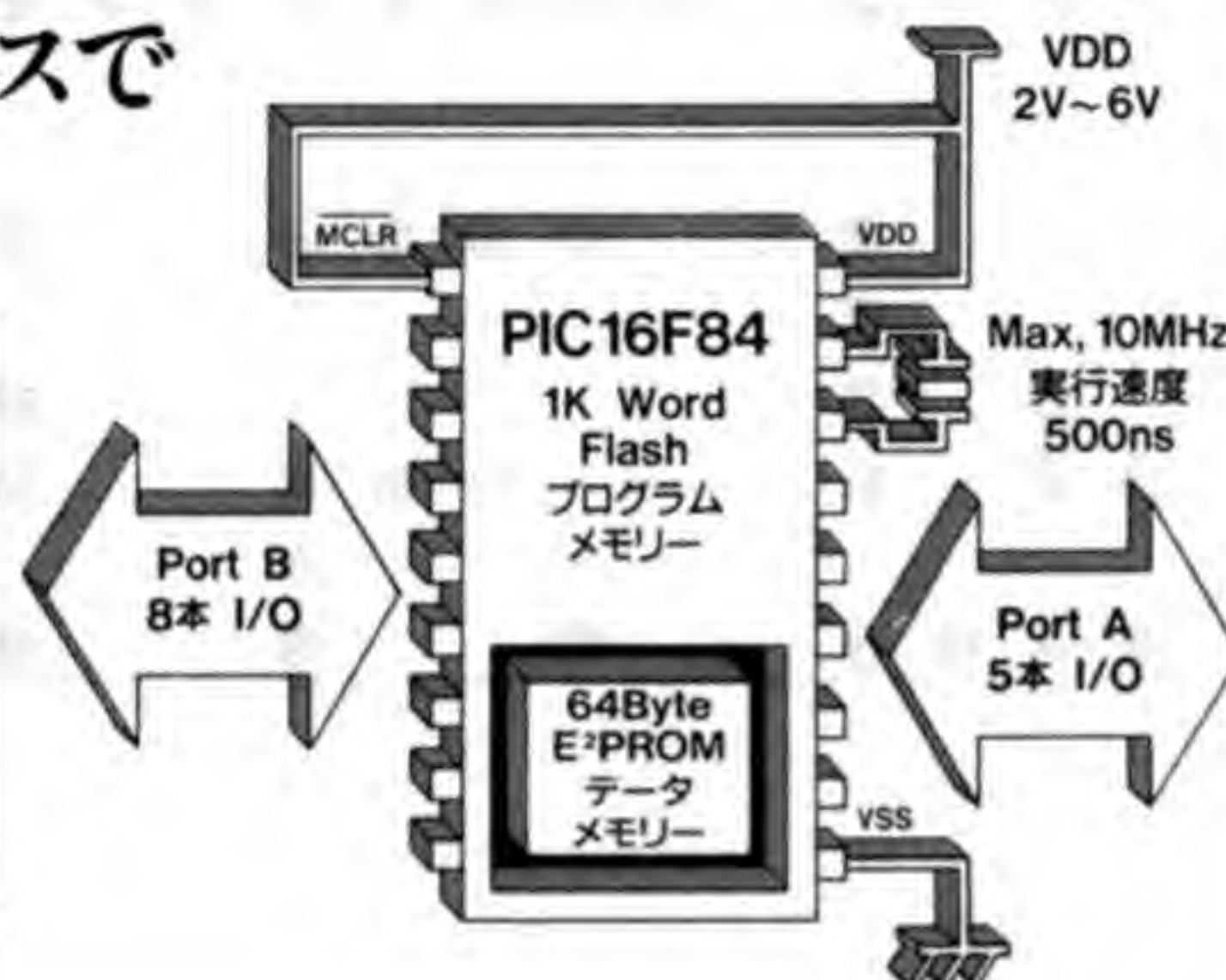




# Now Design It™

コストパフォーマンスで  
卓越した実力の

**PIC® 8ビット  
マイクロコントローラ  
Flashシリーズ**



信頼と実績の

## EEPROMシリーズ

1. 豊富な製品群…… 24シリーズ(I<sup>2</sup>C bus) 128bit~64kbit  
25シリーズ(SPI) 1kbit~64kbit  
93シリーズ(Microwire) 1kbit~16kbit
2. 多彩なパッケージ… 標準の8ピンプラスチックDIP、SOP  
小型のTSSOP、5ピンSOT23(128bit品のみ)
3. 広い動作電圧(1.8V~5.5V)と広い動作温度範囲(-40°C~+125°C)

## その他の製品群

- EPROM…… 27Cシリーズ  
— 64k~512k迄の製品をOTPでサポート
- パラレルEEPROM… 28シリーズ  
— 4k、16k及び64k品をサポート
- セキュリティ製品…… “HCS”シリーズで高度なセキュリティを実現  
— Keeloqコードホッピングエンコーダデバイス  
— Keeloqコードホッピングデコーダデバイス
- QuickASIC™…… FPGA/PLDの置き換えを低価格、短納期でサポート

## 【販売代理店】

丸紅ハイテック株式会社  
 ☎東京(03)5228-7241 ☎大阪(06)395-5529  
 大日制御器株式会社  
 ☎東京(03)3818-8081 ☎大阪(06)203-6311  
 グローバル電子株式会社  
 ☎東京(03)3260-1411 ☎大阪(06)307-2324  
 ユニダックス株式会社  
 ☎東京(0422)31-4111 ☎大阪(06)458-9605  
 菱電商事株式会社  
 ☎東京(03)5396-6211 ☎大阪(06)399-3436



**MICROCHIP**

The Embedded Control Solutions Company™

マイクロチップテクノロジー Int'l Inc. 日本支社

〒222 神奈川県横浜市港北区新横浜3-18-20 BENEX S-1 6F

● 詳しい情報はインターネットからダウンロードできます!

<http://www.microchip.com>

法人のお客様のお問合せは ☎ 045-471-6166

☎ 045-471-6122



ディーラ、ショップ名	デバイス・メーカー名	ACTEL	ADVANCED MICRO DEVICES	ALTERA	ANALOG DEVICES	APEX MICROTECH	旭化成マイクロシステム	BROOKTREE	BURR BROWN	キヤノン	シーアールボックス	CYPRESS SEMICONDUCTOR	DALLAS SEMICONDUCTOR	DATTEL	DIGITAL EQUIPMENT	ELANTEC	富士通	GENERAL INSTRUMENT	GOLD STAR(金星電子)	浜松ホトニクス	HARRIS	HEWLETT PACKARD	日立製作所	HYUNDAI ELECTRONICS(現代電子)	INTEGRATED DEVICE TECHNOLOGY	INTEL	LATTICE SEMICONDUCTOR	LINEAR TECHNOLOGY	MAXIM INTEGRATED	MICROCHIP TECHNOLOGY	マイクロチップ	三菱電機	MOSEL-VITELIC	MOSPEC SEMICONDUCTOR	MOTOROLA	電話番号
アロマン(株)		●	●	●	●		●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	044-934-0034
今永電機産業(株)																																				06-974-1111
極東貿易(株)						●																														03-3244-3793
清友電子(株)				●	●			●				●		●	●	●	●	●	●	●	●	●	●	●	●	●	●		●	●		●	●	●	●	03-3864-6131
(株)テレビイ商会																			●																	03-3253-3861
(株)十一電気商会			●		●								●			●			●		●									●	●					06-211-4107
(株)東通販				●		●					●		●	●		●	●		●					●	●	●		●						●		03-3255-1051
マイクロテック(株)			●								●			●											●								●			03-5300-5535
ロジックデバイス(株)		●			●	●		●	●	●	●		●			●			●	●	●	●		●		●			●					●		03-5294-3661

[illegible]



ディーラ、ショップ名	デバイス・メーカー名										その他の電子部品名																	電話番号													
	東芝	UMC	ユニゾン	ヤマハ	ZILOG													抵抗器	ダブル・バランスド・ミキサ	コンデンサ	トランス	コイル	フィルタ	スイッチ	リレー	モータ	ファン		プロア	振動子	発振子	E.M.I対策用部品	プリント基板	コネクタ	ケーブル	筐体	シヤース	ソケット	端子部品	電源機器	
アロマン(株)	●	●	●	●	●													●	●	●	●	●			●	●		●	●					●	●					044-934-0034	
今永電機産業(株)																		●	●	●	●	●			●	●	●	●	●	●	●	●	●	●	●	●	●				06-974-1111
極東貿易(株)																																									03-3244-3793
清友電子(株)	●		●	●	●													●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●			03-3864-6131
(株)テレビイ商会																																									03-3253-3861
(株)十一電気商会	●																	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●			06-211-4107
(株)東通販	●																	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●			03-3255-1051
マイクロテック(株)																																									03-5300-5535
ロジックデバイス(株)	●		●		●													●	●	●	●	●	●			●	●	●	●	●	●	●	●		●	●					03-5294-3661

未来の技術を開発する  
**KRAIAS** 水晶発信器の出力が瞬時に外部同期可能です!!

**画像処理回路のクロック源に**



**®グリスンゲートファミリー KS6369シリーズ**

**®クレイアス株式会社** 〒258 神奈川県足柄上郡松田町寄5501  
TEL.0465(89)2825 FAX.0465(89)2826

**半導体と電子部品は先ず当社へ**



〈半 導 体〉  
HITACHI・JRC・SANYO  
RCA・ROHM・FUJITSU  
NEC・TOSHIBA・National 他  
〈電子部品〉  
村田製作所・ケル・マルコン  
マックエイト・エコー・エブレン  
ニッセイ・リケン・シズキ  
他

**Teichi** 在庫豊富・納期迅速、ユーザーのニーズに応える  
**株式会社 十一電気商会**  
〒542 大阪市中央区日本橋1-10-4 TEL.06(211)4107(代) FAX.06(211)4709



HITACHI

# 日立半導体

マイクロコンピュータ

**即納システム!! すぐお手もとへ**  
新製品豊富に取りそろえております。

**H8S/2000シリーズ  
(16ビットマイコン)**

■高性能、低消費電力、  
スタティック回路採用



## 取扱品目

- マイクロコンピュータ
- 液晶表示モジュール
- トランジスタ、ダイオード、MOSFET
- 光素子
- ICメモリ/モジュール
- 標準ロジックIC
- 標準リニアIC
- 電力用シリコン ●その他

## 取扱メーカー

(株)日立製作所(半導体)  
 (株)日立マイコンシステム  
 日立ソフトウェアエンジニアリング(株)  
 日立エンジニアリング(株)・その他

お問い合わせは24時間対応の

FAX情報サービス ☎03-3251-6807

ホームページ: <http://www.telesyo.co.jp>

をご利用下さい。

**株式会社 テレビ商会 第一営業部**

〒101 東京都千代田区外神田1-15-6

TEL 03(3253)3861(代表) FAX 03(3253)3860

**JRC**

電子部品営業部

**OKI**



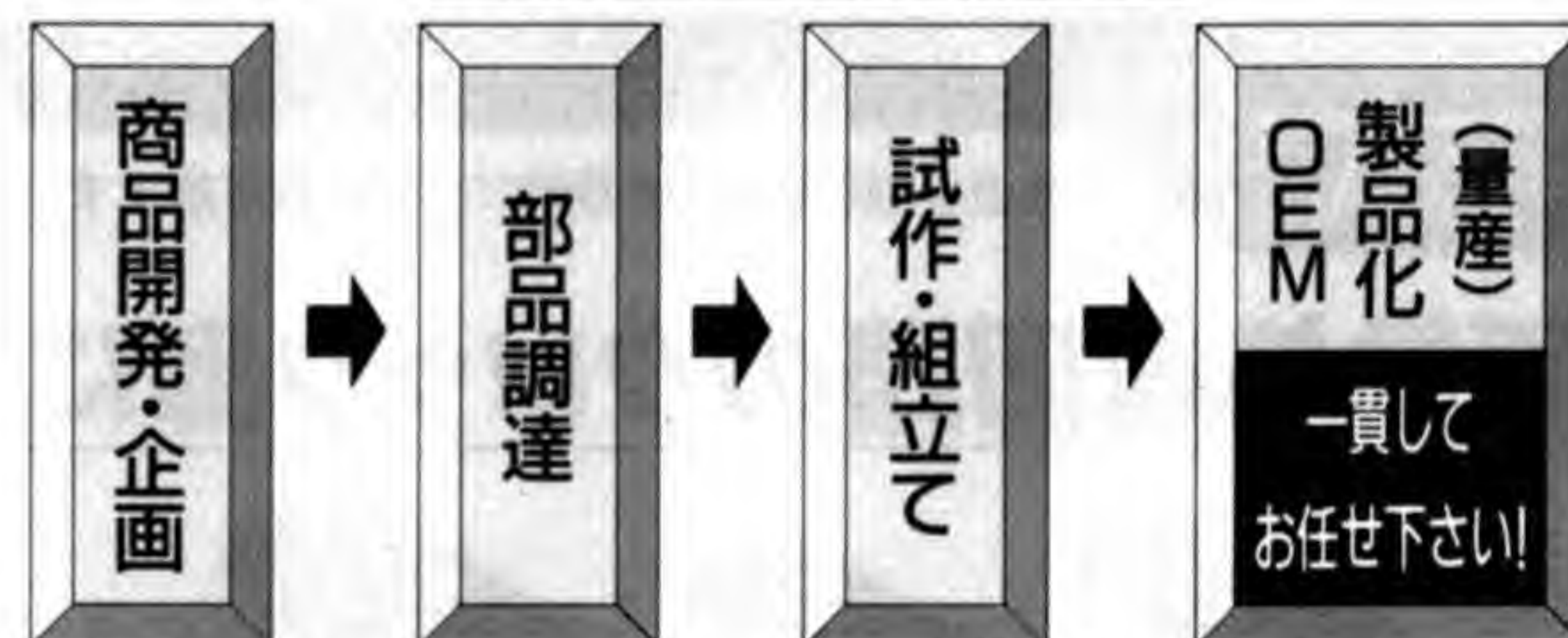
**電子デバイスの事なら迅速!  
御用命ください。**

■CRよりスイッチ、リレー、マイコン、音声ICメモリ等

**MOSPEC**

**電子部品は全種キット受注が可能でお得です。**

コンポーネント、電源営業部



- 各種開発(商品開発、回路、ソフト、基板、筐体、ハーネス等)
- 各種電源(国内・海外メーカー代理店、スイッチング電源、ACアダプタ、充電器、トランス、フィルタ等) ■お気軽にお申し付け下さい。

**SEC 清友電子株式会社**

〒101 東京都千代田区東神田1-10-7 篠田ビル5F TEL.03-3864-6131/FAX03-3864-6149



# 取扱実績1000社/仕入先国内500社、海外350社

## 部品調達は実績のアロマンへ...

当社は貴社の調達部門のつもりで量産コストダウンから緊急調達、  
試作基板、製品組立まですべてお手伝い致します

全国カバー・輸出入もいたします

- 量産コストを下げたい ●緊急に調達したい ●海外在庫を入手したい
- 集約手配で口座を減らしたい ●手配代行を頼みたい ●不要在庫を処分したい
- 実装を頼みたい ●ウエハーチップが欲しい

## 全米を結ぶネットワーク

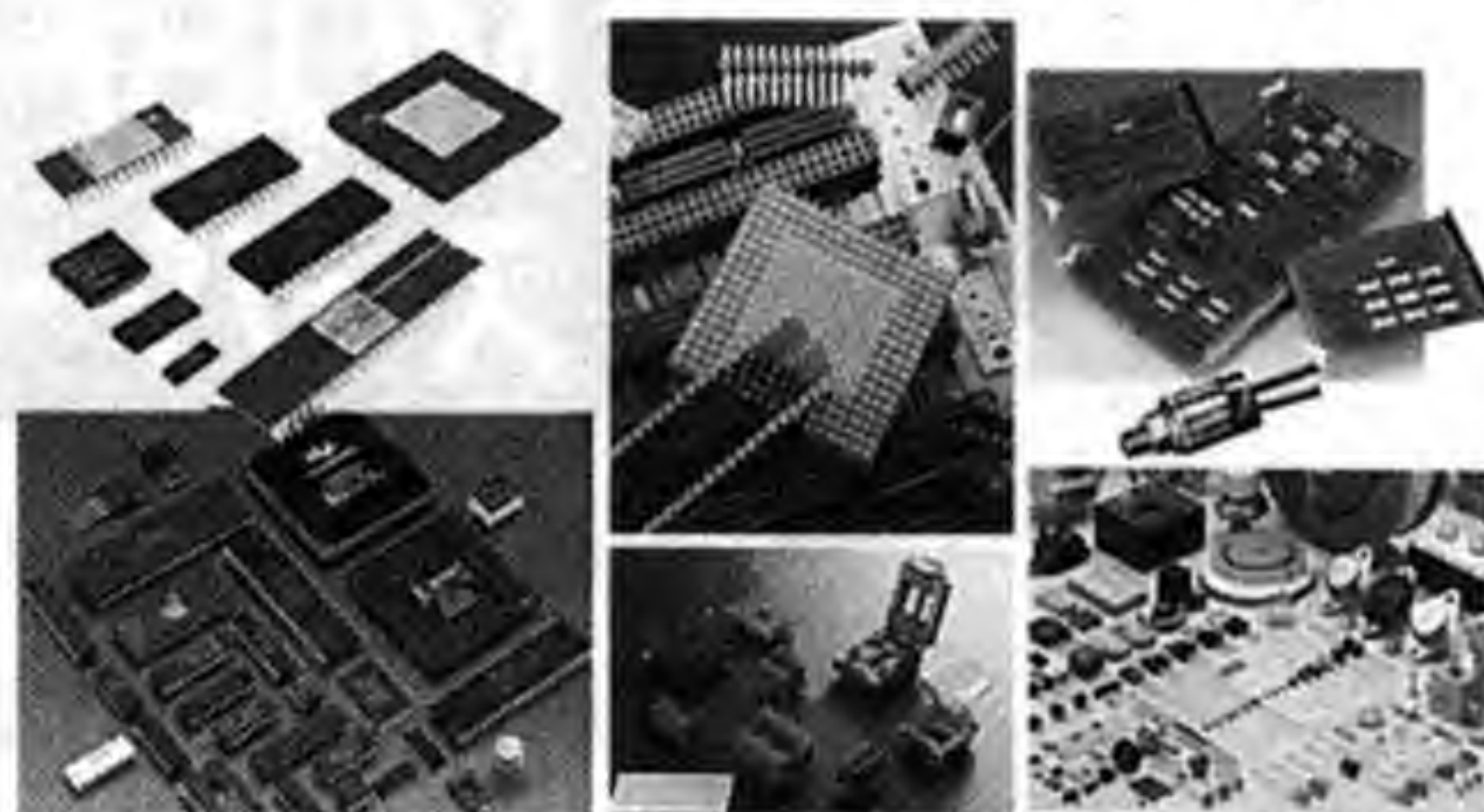
欧州・台湾・シンガポールともリンク

USA 260社  
台湾 50社  
シンガポール20社  
香港 10社  
欧州 10社



## ■取扱品目

IC・半導体部品  
一般電子部品  
各種機構部品  
サーモスタット  
レーザー機器  
PC関連機器



## ■主な取扱メーカー

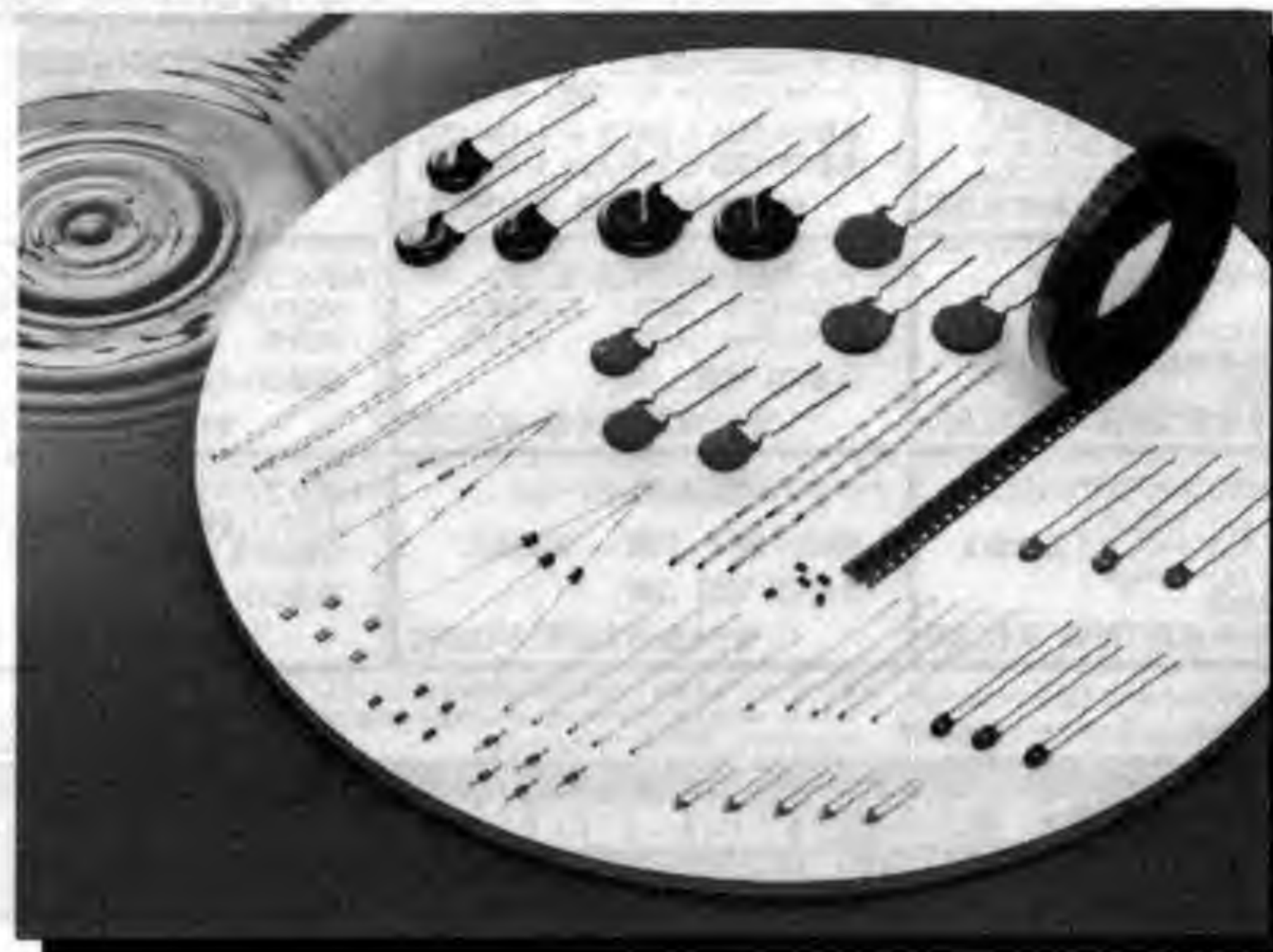
TI 東芝 NEC シャープ アナログデバイス 日立 富士通 モトローラ 三洋 新日本無線  
INTEL SGS MAXIM NSC AMD オリジン 日本インター ローム サンケン 富士電機 I-R  
TDK ミツミ トーキン キンセキ 東信工業 山一電機 ヒロセ AMP 本多通信 ホシデン  
上記以外のメーカーも数多く取扱っております。

エレクトロニクス総合商社 ●日本テキサスインスツルメンツ株式会社特約店、他  
**アロマン株式会社** TEL044(934)0034代 FAX044(934)0017

〒214 神奈川県川崎市多摩区登戸3508 コアクレスト登戸1F E-Mail aloman@ma.kcom.or.jp

# SEMITEC®

# 高精度サーミスタ



## バッテリー用サーミスタシリーズ

バッテリー用サーミスタの基本特性に標準対応  
抵抗値:  $10k\Omega \pm 1\%$ 、B定数:  $3435K \pm 1\%$

- サーミスタ素子: 高精度サーミスタ(AT、ET、HT、IT、JTシリーズ)  
EIAJチップサーミスタ(1005、1608、2125シリーズ)
- サーミスタセンサ: OA、FA、HA その他各種センサ
- 突入電流抑制素子: パワーサーミスタ、マークII
- サージアブソーバ: シリコンサージアブソーバVRD、各種バリスタ
- 定電流ダイオード: CRD
- デジタル温度センサモジュール: DMシリーズ
- 各種温度コントローラ: TF/TG/TE/TCシリーズ

## 石塚電子株式会社

本社/〒130 東京都墨田区錦糸1-7-7 ●営業本部ダイヤルイン ☎03-3621-2703 <FAX>03-3623-6100  
西日本/〒532 大阪市淀川区宮原2-1-17(新大阪プロスベルビル) ☎06-391-6491(代表) <FAX>06-395-3649  
名古屋/〒465 名古屋市名東区高社1-263(一社中央ビル5F) ☎052-777-5070(代表) <FAX>052-777-5061  
ホームページ開設中 URL <http://www.semitec.co.jp/>



## チップサンプルボックス

ジャストサイズで手に入る...小型で軽量、中身は豊富で低価格

ミニサイズ: 60×90×90mm, 185g

<b>●チップ積層セラミックコンデンサ (ローム)</b> 1pF~0.1μF 45種 各50個入 品番CR-1805 1.6×0.8mm 品番CR-2105 2.0×1.25mm <b>セット合計2250個 各¥18,000</b>	<b>●チップ固定抵抗器 (ローム)</b> 0~1MΩ (12シリーズ) 70種 各100個入 品番CR-0310 1.6×0.8mm 1/16W±5% 品番CR-1010 2.0×1.25mm 1/10W±5% <b>セット合計7000個 各¥18,000</b>	<b>●チップインダクタ (太陽誘電)</b> 巻線型0.1~220μH 40種 各10個入 積層型0.1~33μH 16種 各10個入 品番CR-L560 <b>セット合計560個 ¥20,000</b>
<b>●チップアルミ電解コンデンサ (ニチコン)</b> WXシリーズ6.3~50V 0.1~100μF 高さ5.5mm無極性品 26種 各15個入 品番CR-390 <b>セット合計390個 各¥18,000</b>	<b>●チップ金属被膜抵抗器 (進工業)</b> 10Ω~1MΩ 66種 各100個入 2.0×1.25mm 1/10W ±0.5% 品番CR-1220 <b>セット合計6600個 ¥25,000</b>	<b>●チップトランジスタ (ローム)</b> MOSFET POWER 6種 各20個入 小信号 デジトラ 14種 各40個入 品番CR-T680 <b>セット合計680個 ¥18,000</b>
<b>●チップタンタルコンデンサ (NEC)</b> 6.3V 2.2μF~47μF } 各10個入 16V 1.0μF~47μF } 35V 0.1μF~10μF } 品番CR-SV33 <b>セット合計330個 ¥22,000</b>	<b>●チップ半固定抵抗器 (ローム)</b> 100Ω~1MΩ 17種 各20個入 品番CR-3202 3型 <b>セット合計340個 ¥18,000</b>	<b>●チップダイオード (ローム)</b> スイッチング、整流、ショットキー、ア8種 } 各30個入 定電圧31種 ダイオードアレー 3種 } 品番CR-D126 <b>セット合計1260個 ¥20,000</b>

**新製品** SOPタイプ4HC/HCT, 4000シリーズCMOS  
**発売予定** ネットワーク抵抗器, 発光ダイオード, 水晶発振器

●ご注文・ご注文の品等、詳細につきましては、下記までお問合せ下さい。  
 ●ロジックデバイス部は通販で受け付けます。

<b>ロジックデバイス部 通販部</b> 〒101 東京都千代田区外神田3-4-10 神田寺ビル TEL 03(5294)3661 FAX 03(5294)3662	<b>仙台無線器材株 取扱店</b> 〒982 仙台市太白区経路12番24号 TEL 022(224)6436 FAX 022(224)6437	<b>有シーアール 店頭販売</b> 〒101 東京都千代田区外神田1-14-2 秋葉原ラジオアール内5番店から徒歩0分!! TEL 03(3251)9755 FAX 03(3251)9756
------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------

## APEX μtech アペックス 小型・軽量・高出力・PWM方式

# スイッチングパワーアンプ

## モデル SA01, SA02, SA50, SA51

特性	SA01	SA02	SA50	SA51
出力電力	2000W	800W	400W	400W
出力電流	20A	10A	5A	5A
電源電圧レンジ	16~100V	16~80V	16~80V	16~80V
スイッチング周波数	42KHz	250KHz	45KHz	外部同期

**用途**

- ブラシ型モータ制御用
- コイル駆動用
- アクティブ磁気軸受用
- ベルチェ素子駆動用 etc.

★各データシート及びアペックス総合ハンドブックを呈呈します/(下記宛御請求下さい)

**KBK 極東貿易株式会社**

電子機器部電子デバイス課 ☎03-3244-3793(ダイヤルイン)  
 本社 〒100-91 東京都千代田区大手町2-2-1 新大手町ビル  
 大阪支店 ☎06-344-1122 名古屋支店 ☎052-571-2571

## スイッチング電源の常識を塗り替えた、 新世代のパワーモジュール

スィッチング・パワー・サブライ  
DC/DCコンバータ  
ノイズフィルタ

ネミック・ラダ

●自動制御部品の総合商社

# 今永電機産業株式会社

営業部: 〒537 大阪市東成区東今里3-9-20 ☎06(974)1111代・FAX 06(974)1253  
 本社: 〒537 大阪市東成区東今里3-9-21 ☎06(974)1191代

## MOSFETなら スーパーテックス社

●低スレッショルドMOSFET  
●高耐圧MOSFET  
●カスタムMOSFETも対応  
●低価格

**Supertex inc.**

日本総代理店 **MICROTEK** マイクロテック株式会社

●本社 ☎03-5300-5535 ●大阪 ☎06-263-5080  
 ●厚木 ☎0462-29-3631 ●名古屋 ☎052-782-1603



# STNカラーLCD用コントロール基板

へい!!おまち!!

STNカラーLCD用コントロール基板「ILCシリーズ」は、8ビットCPUのバス上にダイレクトにインターフェイスできます。そのため、直接V-RAMに書き込むだけでデータ（文字、絵など）を高速にしかも簡単にLCDに描画することができます。

- 基板サイズはテレホンカード並みの小型タイプ
- 電源はDC5V ●部品感覚で使用できる
- 超低価格 ILC-ST320Z : ￥20,000  
ILC-ST320ZB : ￥21,600 (5個からの場合の)  
ILC-SO320Z : ￥20,000 (サンプル価格)

## ■適用LCD

	コントロール基板	適用LCD
ILCシリーズ	ILC-ST320Z	・GMH32024A (スタンレー電気製) ・GMH32024B (スタンレー電気製) 320×240ドットCSHカラーLCD
	ILC-SO320Z	・DMF-50268NCU-FW (オプトレックス製) 320×240ドットSTNカラーLCD ・LCM-5382-22NEK (鳥取三洋電機製) 320×240ドットSTNカラーLCD



お待たせしました。  
あなたの悩み解決基板!!



株式会社 インテグラル電子

〒182 東京都調布市八雲台2-9-1 TEL.0424(81)2821 FAX.0424(81)1288



# MANUFACTURER'S GUIDE

< 広告主情報 >

社 名 (販売拠点)	所 在 地	TEL	FAX
アイアールファースト(株)	〒171 東京都豊島区西池袋3-30-4 K&Hビル	03-3983-0086	03-3983-0642
大阪支社	〒532 大阪市淀川区西中島7-6-12 新大阪駅前末広ビル	06-302-9005	06-302-9105
名古屋支社	〒465 名古屋市名東区社台3-247 第三名昭ビル6-B	052-774-7707	052-774-7731
石塚電子(株) 営業本部	〒130 東京都墨田区錦糸1-7-7	03-3621-2703	03-3623-6100
西日本支社	〒532 大阪府大阪市淀川区宮原2-1-17 新大阪プロスペルビル	06-391-6491	06-395-3649
名古屋支社	〒465 愛知県名古屋市名東区高社1-263 一社中央ビル	052-777-5070	052-777-5061
(株)インテグラル電子	〒182 東京都調布市八雲台2-9-1	0424-81-2821	0424-81-1288
クレイアス(株)	〒258 神奈川県足柄上郡松田町寄5501番地	0465-89-2825	0465-89-2826
(株)東芝 半導体営業企画担当	〒105-01 東京都港区芝浦1-1-1 東芝ビルディング	03-3457-3405	03-5444-9342
北海道支社 電子部品担当	〒060 北海道札幌市中央区北三条西1 東芝札幌ビル	011-214-2481	011-280-3286
東北支社 電子部品部	〒980 宮城県仙台市青葉区本町2-1-29 第一生命ホンマビル	022-264-7622	022-264-7496
北関東支社 半導体営業部	〒331 埼玉県大宮市錦町682-2 大宮情報文化センター17F	048-640-1127	048-647-1090
東関東支社 半導体営業部	〒261-71 千葉県千葉市美浜区中瀬2-6 WBGマリブイースト24F	043-299-1018	043-297-2550
神奈川支社 半導体営業部	〒231 神奈川県横浜市中区尾上町1-8 関内新井ビル5F	045-664-8560	045-651-7465
北陸支社 電子部品部	〒930 富山県富山市桜橋通り2-25 第一生命ビル9F	0764-45-2672	0764-43-1502
中部支社 半導体営業部	〒450 愛知県名古屋市中村区名駅南1-24-30 三井ビル本館	052-564-8721	052-562-5785
関西支社 半導体営業部	〒531 大阪府大阪市北区大淀中1-1-30 梅田スカイビルタワーウェスト	06-440-2201	06-440-1640
中国支社 電子部品部	〒730 広島県広島市中区大手町2-7-10 広島三井ビル	082-246-3130	082-504-3242
四国支社 電子機器部 電子・半導体グループ	〒760 香川県高松市鍛冶屋町3 香川三友ビル7F	0878-25-2491	0878-25-2405
九州支社 電子部品部	〒810 福岡県福岡市中央区長浜2-4-1 東芝福岡ビル13F	092-735-3006	092-735-3373
半導体営業統括部			
半導体広域顧客営業推進担当	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル4F	03-3257-5671	03-5256-7511
半導体特約営業担当	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル5F/6F	03-3257-5606	03-5256-7639
半導体社内営業部	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル7F	03-3257-5677	03-5256-7512
日本テキサス・インスツルメンツ(株)			
プロダクト・インフォメーション・センター	〒108 東京都港区芝浦4-13-23 M S 芝浦ビル	0120-81-0026	0120-81-0036
マイクロチップテクノロジー インターナショナルInc.			
日本支社	〒222 神奈川県横浜市港北区新横浜3-18-20 BENEX S-1 6F	045-471-6166	045-471-6122



# 最新マイコン周辺LSI規格表

## ◆規格表ご利用の際のお願い◆

本規格表のデータはメーカー発表の資料に基づいて作成しておりますが、メーカーでは改良などのために予告なく仕様が変更されることがあり、また、データ量が多いため編集の都合で省略している場合があります。したがって、実際に素子を使用して製品を生産される場合などは、当該メーカーにお問合せの上、必ず仕様をご確認ください。本書に記載されたデータによって生じた不具合などについては、小社ならびに著作権者は責任を負いかねますのでご了承ください。



本規格表には、マイクロコンピュータの周辺で使用される各種IC, LSIの規格が載せてあります。

マイクロコンピュータのシステム設計では、心臓部のCPU以外に多数の周辺デバイスを使用します。これらの周辺デバイスの中で、CPUと周辺の入出力機器との間にあって、CPUの制御下で、プログラムの入出力機能を代行し、効率的なデータ交換を行うデバイスは、一般に周辺LSIと呼ばれています。

一口に周辺LSIといっても、非常に多くの種類があります。周辺LSIの多くは、接続されたCPUによってコントロールされるため、メインとなるCPUと容易にデータの交換ができるよう信号線が工夫されています。これらは接続されるCPUによ

って、〇〇ファミリと呼ばれています。一方、特殊な周辺機器のコントロール用のLSIには、どのようなCPUにも接続できるようにになったものもあります。

また、CPUや周辺機器の多様化によって、多くの周辺LSIが出現しています。マイコン・システムの設計では規模の大小を問わず、いかに最適な周辺LSIを選択するかが、CPUの選択と同様に、大きなウェイトをしめます。

以上のような点から、本規格表では、多くの周辺LSIの中から、比較的使用頻度の高いファミリLSI, 専用コントローラLSIを選択し、記載してあります。

周辺LSIの選択の場合、最も大きなポイントとなるのは、LSIのもつ機能、電気的特性です。このため、本規格表では、LSI

の機能を知る上で不可欠なブロック図、端子機能を中心に記載してあります。また、LSIのピン接続は、端子の入出力機能が一目でわかるよう工夫しており、回路図のチェックなどにも有効です。

周辺LSIは年々集積化が進み、大規模、高機能となっています。このため、すべての特性、使い方まで記載することはできませんでした。詳細なデータは、メーカーのデータブック、データシートを参考にしてください。

収録にあたって引用させていただいたメーカーの方々に誌面をかりてお礼申し上げます。なお編者のミスから内容が誤っていた場合、ご容赦いただくとともに、ご連絡をいただければ幸いです。



●マイコン周辺LSI規格表の見方・使い方 .....	4
●掲載IC&セカンド・ソース一覧表 .....	8
●関連IC一覧表 .....	20
●BSAB(バス・アービタ) .....	28
●BSBF(バス・バッファ) .....	36
●BSCN(バス・コントローラ) .....	48
●CF(複合コントローラ) .....	70
●CG(クロック・ジェネレータ) .....	100
●CRTC(CRT & グラフィック・コントローラ) .....	118
●CTC(タイマ/カウンタ) .....	136
●DMAC(DMAコントローラ) .....	146
●FDC(フロッピ・ディスク・コントローラ) .....	164
●GPIB(GPIBコントローラ) .....	192
●HDC(ハード・ディスク・コントローラ) .....	196
●INT(割り込みコントローラ) .....	208
●ISDN(ISDNコントローラ) .....	218
●LAN(LANコントローラ) .....	234
●PIO(パラレルI/Oコントローラ) .....	260
●RTC(リアル・タイム・クロック) .....	290
●SCSI(SCSIコントローラ) .....	316
●SIO/SPC(シリアル通信コントローラ) .....	344

## マイコン周辺LSI 規格表目次



# マイコン周辺LSI規格表の見方・使い方

本規格表には、割り込みコントローラ、DMAコントローラなどのCPU機能サポートLSI、インターフェースLSI、ペリフェラル・コントローラLSIを中心に記載してあります。ただし、A-D、D-Aコンバータや特殊な通信用コントローラ(交換機用コントローラ、LANコントローラなど)は省略しました。

収録した周辺LSIの多くは、6800/68000、8085A/8086、Z80ファミリです。これらはセカンド・ソースが多く、またオリジナル品より高性能のものも多いため、オリジナル品以外のデータ、略称を使用しているケースもあります。

周辺LSIの場合、メーカーが多岐にわたり、またオリジナル品が廃止されることもあり、特定のメーカーの品種にまとめることは困難でした。このため、68系については、モトローラ、日立を、85系についてはインテル、富士通を、Z80系についてはザイログ、東芝を中心に代表データとして収録してあります。

## 〔構成内容〕

### ① ピン接続

素子のピン配置図を示しています。パッケージがDIP、PLCC、QFPなど数種類ある場合は、代表としてDIPのピン配置を記載しました。

また、この図には、データの入出力方向を矢印で示してあります。

### ② 特徴

各素子の機能、特徴を箇条書きで示してあります。形状、消費電力、プロセスについては、型名によって異なり、また一覧表でわかるため、この欄には記載されていません。

### ③ ブロック図

各周辺LSIの内部ブロック図を示しています。素子の内部機能がわかるように、内部レジスタ、回路ブロックなどに分け、それらの接続関係を記しています。

### ④ 最大定格

最大定格には、ICの使用に当たって信頼性や寿命を保証するために、越えてはならない絶対最大定格値を記してあります。

### (1) 電源電圧 ( $V_{CC}$ または $V_{DD}$ )

電源端子-グラウンド間に印加できる最大電圧範囲を示します。

### (2) 入力電圧 ( $V_{IN}$ )

電源端子を除く入力端子に印加できる最大電圧範囲を示します。

### (3) 消費電力 ( $P_D$ )

パッケージの最大許容損失を示します。

### (4) 動作温度 ( $T_{OPR}$ )

電圧を印加した状態で動作する温度範囲を示します。

### (5) 保存温度 ( $T_{STG}$ )

電源電圧を印加しない状態で保存し、その後電圧を加えたときに所定の特性を保ちうる保存温度範囲を示します。

## ⑤ DC特性

DC特性は、ICの静止状態での入力特性、出力特性などを規定したものです。

### (1) 低レベル入力電圧 ( $V_{IL}$ )

ICが“L”レベルとして判定できる入力電圧を示し、最大値が保証されます。

### (2) 高レベル入力電圧 ( $V_{IH}$ )

ICが“H”レベルとして判定できる入力電圧を示し、最小値が保証されます。

### (3) 低レベル出力電圧 ( $V_{OL}$ )

ICが“L”レベルを出力したときの出力電



圧で、出力電流 ( $I_{OL}$ ) を流した時の電圧値を示しています。最大値が保証されます。

#### (4) 高レベル出力電圧 ( $V_{OH}$ )

ICが“H”レベルを出力したときの出力電圧で、出力電流 ( $I_{OH}$ ) を流した時の電圧値を示しています。最小値が保証されます。

#### (5) 出力リーク電流 ( $I_{OL}$ )

3ステート出力 (バスなど) において、出力フロート状態で端子を  $V_{OUT}$  電圧にしたときのリーク電流値を示します。

#### (6) 入力リーク電流 ( $I_{IL}$ )

入力電圧を  $V_{IN}$  レベルにしたとき、入力端子に流れ込む電流を示します。

#### (7) 入力容量 ( $C_{IN}$ )

入力端子に接続できる最大容量値を示します。

#### (8) 出力容量 ( $C_{OUT}$ )

出力端子が駆動できる最大の容量値を示します。

(注) DC特性については端子ごとに異なる場合があります。この場合には、TTL入出力特性をもつ端子がある場合は、その数値を優先記入してあります。ただしすべての端子がCMOS入出力特性の場合は、最も多くの端子の特性値を記入してあります。

#### ⑥ 端子機能

各端子のもつ役割を示しています。ICのもつ機能がわかるように記載してありますが、内蔵レジスタの種類、使い方までは説明をしていません。したがって、初期化の方法、プログラミングの詳細については、各メーカーのプログラミング・マニュアルを参照してください。

### 〔一覧表の見方〕

#### ① 型名

メーカーのIC型名を示します。

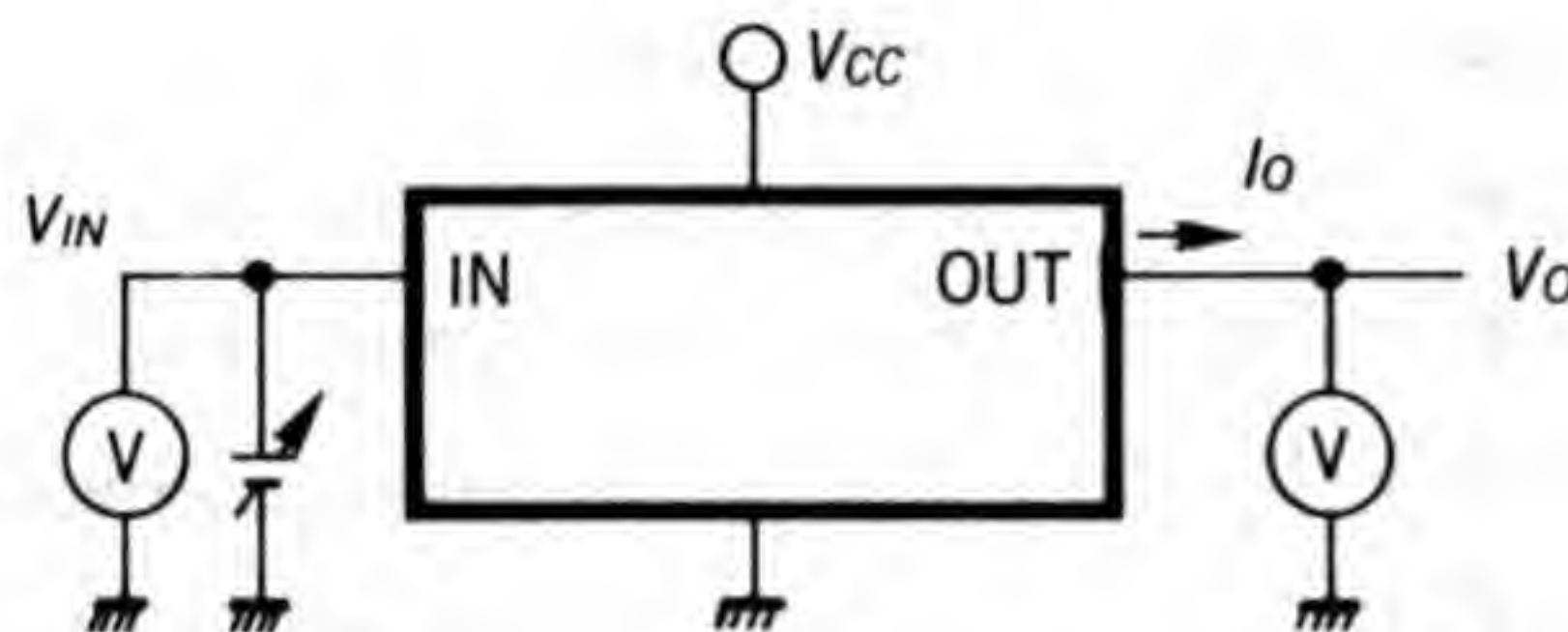
#### ② 適応CPU

接続対象のCPUを、以下の記号で示します。

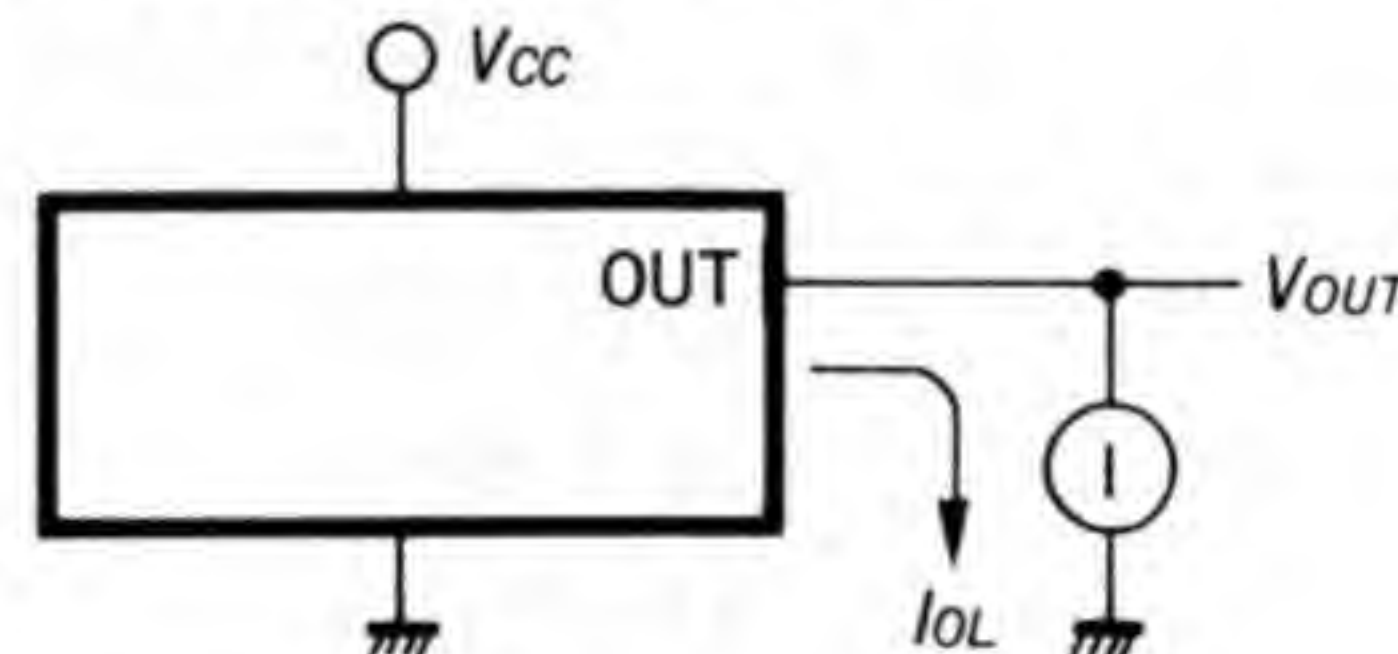
- ▶ 1 ……8080A, 8085A系
- ▶ 2 ……8086, 80186, 80286系
- ▶ 3 ……Z80系
- ▶ 4 ……6800系
- ▶ 5 ……Vシリーズ系
- ▶ 6 ……Z8000系
- ▶ 7 ……68000系
- ▶ 8 ……80386/80486系
- ▶ ALL…汎用タイプ
- ▶ その他特殊用途では、CPU名を記載

#### ③ 動作速度

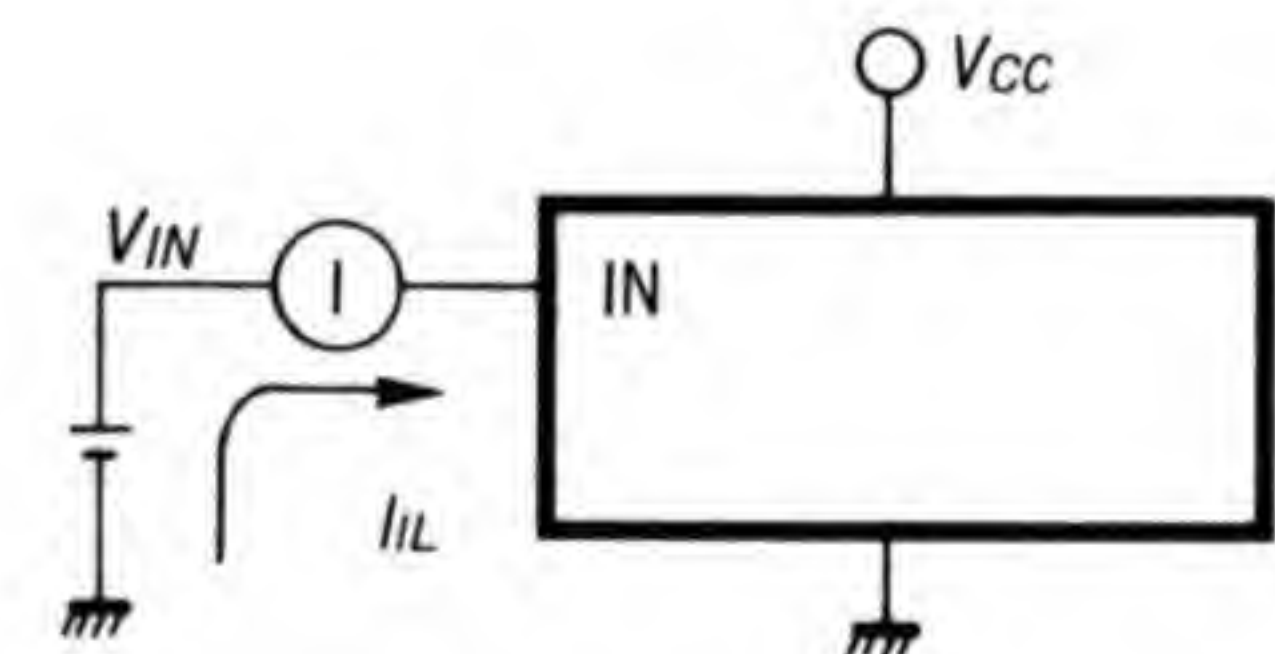
〈図1〉DC特性の測定回路



(a)  $V_{IH}$ ,  $V_{IL}$ ,  $V_{OH}$ ,  $V_{OL}$



(b)  $I_{OL}$



(c)  $I_{IL}$



クロック入力が必要とするICでは、入力クロック速度の最大値を示します。また、クロック入力が必要としないICの場合は、リードまたはライトのパルス幅が遅延時間(セットアップ遅延時間)を示しています。

同一型名のICで、動作速度の異なるタイプが存在する場合は、/で区切って記してあります。

#### ④ 消費電流

各ICの最大消費電流を、mAで示します。カタログに消費電力(W)のみ記載されている場合は、動作電圧を元に電流値に換算してあります。

#### ⑤ プロセス

ICの製造プロセスを示します。カタログにCHMOS, HMOSと記載されている場合(例えばINTEL社)はそのまま転記してあります。バイポーラの場合は、BIPと略記してあります。

#### ⑥ 外形

パッケージの種類は、DIPを優先して記載してあります。DIPが存在しない場合には、FP(QFPのこと)、PLCCを記載しています。

#### ⑦ 入出力レベル

カタログにTTLレベルと書いてあっても、DC特性の高レベル入力電圧( $V_{IH}$ )は、2.0Vから2.7Vのものまでさまざまです。この

一覧表では、 $V_{IH}$ として、ノーマルTTLの $V_{OH}$ である2.4Vを基準にし、 $V_{IH}$ が2.4V以下のものはTTLレベルとしました。

また、入出力端子の中で、TTLレベルとCMOSレベルが混在している場合はTTL、すべての端子がCMOSレベルの場合はCMOSとしています。

#### ⑧ 社名

メーカー名を次に示す略称で示しています。

- ▶ ADAPTEC : Adaptec Inc.
- ▶ ALTERA : Altera Corp.
- ▶ AMCC : Applied Micro Circuits Corp.
- ▶ AMD : Advanced Micro Devices Inc.
- ▶ AMPE : Ampère (株)アンペール
- ▶ ASAHI : 旭化成マイクロシステム(株)
- ▶ AUSTEK : Austek Microsystems
- ▶ CHIPS : Chips and Technologies, Inc.
- ▶ Cypress : Cypress Semiconductor Corp.
- ▶ CIRRUS : Cirrus Logic, Inc.
- ▶ DALLAS : Dallas Semiconductor Corp.
- ▶ EPSON : セイコー・エプソン(株)
- ▶ Exar : Exar Corp.
- ▶ FUJI : 富士通(株)
- ▶ HARR : Harris Co.
- ▶ HITA : (株)日立製作所
- ▶ INTEL : Intel Corp.
- ▶ INTS : GE Intersil

- ▶ MATUSITA : 松下電子工業(株)
- ▶ MITU : 三菱電機(株)
- ▶ MOT : Motorola, Inc.
- ▶ NCR : NCR Corp.
- ▶ NPC : Nippon Precision Circuits Inc.
- ▶ NEC : 日本電気(株)
- ▶ NS : National Semiconductor Corp.
- ▶ OKI : 沖電気工業(株)
- ▶ PLX : PLX Technology Corp.
- ▶ RCA : RCA
- ▶ RICO : (株)リコー
- ▶ ROHM : ローム(株)
- ▶ SANYO : 三洋電機(株)
- ▶ SEIKO : セイコー電子工業(株)
- ▶ SHAP : シャープ(株)
- ▶ SIEMENS : Siemens Aktiengesellschaft
- ▶ SIGNE : Signetics
- ▶ SL : Silicon Logic Inc.
- ▶ SM : Standard Microsystems Corp.
- ▶ SONY : ソニー(株)
- ▶ SSI : Silicon Systems Inc.
- ▶ STAC : Stac Electronics Inc.
- ▶ THOM : Thomson Semiconductors
- ▶ TI : Texas Instruments Inc.
- ▶ TOSI : (株)東芝
- ▶ UMC : United Microelectronics Corp.
- ▶ VLSI : VLSI Technology, Inc.



▶WD : Western Digital Corp.

▶ZENIC : (株)ジーニック

▶ZILOG : Zilog

(国内で取扱っている日本法人/商社については巻末に掲載してあります)



型 名	頁	適応CPU	リジナル	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
82077	*182	ALL	82077	24MHz	50.00	CMOS	PLCC68	FDC	TTL	PC/AT, PS/2用FDコントローラ. 250Kビット/s~1Mビット/sデータ・セパレータ	INTEL
82078	*184	ALL	82078	24MHz	30.00	CMOS	QFP44	FD	TTL	IBMおよびIBMフォーマット準拠で250K~1MBPSのデータ・セパレータ内蔵. 82077/8272と互換	INTEL
8212	*270	1, 2	8212	15ns	130.00	NMOS	DIP24	PIO	TTL	8ビット・データ・レジスタ/バッファ, 3ステート出力	INTEL
8216/8226	*272	1, 2	8216	30/25ns	130.00	NMOS	DIP16	PIO	TTL	8ビット・データ・バス・バッファ/ドライバ, 3ステート出力	INTEL
82288	50	1, 2	82288	6/8/10MHz	120.00	HMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル, 80286用システム・バス・コントローラ	INTEL
82303	*84	8	82303	20MHz	180.00	CHMOS	QFP100	CF	TTL	82304, 82077との組合せて使用するローカル・チャンネル・サポート・チップ	INTEL
82304	*86	8	82304	20MHz	180.00	CHMOS	QFP132	CF	TTL	82303, 82077との組合せて使用するローカル・チャンネル・サポート・チップ	INTEL
82307	*54	2, 8	82307	20MHz	180.00	CMOS	FP182	BSCN	TTL	PS/2システム用のDMA/マイクロ・チャンネル・アービトレーション・コントローラ	INTEL
82308	*56	2, 8	82308	20MHz	180.00	CMOS	FP100	BSCN	TTL	マイクロ・チャンネル用のバス・コントローラで82309と併用される	INTEL
82309	*58	2, 8	82309	20MHz	180.00	CMOS	FP100	BSCN	TTL	マイクロ・チャンネル用のアドレス・バス・コントローラでDRAMコントローラを内蔵する	INTEL
82347	*88	8	82347	20MHz	40.00	CHMOS	QFP80	CF	TTL	PCペリフェラル用の電源コントロール・デバイス	INTEL
82357	*90	8	82357	33MHz	200.00	CHMOS	FP132	CF	TTL	EISA DMAサイクルとコンパチブルで, バス・アービタ, インタラプト・コントローラを内蔵	INTEL
82374	*46	2, 8	82374	33.3MHz	-	CMOS	QFP208	BSBF	TTL	EISAシステム機能をサポートし, 82375との組み合わせでPCIバス接続可能	INTEL
82375	*34	2, 8	82375	33.3MHz	-	CMOS	QFP208	BSAB	TTL	PCIローカル・バスとEISAバス間のブリッジ用バス・アービタ	INTEL
8237A/-4/-5	156	1, 2	8237	320/250/200ns	150.00	NMOS	DIP40	DMAC	TTL	四つの独立したDMAチャンネル, 縦続接続可能	INTEL
8243	274	ALL	8243	700ns	100.00	NMOS	DIP24	PIO	TTL	MCS48のI/Oエキスパンダ, 四つの4ビットI/Oポート	INTEL
82433	*62	Pentium	82433	66MHz	-	CMOS	QFP160	BSCN	TTL	64ビットのDRAMインターフェースとPCI接続機能を持つローカル・バス・アクセラレータ	INTEL
82434	*64	Pentium	82434	66MHz	-	CMOS	QFP208	BSCN	TTL	SRAMキャッシュおよびDRAMメモリの制御機能とPCIバス制御機能を持つメモリ・バス・コントローラ	INTEL
8251A	376	1, 2	8251	3.125MHz	100.00	NMOS	DIP28	SIO	TTL	同期/非同期動作, 全二重ダブル・バッファ方式	INTEL
8253/-5	*140	1, 2	8253	2.6MHz	140.00	NMOS	DIP24	CTC	TTL	3個のプリセット型16ビット・カウンタ内蔵	INTEL
8254/-2/-5	140	1, 2, 8	8253	8/10/5MHz	170.00	HMOS	DIP24	CTC	TTL	三つの16ビット・カウンタ内蔵, 6通りのプログラマブル・カウンタ・モード	INTEL
8255A/-5	*276	1, 2	8255	300ns	120.00	NMOS	DIP40	PIO	TTL	8ビット3ポート, ハンドシェイク信号生成, インタラプト発生	INTEL
8256AH	*92	1, 2	8256	1/2/3/5MHz	160.00	CMOS	DIP40	CF	TTL	5個のカウンタ/タイマ, 2個のパラレルI/Oポート, 1個のUARTを内蔵	INTEL
82588	242	2, 8	82588	8MHz	400.00	HMOS	DIP28	LAN	TTL	CSMA/CD LANコントローラ, ハイスピード・モードで20Mビット/sのビット・レート	INTEL
82590	*242	2, 8	82588	16MHz	100.00	CMOS	DIP28	LAN	TTL	CSMA/CD LANコントローラ, ハイスピード・モードで20Mビット/sのビット・レート	INTEL
82593	242	2, 8	82588	20MHz	80.00	CHMOS	DIP28	LAN	TTL	CSMA/CD LANコントローラ, ハイスピード・モードで20Mビット/sのビット・レート	INTEL
8259A/-2/-8	*216	1, 2	8259	235/160/420ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	INTEL
8272	180	ALL	765	4/8MHz	120.00	HMOS	DIP40	FDC	TTL	4台のFDを同時シーク可能, IBMフォーマット・コンパチブル	INTEL
8279	*280	1, 2	8279	2/3.125MHz	120.00	NMOS	DIP40	PIO	TTL	キーボード/ディスプレイ・インターフェース, 16桁表示	INTEL
8282/8283	*40	ALL	8282/83	45/40ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・ラッチ, 8282はノンインバート, 8283はインバート	INTEL
8286/8287	*42	ALL	8286/87	30/22ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・バス・トランシーバ, 8286はノンインバート, 8287はインバート	INTEL
8288	52	1, 2	8288	10MHz	230.00	BIP	DIP20	BSCN	TTL	マルチバス・コンパチブル, 8086マキシマム・モード下で使用	INTEL
8289/-1	*30	2	8289	8/10MHz	165.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル, 4種のモード可能	INTEL
82C284	104	2	82284	8/10/12.5MHz	75.00	CHMOS	DIP18	CG	TTL	リセット, READY入力付き	INTEL
82C288	50	1, 2	82288	8/10/12.5MHz	75.00	CHMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル, 80286用システム・バス・コントローラ	INTEL
82C37A-5	156	1, 2	8237	200ns	10.00	CMOS	DIP40	DMAC	TTL	四つの独立したDMAチャンネル, カスケード接続可能	INTEL
82C54/-2	140	1, 2, 8	8253/4	8/10MHz	20.00	CHMOS	DIP24	CTC	TTL	三つの16ビット・カウンタ内蔵, 6通りのプログラマブル・カウンタ・モード	INTEL
82C55A	276	1, 2	8255	8MHz	10.00	CMOS	DIP40	PIO	TTL	8ビット3ポート, ハンドシェイク信号生成, インタラプト発生	INTEL
82C59A-2	216	1, 2	8259	160ns	85.00	CMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	INTEL
82C765	180	ALL	765	24MHz	20.00	CMOS	DIP48	FDC	TTL	IBMフォーマット・コンパチブル, 24MHz水晶発振回路内蔵	CHIPS

(\*印のページが掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	パッケージ	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
82C84A/-5	106	2	8284	8/5MHz	10.00	CMOS	DIP18	CG	TTL	リセット, READY入力付き	INTEL
82C88	52	1, 2	8288	8MHz	10.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル, 8086 マキシマム・モード下で使用	INTEL
85C960	*60	80960	85960	25MHz	50.00	CMOS	DIP28	BSCN	TTL	80960のメモリ, I/O用のバス・コントローラでUVレザブルまたはワritableなμPLD	INTEL
Am53C80	318	ALL	5380	60ns	10.00	CMOS	DIP48	SCSI	TTL	非同期で1.5Mバイト/sの転送速度, パリティ・ジェネレータ内蔵	AMD
Am53C94LV	*338	ALL	5394	25MHz	25.00	CMOS	FP100	SCSI	CMOS	5394とコンパチブルで3.3V動作可能なSCSIコントローラ	AMD
Am7990	238	ALL	7990	10MHz	270.00	NMOS	DIP48	LAN	TTL	イーサネット仕様準拠のLANコントローラ, DMA機能内蔵	AMD
Am79C30	*218	ALL	7930	12.288MHz	50.00	CMOS	DIP40	ISDN	TTL	ISDNデジタ加入者アクセス用コントローラ, DTMF, CODEC等に使用できるオーディオ・プロセッサ内蔵	AMD
Am79C32	*224	ALL	7932	12.288MHz	50.00	CMOS	DIP40	ISDN	TTL	ISDNデジタ加入者アクセス用コントローラ, B,Dチャンネルの制御を行う	AMD
Am79C90	*238	ALL	7990	10MHz	50.00	CMOS	DIP48	LAN	TTL	イーサネット仕様準拠のLANコントローラ, DMA機能内蔵	AMD
Am79C900	*240	ALL	79900	20MHz	300.00	CMOS	PLCC84	LAN	TTL	第二世代のイーサネット・コントローラで, 10BASE-5, 10BASE-2, 10BASE-Tに準拠	AMD
Am8255A	276	1, 2	8255	300ns	120.00	NMOS	DIP40	PIO	TTL	8ビット3ポート, ハンドシェイク信号生成, インタラプト発生	AMD
Am8259A	216	1, 2	8259	235/160ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	AMD
Am9517A/8237A	156	1, 2	8237	4/5MHz	150.00	NMOS	DIP40	DMAC	TTL	チャンネル数4, 転送モード4種, 自動イニシャル機能付き	AMD
Am95C75	*286	ALL	9575	12.5MHz	70.00	CMOS	PLCC84	PIO	TTL	フォントおよびビデオ・メモリの制御回路を内蔵したラスタ・プリンタ・コントローラ	AMD
BU18410	162	3	Z80DMA	400/250ns	200.00	NMOS	DIP40	DMAC	TTL	プログラマブル, チャンネル・ステータス読み出し可能	ROHM
BU18420	288	3	Z80PIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	PIO	TTL	8ビット双方向入出力2ポート, ビット/バイト単位の処理可能	ROHM
BU18430	142	3	Z80CTC	400/250/165ns	120.00	NMOS	DIP28	CTC	TTL	四つの独立した8ビット・カウンタ内蔵	ROHM
BU18440/SIO/0	386	3	Z80SIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ROHM
BU18441/SIO/1	386	3	Z80SIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ROHM
BU18442/SIO/2	386	3	Z80SIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ROHM
BU18470	384	3	Z80DART	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	二つの非同期式ポート内蔵, 受信バッファ4, 送信バッファ2	ROHM
CDP6402/C	358	ALL	6402	4MHz	1.50	CMOS	DIP40	SIO	CMOS	プログラムによる初期設定不要, データ長5, 6, 7, 8ビット選択	RCA
CDP65C51	360	ALL	6551	1/2/4MHz	0.20	CMOS	DIP28	SIO	TTL	全二重UART, ボーレート・ジェネレータ内蔵	RCA
CDP68HC68S1	*28	4	6868	1MHz	0.01	CMOS	DIP14	BSAB	CMOS	6805用シリアル・バス・アービタ, 中速非同期バスの接続用	RCA
COM8251A	376	1, 2	8251	320ns	100.00	NMOS	DIP28	SIO	TTL	同期/非同期動作, 全二重ダブル・バッファ方式	SM
COM82C11	*268	1, 2, 3	8211	20MHz	30.00	CMOS	DIP40	PIO	TTL	セントロニクス・プリンタ・インターフェース, プリンタ・コネクタに直接接続可	SM
COM9026	*256	ALL	9026	5MHz	350.00		DIP40	LAN	TTL	ARCNET用LANコントローラ, 改良形トークンバス・プロトコルをサポートする	SM
COM90C26	256	ALL	9026	5MHz	16.00	CMOS	DIP40	LAN	TTL	ARCNET用LANコントローラ, 改良形トークンバス・プロトコルをサポートする	SM
COM90C62	256	ALL	9026	5MHz	30.00	CMOS	DIP40	LAN	TTL	ARCNET用LANコントローラ, COM9026とCOM9132とを内蔵	SM
COM90C65	256	ALL	9026	20MHz	10.00	CMOS	PLCC84	LAN	TTL	ARCNET用LANコントローラ, COM9026/COM9132/COM9019の機能とIBM PCバスI/F回路内蔵	SM
CXD1500Q	*78	ALL	1500	25MHz	-	CMOS	FP80	CF	TTL	8284, 8254, 8255, 8259を内蔵した複合LSI	SONY
CXQ71011	106	2, 5	8284	10MHz	30.00	CMOS	DIP18	CG	TTL	V20/V30および周辺デバイス用クロックを発生	SONY
CXQ71051	376	1, 2, 5	8251	8MHz	10.00	CMOS	DIP28	SIO	TTL	同期/非同期動作, 全二重ダブル・バッファ方式	SONY
CXQ71054	140	1, 2, 5, 8	8253/4	8MHz	30.00	CMOS	DIP24	CTC	TTL	三つの16ビット・カウンタ内蔵, 6通りのプログラマブル・カウンタ・モード	SONY
CXQ71055	276	1, 2, 5	8255	160ns	10.00	CMOS	DIP40	PIO	TTL	8ビット3ポート, ハンドシェイク信号生成, インタラプト発生	SONY
CXQ71059	216	1, 2, 5	8259	160ns	9.00	CMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	SONY
CXQ71071	154	ALL	71071	8/10MHz	30.00	CMOS	DIP48	DMAC	TTL	4チャンネルDMAコントローラ, 16Mバイトアドレスと64Kトランスファ・カウンタ	SONY
CXQ71082/83	40	ALL	8282/83	40ns	20.00	CMOS	DIP20	BSBF	TTL	オクタル・ラッチ, 8282はノンインバート, 8283はインバート	SONY
CXQ71086/87	42	ALL	8286/87	40ns	40.00	CMOS	DIP20	BSBF	TTL	オクタル・バス・トランシーバ, 8286はノンインバート, 8287はインバート	SONY
CXQ71088	52	1, 2, 5	8288	10MHz	20.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル, 8086 マキシマム・モード下で使用	SONY

(\*印のページに掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	パッケージ	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
CXQ72020	130	ALL	7220	165ns	70.00	CMOS	DIP40	CRTC	TTL	I/O FIFO内蔵, 外部映像メモリの制御可能	SONY
DP5380	318	ALL	5380	60ns	10.00	CMOS	DIP40	SCSI	TTL	非同期で1.5Mバイト/sの転送速度, パリティ・ジェネレータ内蔵	NS
DP5380	318	ALL	5380	100ns	160.00	CMOS	DIP40	SCSI	TTL	非同期で1.5Mバイト/sの転送速度, パリティ・ジェネレータ内蔵	VLSI
DP83901	*246	ALL	83901	20MHz	110.00	CMOS	PLCC68	LAN	TTL	IEEE802.3準拠のネットワーク・インターフェースコントローラ, 8390と83910を組み合わせて1チップ化したもの	NS
DP8390C	*244	ALL	8390	20MHz	40.00	CMOS	DIP48	LAN	TTL	IEEE802.3準拠のCSMA/CDコントローラ, DP8391/8392と組み合わせて使用する, NS32490Cと同一	NS
DP83934	*258	ALL	83934	20MHz	110.00	CMOS	QFP160	LAN	TTL	32/16ビットバス・インターフェースを内蔵したCSMA/CDコントローラで, プリッジおよびリターへの対応可能	NS
DP8466A	*204	ALL	8466	25MHz	45.00	CMOS	DIP48	HDC	TTL	DMAハット77, 16ビットI/Oインターフェースを持ち, 最大25Mbpsの転送が可能	NS
DP8477	182	ALL	82077	24MHz	15.00	CMOS	PLCC68	FDC	TTL	PC/AT, PS/2用FDコントローラ, 250Kビット/s~1Mビット/sデータ・セパレータ	NS
DP8490	318	ALL	5380	100ns	4.00	CMOS	DIP40	SCSI	TTL	NCR5380コアチップで高速化, 低電力化が図られて, テストモード・ビットの使い方のみ異なる	NS
DP8570A	*308	ALL	8570	150ns	5.00	CMOS	DIP28	RTC	TTL	0.01~1秒の割り込み設定可, 万年カレンダー内蔵リアルタイム・クロック	NS
DP8571A	308	ALL	8570	150ns	5.00	CMOS	DIP24	RTC	TTL	0.01~1秒の割り込み設定可, 万年カレンダー内蔵リアルタイム・クロック	NS
DP8572A	308	ALL	8570	150ns	5.00	CMOS	DIP24	RTC	TTL	0.01~1秒の割り込み設定可, 万年カレンダー内蔵リアルタイム・クロック	NS
DP8573A	308	ALL	8570	150ns	5.00	CMOS	DIP24	RTC	TTL	0.01~1秒の割り込み設定可, 万年カレンダー内蔵リアルタイム・クロック	NS
EF6821	264	4	6821	1/1.5/2MHz	110.00	NMOS	DIP40	PIO	TTL	2個の8ビットI/Oポートと2個の16ビット・タイマ/カウンタ内蔵	THOM
EF6840	136	4	6840	1/1.5/2MHz	140.00	NMOS	DIP28	CTC	TTL	三つの独立した16ビット・カウンタ内蔵	THOM
EF6850	364	4	6850	0.8/1/1.5MHz	105.00	NMOS	DIP24	SIO	TTL	非同期シリアル・データ・アダプタ	THOM
FD179X02	*166	ALL	179X	1/2MHz	120.00	NMOS	DIP40	FDC	TTL	IBMフォーマット, ソフトで各種項目指定可能	WD
FDC72C65	180	ALL	765	4/8MHz	10.00	CMOS	DIP40	FDC	TTL	4台のFDを同時シーク可能, ISOミニ・フロッピー・フォーマット	SM
FDC765A/-2	180	ALL	765	4/8MHz	150.00	NMOS	DIP40	FDC	TTL	4台のFDを同時シーク可能, IBMフォーマット・コンパチブル	SM
HD146818	290	ALL	146818	1.0MHz	10.00	CMOS	DIP24	RTC	TTL	3種の基準クロック選択可能, データのバイナリ/BCD切り替え可能	HITA
HD6321	264	4	6821	1/1.5/2MHz	6.00	CMOS	DIP40	PIO	TTL	2個の8ビットI/Oポートと2個の16ビット・タイマ/カウンタ内蔵	HITA
HD63265	*172	ALL	63265	16MHz	40.00	CMOS	DIP48	FDC	TTL	20種の高機能コマンド, IBM/ECMAフォーマット・データ内蔵	HITA
HD63266	*174	ALL	63266	19.2MHz	40.00	CMOS	FP64	FDC	TTL	HD63265とソフト・コンパチブルで, ドライバ/レシーバ回路, 入出力ポート内蔵したFDC	HITA
HD6340	136	4	6840	1/1.5/2MHz	10.00	CMOS	DIP28	CTC	TTL	三つの独立した16ビット・カウンタ内蔵	HITA
HD6345	128	ALL	6845	1/1.5/2MHz	10.00	CMOS	DIP40	CRTC	TTL	汎用CRTC	HITA
HD63450	152	7	68450	6/8/10/12.5MHz	200.00	CMOS	SDIP64	DMAC	TTL	68000とバス・コンパチブル, 4本のDMAチャンネル	HITA
HD63463	*196	7	63463	4/6/8MHz	80.00	CMOS	DIP48	HDC	TTL	大容量データ・バッファ内蔵, データ・エラー自動訂正	HITA
HD63484	*124	ALL	63484	4/6/8/9.8MHz	100.00	CMOS	SDIP64	CRTC	TTL	38種のコマンド内蔵, ライト・ペン検出機能内蔵	HITA
HD6350	364	4	6850	1.0/1.5/2MHz	5.00	CMOS	DIP24	SIO	TTL	非同期シリアル・データ・アダプタ	HITA
HD6402	358	ALL	6402	8MHz	2.00	CMOS	DIP40	SIO	TTL	プログラムによる初期設定不要, データ長5, 6, 7, 8ビット選択	HARR
HD6445	128	ALL	6845	4MHz	10.00	CMOS	DIP40	CRTC	TTL	汎用CRTC	HITA
HD64460	128	ALL	6845	37MHz	280.00	CMOS	FP136	CRTC	TTL	PS/2のVGA相当の機能を持つCRTコントローラ	HITA
HD64540	*390	H16	64540	6MHz	50.00	CMOS	PGA64	SPC	TTL	H16とバス・コンパチブルなLAPBプロトコル・コントローラ	HITA
HD64541	*394	ALL	64541	6MHz	50.00	CMOS	PLCC68	SPC	TTL	CCITTのT.90, X.75, X.25で規定されたレイアウトを実現, ISDNのG47ファクス等々に利用可能	HITA
HD64570	*396	7	64570	16.7MHz	150.00	CMOS	PLCC84	SPC	TTL	調歩同期, バイト同期, ビット同期通信を行う2チャンネルの全二重ポート内蔵	HITA
HD64610	*302	ALL	64610	45ns	2.00	CMOS	DIP24	RTC	TTL	時計, カレンダー機能を備え, データ・バス幅が8ビットSRAMと同じ構成	HITA
HD64941	350	ALL	2641	4MHz	150.00	NMOS	DIP24	SIO	TTL	非同期全二重動作, ボーレート・ジェネレータ内蔵, SCN2641とコンパチブル	HITA
HD64950S	*198	ALL	64950	12.3MHz	70.00	CMOS	PLCC68	HDC	TTL	16ビット・マイコン用HDC, 制御部はファイル・マネージャとして分離し, 高機能化	HITA
HD64951	*322	ALL	64951	250/350ns	100.00	BICMOS	MP68	SCSI	TTL	ドライバ/レシーバ回路内蔵, 非同期で1.5Mバイト/s転送可能	HITA
HD64961	*324	ALL	64961	25MHz	-	CMOS	FP80	SCSI	TTL	SCSI-2仕様準拠で同期転送能力10Mバイト/s, シングルエンド・ドライバ/レシーバ内蔵	HITA

(\*印のページが掲載されています。\*印のないページのLSIはセカンダリ・ソースもしくは類似品です。)  
(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	オリジナル	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
HD6821	264	4	6821	1/1.5/2MHz	110.00	NMOS	DIP40	PIO	TTL	2個の8ビットI/Oポートと2個の16ビット・タイマ/カウンタ内蔵	HITA
HD68230	266	7	68230	8MHz	100.00	NMOS	DIP48	PIO	TTL	68000とバス・コンパチブル、単/双方向8/16ビットポート、24ビット・タイマ内蔵	HITA
HD6840	136	4	6840	1/1.5/2MHz	110.00	NMOS	DIP28	CTC	TTL	三つの独立した16ビット・カウンタ内蔵	HITA
HD6844	150	4	6844	1/1.5/2MHz	200.00	NMOS	DIP40	DMAC	TTL	4チャネル内蔵、各チャネルが16ビットのアドレス・レジスタ、カウンタ・レジスタを内蔵	HITA
HD6845	128	ALL	6845	1/1.5/2MHz	200.00	NMOS	DIP40	CRTC	TTL	汎用CRTC	HITA
HD68450	152	7	68450	4/6/8/10MHz	400.00	NMOS	SDIP64	DMAC	TTL	68000とバス・コンパチブル、4本のDMAチャネル	HITA
HD6845S	128	ALL	6845	1/1.5/2MHz	200.00	NMOS	DIP40	CRTC	TTL	CRT表示タイミング3.7MHz	HITA
HD6850	364	4	6850	1.0/1.5MHz	105.00	NMOS	DIP24	SIO	TTL	非同期式シリアル・データ・アダプタ	HITA
HD6852	*366	ALL	6852	1.0/1.5MHz	105.00	NMOS	DIP24	SIO	TTL	同期式シリアル・データ・アダプタ	HITA
ICD2093	*114	Pentium	2093	100MHz	130.00	CMOS	DIP24	CG	TTL	8本のCPUクロック出力を持つクロック・ジェネレータ	CYPRESS
IM26C91	354	ALL	2691	4MHz	20.00	CMOS	DIP24	SIO	TTL	データ設定はプログラマブル、非同期式全二重通信可能	INTS
IM6402/6403	*358	ALL	6402	1/2/4MHz	1.90	CMOS	DIP40	SIO	TTL	プログラムによる初期設定不要、データ長5, 6, 7, 8ビット選択	INTS
INS8250	*372	ALL	8250	3.1MHz	80.00	CMOS	DIP40	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵	NS
INS82C50	364	ALL	8250	3.1MHz	10.00	CMOS	DIP40	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵	NS
LD1101	372	ALL	8250	3.6MHz	6.00	CMOS	DIP40	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵	SL
LH0080/A/B	288	3	Z80PIO	2.5/4/6MHz	200.00	NMOS	DIP40	PIO	TTL	8ビット双方向入出力2ポート、ビット/バイト単位の処理可能	SHAP
LH0082/A/B	142	3	Z80CTC	2.5/4/6MHz	120.00	NMOS	DIP28	CTC	TTL	四つの独立した8ビット・カウンタ内蔵	SHAP
LH0083/A	162	3	Z80DMA	2.5/4MHz	200.00	NMOS	DIP40	DMAC	TTL	プログラマブル、チャネル・ステータス読み出し可能	SHAP
LH0084/A/B	386	3	Z80SIO/0	2.5/4/6MHz	100.00	NMOS	DIP40	SIO	TTL	2ポート内蔵、非同期/同期可能、HDLC, SDLC, X.25対応可能	SHAP
LH0085/A/B	386	3	Z80SIO/1	2.5/4/6MHz	100.00	NMOS	DIP40	SIO	TTL	2ポート内蔵、非同期/同期可能、HDLC, SDLC, X.25対応可能	SHAP
LH0086/A/B	386	3	Z80SIO/2	2.5/4/6MHz	100.00	NMOS	DIP40	SIO	TTL	2ポート内蔵、非同期/同期可能、HDLC, SDLC, X.25対応可能	SHAP
LH0110/A	*188	3	LH0110	2.5/4MHz	180.00	NMOS	DIP40	FDC	TTL	IBMフォーマット・コンパチブル、Z80バスに直結可能	SHAP
LH5081/L	288	3	Z80PIO	2.5MHz	26.00	CMOS	DIP40	PIO	TTL	8ビット双方向入出力2ポート、ビット/バイト単位の処理可能	SHAP
LH5082/L	142	3	Z80CTC	2.5MHz	8.00	CMOS	DIP28	CTC	TTL	四つの独立した8ビット・カウンタ内蔵	SHAP
LH8030	412	ALL	8030	4/6MHz	250.00	NMOS	DIP40	SPC	TTL	Z80SIOの16ビット・バージョン、NRZ, NRZI, FMコーディング・プログラム	SHAP
LH8036	138	6	8036	4/6MHz	200.00	NMOS	DIP40	CTC	TTL	三つの16ビット・カウンタ内蔵	SHAP
LH8072	370	1, 2, 3	8072	4MHz	250.00	NMOS	DIP40	SIO	TTL	調歩同期式シリアル伝送とセントロニクス準拠プリンタ制御機能を内蔵	SHAP
LH8530	412	ALL	8030	4/6MHz	250.00	NMOS	DIP40	SIO	TTL	Z80SIOの上位、NRZ, NRZI, FMコーディング・プログラム	SHAP
LH8536	138	ALL	8036	2/3MHz	200.00	NMOS	DIP40	CTC	TTL	三つの16ビット・カウンタ内蔵	SHAP
LH8572	*370	1, 2, 3	8072	4MHz	250.00	NMOS	DIP40	SIO	TTL	調歩同期式シリアル伝送とセントロニクス準拠プリンタ制御機能を内蔵、8072の汎用版	SHAP
LV8570A	308	ALL	8570	150ns	-	CMOS	DIP28	RTC	CMOS	0.01~1秒の割り込み設定可、3.3V駆動可能な万年カレンダー内蔵リアルタイム・クロック	NS
LV8571A	308	ALL	8570	150ns	0.06	CMOS	DIP24	RTC	CMOS	0.01~1秒の割り込み設定可、3.3V駆動可能な万年カレンダー内蔵リアルタイム・クロック	NS
LV8572A	308	ALL	8570	150ns	0.02	CMOS	DIP24	RTC	CMOS	0.01~1秒の割り込み設定可、3.3V駆動可能な万年カレンダー内蔵リアルタイム・クロック	NS
LV8573A	308	ALL	8570	150ns	0.02	CMOS	DIP24	RTC	CMOS	0.01~1秒の割り込み設定可、3.3V駆動可能な万年カレンダー内蔵リアルタイム・クロック	NS
M5L8251AP-5	376	1, 2	8251	320ns	100.00	NMOS	DIP28	SIO	TTL	同期/非同期動作、全二重ダブル・バッファ方式	MITU
M5L8253P-5	140	1, 2	8253	380ns	140.00	NMOS	DIP24	CTC	TTL	3個のプリセット型16ビット・カウンタ内蔵	MITU
M5L8259AP	216	1, 2	8259	290ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル8、カスケード接続で最大64レベルを制御	MITU
M5L8279P-5	280	1, 2	8279	320ns	120.00	NMOS	DIP40	PIO	TTL	キーボード/ディスプレイ・インターフェース、16桁表示	MITU
M5L8282/8283	40	ALL	8282/83	45/40ns	80.00	BIP	DIP20	BSBF	TTL	オクタル・ラッチ、8282はノンインバート、8283はインバート	MITU
M5L8284AP	106	2	8284	10MHz	162.00	BIP	DIP18	CG	TTL	リセット、READY入力付き	MITU

(\*印のページが掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	パケット	動作速度	消費電流	ポート	外 形	分類	入出力	特 徴	社 名
M5L8286/8287	42	ALL	8286/87	30/30ns	110.00	BIP	DIP20	BSBF	TTL	オクタル・バス・トランシーバ, 8286はノンインバート, 8287はインバート	MITU
M5L8288S	52	1, 2	8288	10MHz	160.00	BIP	DIP20	BSCN	TTL	マルチバス・コンパチブル, 8086マキシマム・モード下で使用	MITU
M5L8289P	30	2	8289	8MHz	120.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル, 4種のモード可能	MITU
M5M8255AP-5	276	1, 2	8255	300ns	120.00	NMOS	DIP40	PIO	TTL	8ビット3ポート, ハンドシェイク信号生成, インタラプト発生	MITU
M5M82C37AP-4/5	156	1, 2	8237	4/5MHz	15.00	CMOS	DIP40	DMAC	TTL	チャンネル数4, 全チャンネル独立動作可能	MITU
M5M82C51AP	376	1, 2	8251	320ns	5.00	CMOS	DIP28	SIO	TTL	同期/非同期動作, 全二重ダブル・バッファ方式	MITU
M5M82C54P/-6	140	1, 2, 8	8253/4	8/6MHz	10.00	CMOS	DIP24	CTC	TTL	三つの16ビット・カウンタ内蔵, 6通りのプログラマブル・カウンタ・モード	MITU
M5M82C55AP-2/5	276	1, 2	8255	160/200ns	0.01	CMOS	DIP40	PIO	TTL	8ビット3ポート, ハンドシェイク信号生成, インタラプト発生	MITU
M5M82C59AP/-2	212	1, 2	8259	200/120ns	0.01	CMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	MITU
M5M82C800	*94	1, 2	82800	5MHz	15.00	CMOS	FP100	CF	TTL	2個の8237, 2個の8259, 1個の8254内蔵	MITU
M5W1791-02P	166	ALL	179X	430ns	70.00	NMOS	DIP40	FDC	TTL	IBMフォーマット, ソフトで各種項目指定可能	MITU
M5W1793-02P	166	ALL	179X	430ns	70.00	NMOS	DIP40	FDC	TTL	IBMフォーマット, ソフトで各種項目指定可能	MITU
M66009FP	*262	ALL	66009	120ns	1.20	CMOS	FP20	PIO	TTL	8ビット・データの直並列, 並直列変換機能を持つI/Oエキスパンダ	MITU
M66011FP	*362	ALL	66011	120ns	0.20	CMOS	FP24	SIO	TTL	2バイト・データの直並列, 並直列変換機能を持つシリアル・バス・コントローラ	MITU
MB471	270	1, 2	8212		130.00	BIP	DIP24	PIO	TTL	8ビット・データ・レジスタ/バッファ, 3ステート出力	FUJI
MB472	*214	4	6828	80ns	120.00	BIP	DIP24	INT	TTL	割り込み入力レベル8, マスク・レジスタ内蔵	FUJI
MB86046	*248	ALL	86046	4.9MHz	0.10	CMOS	DIP24	LAN	TTL	EIAJのホーム・バス規格に準拠したコントローラ, レイヤ1, 2のプロトコルをサポート	FUJI
MB86405	*226	ALL	86405	6.144MHz	50.00	CMOS	SDIP64	ISDN	TTL	ISDNのレイヤ1, レイヤ2機能と回線ドライバ/レシーバを内蔵	FUJI
MB86601A	*330	ALL	86601	40MHz	100.00	CMOS	QFP100	SCSI	TTL	SCSI-2規格準拠でシングル・エンド・伝送形式のポート・コントローラ	FUJI
MB86602B	*332	ALL	86602	40MHz	100.00	CMOS	QFP100	SCSI	TTL	SCSI-2規格準拠でデュアル・エンド・伝送形式のポート・コントローラ	FUJI
MB86604	330	ALL	86601	40MHz	120.00	CMOS	QFP100	SCSI	TTL	SCSI-2規格準拠でシングル・エンド・伝送形式のポート・コントローラ	FUJI
MB86950B	*250	ALL	86950	10MHz	50.00	CMOS	QFP80	LAN	TTL	CSMA/CD, Star LAN コントローラ, 1Mビット/sのエンコード/デコード内蔵	FUJI
MB86953	*44	2, 8	86953	50ns	10.00	CMOS	FP100	BSBF	TTL	IBM PC XT/AT互換のPCバスとLAN7947MB86950とのインターフェイス用LSI	FUJI
MB86954	*32	2, 8	86954	57ns	10.00	CMOS	PLCC68	BSAB	TTL	PS/2準拠のマイクロ・チャンネル・インターフェース用LSI	FUJI
MB86960A	*252	ALL	86960	20MHz	85.00	CMOS	QFP100	LAN	TTL	IEEE802.3規格準拠の10/100/1000とハブ・マネージメント・ユニットを内蔵したLANコントローラ	FUJI
MB87034	*334	ALL	87034	10MHz	30.00	CMOS	FP80	SCSI	TTL	Single-ended ドライバ/レシーバ内蔵, ソフトはMB87033と上位互換性がある	FUJI
MB8795B	*254	ALL	8795	10.2MHz	0.10	CMOS	PGA64	LAN	TTL	イーサネット仕様準拠のLANコントローラ, 2進指数バックオフ・アルゴリズム内蔵	FUJI
MB88307A	*282	ALL	88307	4MHz	0.40	CMOS	DIP16	PIO	TTL	8ビット・データの直並列, 並直列変換機能を持つバス・エキスパンダ	FUJI
MB88309A	*282	ALL	88307	4MHz	0.40	CMOS	DIP16	PIO	TTL	8ビット・データの直並列, 並直列変換機能を持つバス・エキスパンダ	FUJI
MB8863N/E/H	364	4	6850	1.0/1.5/2.0MHz	105.00	NMOS	DIP24	SIO	TTL	非同期シリアル・データ・アダプタ	FUJI
MB8864N/E/H	366	ALL	6852	1.0/1.5/2.0MHz	100.00	NMOS	DIP24	SIO	TTL	同期式シリアル・データ・アダプタ	FUJI
MB8867/E	*112	4	8867	2.0/1.5MHz	160.00	BIP	DIP24	CG	TTL	6800用クロック・ジェネレータ, 水晶/CR発振	FUJI
MB8868	*346	4	1602	800KHz	70.00	NMOS	DIP40	SIO	TTL	全二重UART	FUJI
MB8873N/E/H	136	4	6840	1/1.5/2MHz	110.00	NMOS	DIP28	CTC	TTL	三つの独立した16ビット・カウンタ内蔵	FUJI
MB8874N/E/H	264	4	6821	1.0/1.5/2.0MHz	105.00	NMOS	DIP40	PIO	TTL	2個の8ビットI/Oポートと2個の16ビット・タイマ/カウンタ内蔵	FUJI
MB8875N/E/H	*398	ALL	6854	1.0/1.5/2.0MHz	170.00	NMOS	DIP28	SPC	TTL	HDL C, SDLC, ADCCPのためのデータ・リンク・コントローラ	FUJI
MB8876A	166	ALL	179X	1.0/2.0MHz	70.00	NMOS	DIP40	FDC	TTL	IBMフォーマット, ソフトで各種項目指定可能	FUJI
MB8877A	166	ALL	179X	1.0/2.0MHz	70.00	NMOS	DIP40	FDC	TTL	IBMフォーマット, ソフトで各種項目指定可能	FUJI
MB89237A	156	1, 2	8237	8MHz	15.00	CMOS	DIP40	DMAC	TTL	チャンネル数4, 全チャンネル独立動作可能	FUJI
MB89251A	376	1, 2	8251	8MHz	5.00	CMOS	DIP28	SIO	TTL	同期/非同期動作, 全二重ダブル・バッファ方式	FUJI

(\*印のページに掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CTC: CRT & グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMA コントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIB コントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDN コントローラ, LAN: LAN コントローラ, LCDC: LCD コントローラ, PIO: パラレル I/O コントローラ, RTC: リアル・タイム・クロック, SCSI: SCSI コントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	チップ	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
MB89254/H	140	1, 2, 8	8253/4	8/10MHz	10.00	CMOS	DIP24	CTC	TTL	三つの16ビット・カウンタ内蔵, 6通りのプログラマブル・カウンタ・モード	FUJ1
MB89255A/B	276	1, 2	8255	150ns	10.00	CMOS	DIP40	PIO	TTL	Aはプルアップ抵抗付き, Bはリセット時ハイ・インピーダンス	FUJ1
MB89259A	220	1, 2	8259	8MHz	5.00	CMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	FUJ1
MB89282/283	40	ALL	8282/83	35ns	10.00	CMOS	DIP20	BSBF	TTL	オクタル・ラッチ, 89282はノンインバート, 89283はインバート	FUJ1
MB89284A/-5	106	2	8284	8/5MHz	25.00	CMOS	DIP18	CG	TTL	リセット, READY入力付き	FUJ1
MB89288	52	1, 2	8288	8MHz	8.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル, 8086マキシマム・モード下で使用	FUJ1
MB89289	30	2	8289	8MHz	5.00	CMOS	DIP20	BSAB	TTL	マルチバス・コンパチブル, 4種のモード可能	FUJ1
MB89311A	*186	ALL	89311	4.0/8.0MHz	10.00	CMOS	DIP28	FDC	TTL	IBMフォーマット, ISOフォーマットも可	FUJ1
MB89321A	*126	ALL	6845	4MHz	6.00	CMOS	DIP40	CRTC	TTL	汎用CRTC	FUJ1
MB89322A	*126	1, 2	6845	4MHz	6.00	CMOS	DIP40	CRTC	TTL	16Kのリフレッシュ・メモリ・アドレス機能をもったCRTコントローラ	FUJ1
MB89342	*206	1, 2	89342	10MHz	40.00	CMOS	DIP48	HDC	TTL	ESDI, IDCフォーマットをサポート	FUJ1
MB89351	*338	ALL	89351	5MHz	10.00	CMOS	SDIP64	SCSI	TTL	8バイトのFIFO内蔵, SCSIの完全サポート	FUJ1
MB89352	*340	ALL	89352	5MHz	10.00	CMOS	DIP48	SCSI	TTL	2.6Mバイト/sの転送速度, 8バイトのFIFO内蔵	FUJ1
MB89363/B	278	1, 2	8255	12.5MHz	20.00	CMOS	QFP80	PIO	TTL	8255 2個相当	FUJ1
MB89371	376	1, 2	8251	8MHz	8.00	CMOS	DIP42	SIO	TTL	同期/非同期動作, 8251 2個相当, ボーレート・ジェネレータ内蔵	FUJ1
MB89372	*416	ALL	89372	8MHz	40.00	CMOS	SDIP64	SPC	TTL	3種類のプロトコルをサポートする2チャンネル内蔵のシリアル伝送用コントローラ	FUJ1
MB89374	*418	1, 2, 8, F3	89374	10MHz	15.00	CMOS	DIP42	SPC	TTL	HDL, SDLサポート, 全二重で最大2.5Mbpsの転送が可能	FUJ1
MB89375/V375	*228	ALL	89375	8MHz	120.00	CMOS	FP80	ISDN	TTL	ISDN基本インターフェースのレイヤ1, 2の機能をもつ, 516バイトRAM内蔵	FUJ1
MB89392	*98	1, 2	89392	8MHz	35.00	CMOS	FP100	CF	TTL	2個の8259, 1個の8237, 1個の8254内蔵	FUJ1
MB89394	*70	2	89394	8MHz	35.00	CMOS	FP80	CF	TTL	割り込みコントローラ, シリアル通信コントローラ, プログラマブル・タイマを内蔵	FUJ1
MB89396	*72	2	89396	8MHz	35.00	CMOS	FP120	CF	TTL	割り込みコントローラ, DMAコントローラ, プログラマブル・タイマ, ラッチを内蔵	FUJ1
MB89421	*118	ALL	89424	8MHz	60.00	CMOS	FP100	CRTC	TTL	ラスタスキャン方式のCRTコントローラ, MB89321/322と7707上位互換がある	FUJ1
MB92411	*160	F32	92411	20MHz	240.00	CMOS	PGA179	DMAC	TTL	4チャンネルDMAコントローラ, データ/アドレス・バスとも32ビット対応	FUJ1
MB92461	*116	F32	92461	100MHz	223.00	BIP	DIP22	CG	TTL	F32/300, F32/200にクロックを供給するパルス・ジェネレータ	FUJ1
MBL82284-6/-8	*104	2	82284	6/8MHz	145.00	BIP	DIP18	CG	TTL	リセット, READY入力付き	FUJ1
MBL82286/82287	42	ALL	8286/87	35ns	10.00	CMOS	DIP20	BSBF	TTL	オクタル・バス・トランシーバ, 8286はノンインバート, 8287はインバート	FUJ1
MBL82288	*50	1, 2	82288	6/8/10MHz	120.00	NMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル, 80286用システム・バス・コントローラ	FUJ1
MBL8259A/A-2	216	1, 2	8259	5/8MHz	85.00	NMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	FUJ1
MBL8282/8283	40	ALL	8282/83	45/40ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・ラッチ, 8282はノンインバート, 8283はインバート	FUJ1
MBL8284A	*106	2	8284	8/10MHz	162.00	BIP	DIP18	CG	TTL	リセット, READY入力付き	FUJ1
MBL8286/8287	42	ALL	8286/87	30/22ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・バス・トランシーバ, 8286はノンインバート, 8287はインバート	FUJ1
MBL8288	*52	1, 2	8288	10MHz	230.00	BIP	DIP20	BSCN	TTL	マルチバス・コンパチブル, 8086マキシマム・モード下で使用	FUJ1
MBL8289/-1	30	2	8289	8/10MHz	95.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル, 4種のモード可能	FUJ1
MBL89282/89283	40	ALL	8282/83	35ns	10.00	CMOS	DIP20	BSBF	TTL	オクタル・ラッチ, 8282はノンインバート, 8283はインバート	FUJ1
MC145488	*218	2, 7	145488	16MHz	24.00	CMOS	PLCC68	ISDN	TTL	DMAコントローラとISDN対応の2チャンネルLAPDコントローラを内蔵	MOT
MC146818	*296	ALL	146818	1MHz	0.05	CMOS	DIP24	RTC	TTL	3種の基準クロック選択可能, データのバイナリ/BCD切り替え可能	MOT
MC146823	*260	4	146823	1MHz	3.00	CMOS	DIP40	PIO	CMOS	三つの8ビット双方向ポートをもつ	MOT
MC6821	*264	4	6821	1/1.5/2MHz	110.00	NMOS	DIP40	PIO	TTL	周辺ICとのインターフェース用, 8ビット2ポート内蔵	MOT
MC6822	264	4	6821	1/1.5/2MHz	110.00	NMOS	DIP40	PIO	TTL	6821ピン・コンパチブル, 高耐圧入出力ポート	MOT
MC68230	*266	7	68230	8/10/12MHz	150.00	NMOS	DIP48	PIO	TTL	24本のプログラマブルI/Oポート, 24ビット・タイマ内蔵	MOT

(\*印のページが掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	リ/ハ	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
MC6840	*136	4	6840	1/1.5/2MHz	140.00	NMOS	DIP28	CTC	TTL	三つの独立した16ビット・カウンタ内蔵	MOT
MC6844	*150	4	6844	1/1.5/2MHz	16.00	NMOS	DIP40	DMAC	TTL	4チャンネル内蔵。各チャンネルが16ビットのアドレス・レジスタ、カウンタ・レジスタを内蔵	MOT
MC6845	*128	ALL	6845	1/1.5/2MHz	150.00	NMOS	DIP40	CRTC	TTL	256文字×64行、ライトペン機能付き	MOT
MC68450	*152	7	68450	8/10MHz	400.00	NMOS	DIP64	DMAC	TTL	68000とバス・コンパチ。4本のDMAチャンネル	MOT
MC68488	*192	ALL	68488	1/1.5/2MHz	150.00	NMOS	DIP40	GP1B	TTL	トーカー/リスナ両用の機能をもつ、MC6821とともにコントローラ機能を実現可能	MOT
MC6850	*364	4	6850	0.8/1/1.5MHz	105.00	NMOS	DIP24	SIO	TTL	非同期式シリアル・データ・アダプタ	MOT
MC6852	366	ALL	6852	1.0/1.5/2.0MHz	105.00	NMOS	DIP24	SIO	TTL	同期式シリアル・データ・アダプタ	MOT
MC6854	398	ALL	6854	1.0/1.5/2.0MHz	170.00	NMOS	DIP28	SPC	TTL	HDLC, SDLC, ADCCPのためのデータ・リンク・コントローラ	MOT
MC68652	*402	7	68652	980/480ns	150.00	NMOS	DIP40	SPC	TTL	HDLC, SDLC, ADCCPなどのためのデータ・リンク・コントローラ	MOT
MC68661	352	ALL	2651	5MHz	150.00	NMOS	DIP28	SIO	TTL	同期/非同期全二重動作、ボーレート・ジェネレータ内蔵	MOT
MC68681	*368	7	68681	4MHz	150.00	NMOS	DIP40	SIO	TTL	2個の全二重UART、汎用I/Oポート、カウンタ/タイマ内蔵	MOT
MC6875/A	*100	4	6875	1/1.5/2MHz	150.00	BIP	DIP16	CG	TTL	二相クロック・ジェネレータ、水晶/CR発振	MOT
MC68901	*80	7	68901	4MHz	180.00	NMOS	DIP48	CF	TTL	同期/非同期ポート、8本のI/O、16個の割り込み制御可能、4個のタイマ内蔵	MOT
MC68HC68T1	*300	4	68HC68T1	2.1MHz	1.20	CMOS	DIP16	RTC	CMOS	32バイトSRAM、通信用同期式シリアル3線インターフェース内蔵	MOT
MCCS16C452/462	*348	2, 8	16452	1.8432MHz	50.00	CMOS	PLCC68	SIO	TTL	INS8250と74164の二つのUARTとセントロニクス・インターフェースを内蔵したIBM PC/XT/AT用コントローラ	MOT
MCCS1850	*292	ALL	1850	100ns	10.00	CMOS	DIP16	RTC	TTL	64バイトRAM、シリアル・インターフェース内蔵のリアル・タイム・クロック	MOT
MCS16C451	374	ALL	8250	360ns	50.00	CMOS	PLCC68	SIO	TTL	PC/XT, AT用I/Oコントローラ、セントロニクス・インターフェース対応可	MOT
MCS16C461	*374	ALL	8250	360ns	50.00	CMOS	PLCC68	SIO	TTL	PC/XT, AT用I/Oコントローラ、水晶を直接接続可能	MOT
MCS2220	*36	1, 2, 8	22203	41ns	50.00	CMOS	PLCC84	BSBF	TTL	PC/AT用データ・バッファ&ラッチ、パリティ生成/検出機能、16/8ビット変換機能	MOT
MCS2220A	*38	1, 2, 8	22203	41ns	50.00	CMOS	PLCC84	BSBF	TTL	PC/AT用アドレス・バッファ&ラッチ、パリティ発生/検出機能、16/8ビット変換機能	MOT
MCS3201	*170	2, 8	3201	24MHz	200.00	CMOS	PLCC68	PDC	TTL	PCAT/XT用FDコントローラ、360K~1.4MBフォーマット、μPD765をエミュレート	MOT
MK68901	80	7	68901	5MHz	180.00	NMOS	DIP48	CF	TTL	同期/非同期ポート8本のI/O、16個の割り込み制御回路、4個のタイマ内蔵	THOM
MM58274C	*298	ALL	58174	650ns	1.00	CMOS	DIP16	RTC	TTL	0.1~60秒の割り込み設定可、万年カレンダー内蔵リアルタイム・クロック	NS
MN12861	*74	1, 2, 3	12861	24MHz	80.00	CMOS	FP100	CF	TTL	インテル系の8284, 8254, 8255, 8259機能を1チップ化した複合LSI	MATUSITA
MN12862	*76	1, 2, 3	12862	24MHz	60.00	CMOS	FP100	CF	TTL	インテル系の8284, 8254, 8237, 8259機能を1チップ化した複合LSI	MATUSITA
MSM6241-01	*190	1, 2	MSM6241	8MHz	10.00	CMOS	DIP40	FDC	TTL	6本の出力ドライバ内蔵、IBMフォーマット互換、ISOフォーマット可能	OKI
MSM6242RS	*300	ALL	6242	250ns	0.03	CMOS	DIP18	RTC	TTL	万年カレンダー内蔵、アラーム用割り込み機能付き	OKI
MSM62X42B	300	ALL	6242	120ns	0.03	CMOS	DIP18	RTC	TTL	MSM6242の水晶振動子内蔵版	OKI
MSM82C12	270	1, 2	8212	45ns	1.00	CMOS	DIP24	PIO	TTL	8ビット・データ・レジスタ/バッファ、3ステート出力	OKI
MSM82C37A	156	1, 2	8237	5MHz	10.00	CMOS	DIP40	DMAC	TTL	チャンネル数4、全チャンネル独立動作可能	OKI
MSM82C51A/-2	376	1, 2	8251	4/6.25MHz	5.00	CMOS	DIP28	SIO	TTL	同期/非同期動作、全二重ダブル・バッファ方式	OKI
MSM82C53-2	140	1, 2	8253	125ns	8.00	CMOS	DIP24	CTC	TTL	3個のプリセット型16ビット・カウンタ内蔵	OKI
MSM82C53-5	140	1, 2	8253	200ns	5.00	CMOS	DIP24	CTC	TTL	3個のプリセット型16ビット・カウンタ内蔵	OKI
MSM82C54-2	140	1, 2, 8	8253/4	10MHz	10.00	CMOS	DIP24	CTC	TTL	三つの16ビット・カウンタ内蔵、6通りのプログラマブル・カウンタ・モード	OKI
MSM82C55A-2/-5	276	1, 2	8255	100/300ns	8.00	CMOS	DIP40	PIO	TTL	8ビット3ポート、ハンドシェイク信号生成、インタラプト発生	OKI
MSM82C59A-2	216	1, 2	8259	160ns	5.00	CMOS	DIP28	INT	TTL	優先度レベル8、カスケード接続で最大64レベルを制御	OKI
MSM82C84A/2/5	106	2	8284	5/8MHz	16.00	CMOS	DIP18	CG	TTL	リセット、READY入力付き リセット入力はシュミット・トリガ入力	OKI
MSM82C88/-2	52	1, 2	8288	5/8MHz	10.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル、8086マキシマム・モード下で使用	OKI
NCR5386	*320	ALL	5386	100ns	300.00	NMOS	DIP48	SCSI	TTL	非同期で2.0Mバイト/sの転送速度、パリティ・ジェネレータ内蔵	NCR
NCR53C80	*318	ALL	5380	60ns	15.00	CMOS	DIP48	SCSI	TTL	非同期で1.5Mバイト/sの転送速度、パリティ・ジェネレータ内蔵	NCR

(\*印のページが掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GP1B: GP1Bコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	オリジナル	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
NS16450	372	ALL	8250	3.1MHz	120.00	CMOS	DIP40	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵	NS
NS16550	372	ALL	8250	3.1MHz	160.00	NMOS	DIP40	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵, 16バイトFIFO内蔵	NS
NS16C450	372	ALL	8250	3.1MHz	10.00	CMOS	DIP40	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵	NS
NS32202	*208	9	32202	6/8/10MHz	300.00	NMOS	DIP40	INT	TTL	割り込みレベル16, 16個までカスケード接続可能	NS
NS32203	*146	9	32203	6/8/10MHz	300.00	CMOS	DIP48	DMAC	TTL	チャンネル数4, 転送速度5Mbps, 8/16ビット転送可能	NS
NS32490C	244	ALL	8390	20MHz	40.00	CMOS	DIP48	LAN	TTL	IEEE802.3準拠のCSMA/CDコントローラ, DP8391/8392と組み合わせて使用する, DP8390Cと同一	NS
PC87310	*96	1, 2, 8	87310	24MHz	35.00	CMOS	FP100	CF	TTL	二つのUART, FDコントローラ等を内蔵した, IBM PC対応の複合デバイス	NS
PC87410	*66	ALL	87410	33MHz	10.00	CMOS	QFP100	BSCN	TTL	PCIバスと2チャネルのIDEコントローラとの接続を行うPCI-IDEインターフェースコントローラ	NS
RF5C59	*380	ALL	RF5C59	14.7456MHz	20.00	CMOS	DIP40	SIO	TTL	4チャンネル全二重UART, データ長8ビット, キャラクタ長10ビット固定	RICO
RP5C01	*310	ALL	RP5C01	10ms	0.25	CMOS	DIP18	RTC	TTL	データはBCD出力, 1Hz, 16Hzのアラーム出力可能	RICO
RP5C16A	*132	ALL	RP5C16	14.318MHz	50.00	CMOS	SDIP64	CRTC	TTL	4モード, 80×25文字, 640×200ドット	RICO
RP5C56	*134	ALL	RP5C56	25MHz	60.00	CMOS	SDIP64	CRTC	TTL	512×192ドットのグラフィック表示が可能なCRTコントローラ	RICO
RP5C62	*312	ALL	RP5C62	120ns	0.01	CMOS	DIP18	RTC	TTL	データはBCD出力, タイマ/カウンタ内蔵	RICO
S-3520AF/CF	*294	ALL	3520	500ns	0.10	CMOS	FP14	RTC	CMOS	時刻, カレンダー・データをシリアルに入出力する, 120ビットのSRAM内蔵	SEIKO
S5930	*68	ALL	5930	33MHz	-	CMOS	QFP120	BSCN	TTL	16/8ビットバスとの接続が可能なPCIコントローラで, EEPROMとのシリアル・インターフェースを持つ	AMCC
S5931	68	ALL	5931	33MHz	-	CMOS	QFP144	BSCN	TTL	16/8ビットバスとの接続が可能なPCIコントローラで, 8ビットデータのEPROMとのインターフェースを持つ	AMCC
S5932	68	ALL	5932	33MHz	-	CMOS	QFP144	BSCN	TTL	32ビットバスとの接続が可能なPCIコントローラで, EEPROMとのシリアル・インターフェースを持つ	AMCC
S5933	68	ALL	5933	33MHz	-	CMOS	QFP160	BSCN	TTL	32ビットバスとの接続が可能なPCIコントローラで, 8ビットデータのEPROMとのインターフェースを持つ	AMCC
S65C51	*360	ALL	6551	2MHz	4.00	CMOS	DIP28	SIO	TTL	全二重UART, ボーレート・ジェネレータ内蔵	ASAHI
S6845E	128	ALL	6845	4MHz	130.00	NMOS	DIP40	CRTC	TTL	汎用CRTC	ASAHI
SAB82288	50	1, 2	82288	12/16/20MHz	100.00	NMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル, 80286用システム・バス・コントローラ	SIEMENS
SAB8237A	156	1, 2	8237	320/200ns	150.00	NMOS	DIP40	DMAC	TTL	チャンネル数4, 全チャンネル独立動作可能	SIEMENS
SAB8289	30	2	8289	8/10MHz	165.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル, 4種のモード可能	SIEMENS
SCANPSC100F	*378	ALL	PSC100	25MHz	57.50	CMOS	FP28	SIO	TTL	IEEE 1149.1 テスト・アクセス・ポート, バウンダリ・スキット・キックオフとコンパチブルな直並列コンバータ	NS
SCB68154	*210	7	68154	90ns	130.00	BIP	DIP40	INT	TTL	VMEバス・インタラプト・ジェネレータ, 7バス要求割り込み発生	SIGNE
SCB68155	*212	7	68155	100ns	255.00	BIP	DIP40	INT	TTL	VMEバス対応の非同期式インタラプト・ハンドラ	SIGNE
SCB68430	*148	7	68430	10/12.5MHz	405.00	BIP	DIP48	DMAC	TTL	転送速度6.25Mバイト/s, 68440, 68450とソフト・コンパチブル	SIGNE
SCN2641	*350	ALL	2641	4MHz	150.00	NMOS	DIP24	SIO	TTL	非同期全二重動作, ボーレート・ジェネレータ内蔵	SIGNE
SCN2651	*352	ALL	2651	5MHz	150.00	NMOS	DIP28	SIO	TTL	同期/非同期全二重動作, ボーレート・ジェネレータ内蔵	SIGNE
SCN2652/68652	402	7	68652	2MHz	150.00	NMOS	DIP40	SPC	TTL	HDLC, SDLC, ADCCPなどのためのデータ・リンク・コントローラ	SIGNE
SCN2681/68681	368	7	68681	4MHz	150.00	NMOS	DIP40	SIO	TTL	2個の全二重UART, 汎用I/Oポート, カウンタ/タイマ内蔵	SIGNE
SCN2691	*354	ALL	2691	4MHz	4.00	CMOS	DIP24	SIO	TTL	全二重UART, ボーレート・ジェネレータ内蔵	SIGNE
SCN68562	*400	7	68562	16MHz	250.00	NMOS	DIP48	SPC	TTL	HDLC, SDLC, ADCCPなどのプロトコル・コントローラ, 全二重同期/非同期	SIGNE
SM8513	*388	ALL	8513	11MHz	5.00	CMOS	DIP16	SIO	TTL	ITU-T勧告V.14準拠の同期/非同期変換用コンバータ	NPC
SMC5242C	*314	1, 2	SMC5242	1000ns	0.01	CMOS	DIP16	RTC	TTL	万年カレンダー内蔵, 80系CPUのためのALE入力	EPSON
SMC82C37AC	156	1, 2	8237	3/4/5MHz	15.00	CMOS	DIP40	DMAC	TTL	チャンネル数4, 全チャンネル独立動作可能	EPSON
SMC82C51AC	376	1, 2	8251	3MHz	5.00	CMOS	DIP28	SIO	TTL	同期/非同期動作, 全二重ダブル・バッファ方式	EPSON
SMC82C54C/-6	140	1, 2, 8	8253/4	8/6MHz	10.00	CMOS	DIP24	CTC	TTL	三つの16ビット・カウンタ内蔵, 6通りのプログラマブル・カウンタ・モード	EPSON
SMC82C55AC-5	276	1, 2	8255	170ns	0.01	CMOS	DIP40	PIO	TTL	8ビット3ポート, ハンドシェイク信号生成, インタラプト発生	EPSON
SMC82C59AC	216	1, 2	8259	170ns	0.01	CMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	EPSON

(\*印のページが掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	オシノ	動作速度	消費電流	フ・ロ	外 形	分類	入出力	特 徴	社 名
SPC2050F	*168	ALL	2050	24MHz	70.00	CMOS	FP100	FDC	TTL	IBM-PC/AT対応のFDコントローラ。データ・セパレータとドライバ内蔵2台までドライブ可	EPSON
SPC2052F	168	ALL	2050	24MHz	70.00	CMOS	FP80	FDC	TTL	IBM-PC/AT対応のFDコントローラ。データ・セパレータとドライバ内蔵2台までドライブ可	EPSON
SPC2054F	168	ALL	2050	24MHz	70.00	CMOS	FP100	FDC	TTL	IBM-PC/AT対応のFDコントローラ。データ・セパレータとドライバ内蔵4台までドライブ可	EPSON
SSI 73M1450	372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ内蔵。8250を28PINにコンパクト化	SSI
SSI 73M1550	*372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ内蔵。8250を28PINにコンパクト化	SSI
SSI 73M2450	372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ内蔵。8250を28PINにコンパクト化しリセット端子付	SSI
SSI 73M2550	*372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ内蔵。8250を28PINにコンパクト化しリセット端子付	SSI
SSI 73M450	372	ALL	8250	4MHz	10.00	CMOS	DIP40	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ内蔵	SSI
SSI 73M550	372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ内蔵。16ビットのFIFOを内蔵しキタタモード時8250コンパチブル	SSI
ST16C1450		ALL	8250	7.4MHz	6.00	CMOS	DIP28	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ内蔵。8250を28PINにコンパクト化	EXAR
ST16C1451		ALL	8250	7.4MHz	6.00	CMOS	DIP28	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ内蔵。8250を28PINにコンパクト化	EXAR
ST16C1550		ALL	8250	7.4MHz	6.00	CMOS	DIP28	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ。16ビットFIFO内蔵。8250を28PINにコンパクト化	EXAR
ST16C1551		ALL	8250	7.4MHz	6.00	CMOS	DIP28	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ。16ビットFIFO内蔵。8250を28PINにコンパクト化	EXAR
ST16C450		ALL	8250	7.4MHz	6.00	CMOS	DIP40	SIO	TTL	UART, プログラムブル・ボーレート・ジェネレータ内蔵。8250, 16450とピン/機能コンパチブル	EXAR
ST16C550		ALL	8250	7.4MHz	6.00	CMOS	DIP40	SIO	TTL	INS8250コンパチブルで、16ビットのFIFO内蔵UART。460.8kHzまで送受信動作可能	EXAR
STC9610F	*382	ALL	STC9610	3.58MHz	80.00	CMOS	FP80	SIO	TTL	8250と機能コンパチブル。300/110ボーレート・ジェネレータ内蔵	EPSON
TC35802G	*234	2.8	35802	8MHz	180.00	CMOS	FP144	LAN	TTL	トークン・リング・プロトコルを実行するLANコントローラ	TOSI
TC8505	128	ALL	6845	6.25MHz	10.00	CMOS	DIP40	CRTC	TTL	256文字×64行、ライト・ペン機能付き	TOSI
TC8521P	*306	ALL	8521	250ns	0.25	CMOS	DIP18	RTC	TTL	16Hz, 1Hz, アラーム信号出力可能。26×4ビットRAM内蔵	TOSI
TC8565	180	ALL	765	8MHz	10.00	CMOS	DIP40	FDC	TTL	4台のFDを同時シーク可能。IBMフォーマット・コンパチブル	TOSI
TC8566	180	ALL	765	16.5MHz	30.00	CMOS	FP100	FDC	TTL	FDコントローラとVFO回路、周辺ロジックを集積化	TOSI
TC8569	180	ALL	765	16.5MHz	40.00	CMOS	FP100	FDC	TTL	FDコントローラとVFO回路、周辺ロジックを集積化。2FD対応可能	TOSI
TC8570	372	ALL	8250	4MHz	5.00	CMOS	DIP40	SIO	TTL	ボーレート・ジェネレータ、モデム制御機能を内蔵したUART	TOSI
TC8577	370	1, 2, 3	8072	0.3MHz	10.00	CMOS	DIP40	SIO	TTL	RS232C, セントロニクス・インターフェースをサポートする。PIOは出力専用	TOSI
TC8578	370	1, 2, 3	8072	0.3MHz	10.00	CMOS	DIP40	SIO	TTL	RS232C, セントロニクス・インターフェースをサポートする。PIOは入力専用	TOSI
TC9173	*284	ALL	9173	0.5MHz	1.00	CMOS	DIP16	PIO	CMOS	シリアル・バス・ラインでマイコンと接続可能な拡張用入出力ポート	TOSI
TC9174	*285	ALL	9174	0.5MHz	1.00	CMOS	DIP16	PIO	CMOS	シリアル・バス・ラインでマイコンと接続可能な拡張用出力ポート	TOSI
TL16C550	372	ALL	8250	16MHz	10.00	CMOS	DIP40	SIO	TTL	INS8250コンパチブルで、16ビットのFIFO内蔵UART。ボーレートはDCから256Kまで設定可能	TI
TMP68230	260	7	68230	8/10MHz	150.00	NMOS	DIP48	PIO	TTL	68000とバス・コンパチ。単/双方向8/16ビット・ポート、24ビット・タイマ	TOSI
TMP68450	152	7	68450	8/10MHz	400.00	NMOS	DIP64	DMAC	TTL	68000とバス・コンパチ。4本のDMAチャンネル	TOSI
TMP68652	402	7	68652	2MHz	150.00	NMOS	DIP40	SPC	TTL	HDL C, SDLC, ADCCPなどのためのデータ・リンク・コントローラ	TOSI
TMP68901	80	7	68901	4MHz	180.00	NMOS	DIP48	CF	TTL	同期/非同期ポート、8本のI/O、16個の割り込み制御回路、4個のタイマ内蔵	TOSI
TMP8237AP	156	1, 2	8237	3/5MHz	150.00	NMOS	DIP40	DMAC	TTL	チャンネル数4、全チャンネル独立動作可能	TOSI
TMP8243	274	ALL	8243	700ns	20.00	NMOS	DIP24	PIO	TTL	MCS48のI/Oエキスパンダ、四つの4ビットI/Oポート	TOSI
TMP8251AP	376	1, 2	8251	6MHz	100.00	NMOS	DIP28	SIO	TTL	同期/非同期動作、全二重ダブル・バッファ方式	TOSI
TMP8255AP-5	276	1, 2	8255	300ns	120.00	NMOS	DIP40	PIO	TTL	8ビット3ポート、ハンドシェイク信号生成、インタラプト発生	TOSI
TMP8259AP	216	1, 2	8259	235ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル8、カスケード接続で最大64レベルを制御	TOSI
TMP8279P-5	280	1, 2	8279	250ns	120.00	NMOS	DIP40	PIO	TTL	キーボード/ディスプレイ・インターフェース、16桁表示	TOSI
TMP82C37AP	156	1, 2	8237	5MHz	10.00	CMOS	DIP40	DMAC	TTL	チャンネル数4、全チャンネル独立動作可能	TOSI
TMP82C43	274	ALL	8243	700ns	2.00	CMOS	DIP24	PIO	TTL	MCS48のI/Oエキスパンダ、四つの4ビットI/Oポート	TOSI

(\*印のページが掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	チップ	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
TMP82C51AP	376	1, 2	8251	5/8MHz	8.00	CMOS	DIP28	SIO	TTL	同期/非同期動作, 全二重ダブル・バッファ方式	TOSI
TMP82C53AP	140	1, 2	8253	5MHz	5.00	CMOS	DIP24	CTC	TTL	3個のプリセット型16ビット・カウンタ内蔵	TOSI
TMP82C53P	140	1, 2	8253	5MHz	5.00	CMOS	DIP24	CTC	TTL	3個のプリセット型16ビット・カウンタ内蔵	TOSI
TMP82C54P/-2	140	1, 2, 8	8253/4	8/10MHz	30.00	CMOS	DIP24	CTC	TTL	三つの16ビット・カウンタ内蔵, 6通りのプログラマブル・カウンタ・モード	TOSI
TMP82C55AP	276	1, 2	8255	150/160/300ns	5.00	CMOS	DIP40	PIO	TTL	8ビット3ポート, ハンドシェイク信号生成, インタラプト発生	TOSI
TMP82C59AP-2	216	1, 2	8259	160ns	5.00	CMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	TOSI
TMP82C79	280	1, 2	8279	160ns	5.00	CMOS	DIP40	PIO	TTL	キーボード/ディスプレイ・インターフェース, 16桁表示	TOSI
TMPZ84C10AP	162	3	Z80DMA	4/6MHz	10.00	CMOS	DIP40	DMAC	TTL	プログラマブル, チャンネル・ステータス読み出し可能	TOSI
TMPZ84C20	288	3	Z80PIO	4.0/6.0MHz	8.00	CMOS	DIP40	PIO	TTL	8ビット双方向入出力2ポート, ビット/バイト単位の処理可能	TOSI
TMPZ84C30P	142	3	Z80CTC	4/6MHz	7.00	CMOS	DIP28	CTC	TTL	四つの独立した8ビット・カウンタ内蔵	TOSI
TMPZ84C40	386	3	Z80SIO/0	4.0/6.0MHz	10.00	CMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	TOSI
TMPZ84C41	386	3	Z80SIO/1	4.0/6.0MHz	10.00	CMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	TOSI
TMPZ84C42	386	3	Z80SIO/2	4.0/6.0MHz	10.00	CMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	TOSI
TMPZ84C60P	*108	3	8460	4MHz	4.00	CMOS	DIP16	CG	TTL	Z80用クロック・ジェネレータ, RUN/IDLE/STOPモードの選択可能	TOSI
TMPZ84C61P	103	3	8460	4/6/8MHz	5.00	CMOS	DIP16	CG	TTL	Z80用クロック・ジェネレータ, RUN/IDLE/STOPモードの選択可能	TOSI
TMS2793/97	166	ALL	179X	6MHz	150.00	NMOS	DIP40	FDC	TTL	IBMフォーマット, ソフトで各種項目指定可能	TI
TMS34010	*122	ALL	34010	160ns	-		PLCC68	CRTC		プログラマブル・グラフィック・コントローラ	TI
TMS9914	*194	ALL	9914	200ns	160.00	NMOS	DIP40	GP1B	TTL	GP1B全機能実行, トーカ, リスナ, コントローラ機能内蔵	TI
TP3464	*344	ALL	3464	20MHz	4.00	CMOS	PLCC28	SIO	TTL	MICROWIREインターフェースにより最大四つの周辺デバイスとCPU間の接続を可能にする	NS
TP3465	*344	ALL	3465	20MHz	4.00	CMOS	DIP28	SIO	TTL	MICROWIREインターフェースにより最大八つの周辺デバイスとCPU間の接続を可能にする	NS
TR1602	346	4	1602	320KHz	60.00	NMOS	DIP40	SIO	TTL	全二重UART	WD
TR1863/5	358	ALL	6402	1/2.5/3.5MHz	35.00	CMOS	DIP40	SIO	TTL	プログラムによる初期設定不要, データ長5, 6, 7, 8ビット選択	WD
UM6845	128	ALL	6845	2MHz	150.00	NMOS	DIP40	CRTC	TTL	256文字×64行, ライト・ペン機能付き	UMC
UM82450	372	ALL	8250	3.1MHz	120.00	NMOS	DIP40	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵	UMC
UM8253	140	1, 2	8253	5MHz	140.00	NMOS	DIP24	CTC	TTL	3個のプリセット型16ビット・カウンタ内蔵	UMC
UM8259	216	1, 2	8259	160ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	UMC
UM8272	180	ALL	765	4/8MHz	120.00	NMOS	DIP40	FDC	TTL	4台のFDを同時シーク可能, IBMフォーマット・コンパチブル	UMC
UM82C284	104	2	82284	10/12.5MHz	75.00	CMOS	DIP18	CG	TTL	リセット, READY入力付き	UMC
UM82C288	50	1, 2	82288	10/12.5MHz	1.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル, 80286用システム・バス・コントローラ	UMC
VL16C550	372	ALL	8250	8MHz	10.00	CMOS	DIP40	SIO	TTL	INS8250コマンドで, 16ビットのFIFO内蔵UART, ボーレートはDCから256Kまで設定可能	VLSI
VL68C45	128	ALL	6845	2/3MHz	12.00	CMOS	DIP40	CRTC	TTL	256文字×64行, ライト・ペン機能付き	VLSI
VL82C37A	156	1, 2	8237	4/5/8MHz	30.00	CMOS	DIP40	DMAC	TTL	チャンネル数4, 全チャンネル独立動作可能	VLSI
VL82C50/A	372	ALL	8250	3.1MHz	10.00	CMOS	DIP40	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵	VLSI
VL82C59A	216	1, 2	8259	8/10MHz	5.00	CMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	VLSI
WD1770/2	*164	ALL	1770	10MHz	150.00	NMOS	DIP28	FDC	TTL	デジタル・データ・セパレータ内蔵, 単密/倍密可能	WD
WD33C93A	*316	ALL	3393	8MHz	20.00	CMOS	DIP40	SCSI	TTL	非同期で1.5Mバイト/s転送可能, 24ビットのトランスファ・カウンタ内蔵	WD
WD37C65/A/B	180	ALL	765	60ns	45.00	CMOS	DIP40	FDC	TTL	4台のFDを同時シーク可能, IBMフォーマット・コンパチブル	WD
WD9914	194	ALL	9914	200ns	150.00	NMOS	DIP40	GP1B	TTL	GP1B全機能実行, トーカ, リスナ, コントローラ機能内蔵	WD
Z16C30	412	ALL	8030	10MHz	-	CMOS	PLCC48	SPC	TTL	SCCの上位バージョンで, 2チャンネル内蔵, 10のプロトコルをサポート	ZILOG
Z5380	318	ALL	5380	100ns	15.00	CMOS	DIP40	SCSI	TTL	非同期で1.5Mバイト/sの転送速度, パリティ・ジェネレータ内蔵	ZILOG

(\*印のページが掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GP1B: GP1Bコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	チップ	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
Z765A	180	ALL	765	4/8MHz	150.00	NMOS	DIP40	FDC	TTL	4台のFDを同時シーク可能, IBMフォーマット・コンパチブル	ZILOG
Z8030	*412	ALL	8030	4/6MHz	250.00	NMOS	DIP40	SPC	TTL	Z80SIOの16ビット・バージョン, NRZ, NRZI, FMコーディング・プログラム	ZILOG
Z8036	*138	6	8036	4MHz	200.00	NMOS	DIP40	CTC	TTL	三つの16ビット・カウンタ内蔵	ZILOG
Z80C30	412	ALL	8030	6/8/10MHz	30.00	CMOS	DIP40	SPC	TTL	Z80SIOの16ビット・バージョン, NRZ, NRZI, FMコーディング・プログラム	ZILOG
Z8410	*162	3	Z80DMA	400/250ns	200.00	NMOS	DIP40	DMAC	TTL	プログラマブル, チャンネル・ステータス読み出し可能	ZILOG
Z8420	*288	3	Z80PIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	PIO	TTL	8ビット双方向入出力2ポート, ビット/バイト単位の処理可能	ZILOG
Z8430/Z80CTC	*142	3	Z80CTC	400/250/165ns	20.00	NMOS	DIP28	CTC	TTL	四つの独立した8ビット・カウンタ内蔵	ZILOG
Z8440/Z80SIO/0	386	3	Z80SIO/0	2.5/4.0/6.0MHz	30.00	NMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ZILOG
Z8441/Z80SIO/1	386	3	Z80SIO/1	2.5/4.0/6.0MHz	30.00	NMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ZILOG
Z8442/Z80SIO/2	386	3	Z80SIO/2	2.5/4.0/6.0MHz	30.00	NMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ZILOG
Z8470	*384	3	Z80DART	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	二つの非同期式ポート内蔵, 受信バッファ4, 送信バッファ2	ZILOG
Z84C10	162	3	Z80DMA	4MHz	10.00	CMOS	DIP40	DMAC	TTL	プログラマブル, チャンネル・ステータス読み出し可能	ZILOG
Z84C20	288	3	Z80PIO	4/6/8MHz	7.00	CMOS	DIP40	PIO	TTL	8ビット双方向入出力2ポート, ビット/バイト単位の処理可能	ZILOG
Z84C30	142	3	Z80CTC	4/6/8MHz	10.00	CMOS	DIP28	CTC	TTL	四つの独立した8ビット・カウンタ内蔵	ZILOG
Z84C40	*386	3	Z80SIO/0	4/6MHz	10.00	CMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ZILOG
Z84C41	*386	3	Z80SIO/1	4/6MHz	10.00	CMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ZILOG
Z84C42	*386	3	Z80SIO/2	4/6MHz	10.00	CMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ZILOG
Z85230	386	3	8440	20MHz	9.00	CMOS	DIP40	SIO	TTL	2ポート内蔵, 非同期/同期可能, HDLC, SDLC, X.25対応可能	ZILOG
Z8530	412	ALL	8030	4/6MHz	250.00	NMOS	DIP40	SPC	TTL	Z80SIOの16ビット・バージョン, NRZ, NRZI, FMコーディング・プログラム	ZILOG
Z8536	138	ALL	8036	4/6MHz	200.00	NMOS	DIP40	CTC	TTL	三つの16ビット・カウンタ内蔵	ZILOG
Z8581	*110	ALL	8581	20MHz	150.00	NMOS	DIP18	CG	TTL	汎用のクロック・ジェネレータ/コントローラ	ZILOG
Z85C30	412	ALL	8030	6/8/10MHz	30.00	CMOS	DIP40	SPC	TTL	Z80SIOの16ビット・バージョン, NRZ, NRZI, FMコーディング・プログラム	ZILOG
ZEN1020	*220	3	1020	8MHz	0.72	CMOS	DIP28	INT	TTL	Z80用の割り込みコントローラで, 8要因までのモード2割り込みを制御する	ZENIC
ZEN2061	*144	ALL	2961	10MHz	1.70	CMOS	DIP40	CTC	TTL	最大6チャンネルの位置計測用アップダウン・カウンタが可能なカウンタ・トレイン	ZENIC
μPB8282/8283	40	ALL	8282/83	45/40ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・ラッチ, 8282はノンインバート, 8283はインバート	NEC
μPB8284A	106	2	8284	10MHz	162.00	BIP	DIP18	CG	TTL	リセット, READY入力付き	NEC
μPB8286/8287	42	ALL	8286/87	30/22ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・バス・トランシーバ, 8286はノンインバート, 8287はインバート	NEC
μPB8288	52	1, 2	8288	10MHz	230.00	BIP	DIP20	BSCN	TTL	マルチバス・コンパチブル, 8086マキシマム・モード下で使用	NEC
μPB8289	30	2	8289	8MHz	165.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル, 4種のモード可能	NEC
μPD3301/-2	*120	1, 2	3301	380ns	200.00	NMOS	DIP40	CRTC	TTL	256種の文字指定可能, 文字数, 行数をプログラム設定	NEC
μPD4990A	*296	ALL	4990	500KHz	0.10	CMOS	DIP16, 14	RTC	CMOS	カレンダーのデータをシリアルに入出力する機能をもつ	NEC
μPD6316	*356	ALL	6316	12MHz	10.00	CMOS	DIP16	SIO	CMOS	マイクロコンピュータ間のデータ伝送を行うドメイン・デジタル・バス(D2B)インターフェイス	NEC
μPD71011C	106	2, 5	8284	10MHz	30.00	CMOS	DIP18	CG	TTL	V20/V30および周辺デバイス用クロックを発生	NEC
μPD71037	156	1, 2, 5, 8	8237	10MHz	20.00	CMOS	DIP40	DMAC	TTL	チャンネル数4, 全チャンネル独立動作可能なDMAコントローラで, 高速低消費電流	NEC
μPD71051	376	1, 2, 5	8251	8MHz	10.00	CMOS	DIP28	SIO	TTL	同期/非同期動作, 全二重ダブル・バッファ方式	NEC
μPD71054	140	1, 2, 5, 8	8253/4	8MHz	30.00	CMOS	DIP24	CTC	TTL	三つの16ビット・カウンタ内蔵, 6通りのプログラマブル・カウンタ・モード	NEC
μPD71055	276	1, 2, 5	8255	160ns	10.00	CMOS	DIP40	PIO	TTL	Vシリーズ周辺, スタンバイ機能付き	NEC
μPD71059C	216	1, 2, 5	8259	160ns	9.00	CMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	NEC
μPD71071C	*154	ALL	71071	8/10MHz	30.00	CMOS	DIP48	DMAC	TTL	4チャンネルDMAコントローラ, 16Mバイトアドレスと64Kトランスファ・カウント	NEC
μPD71082/83	40	ALL	8282/83	40ns	20.00	CMOS	DIP20	BSBF	TTL	オクタル・ラッチ, 8282はノンインバート, 8283はインバート	NEC

(\*印のページが掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	頁	適応CPU	プリジナル	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
μPD71084	106	2	8284	8MHz	30.00	CMOS	DIP18	CG	TTL	リセット, READY入力付き	NEC
μPD71086/87	42	ALL	8286/87	40ns	40.00	CMOS	DIP20	BSBF	TTL	オクタル・バス・トランシーバ, 8286はノンインバート, 8287はインバート	NEC
μPD71088	52	1, 2, 5	8288	10MHz	20.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル, 8086マキシマム・モード下で使用	NEC
μPD71611	*102	5	71611	16MHz	50.00	CMOS	DIP20	CG	TTL	V60用, システム・クロックの発生, プログラマブル・ウェイト信号発生	NEC
μPD71613	*48	5	71613	16MHz	30.00	CMOS	DIP20	BSCN	TTL	V60用, 周辺用の各制御コマンドを生成, 出力	NEC
μPD71P301	*82	ALL	71P301	30ns	40.00	CMOS	DIP64	CF	TTL	PROMまたはEPROM, 1KのSRAM, I/Oおよびバス・インターフェース機能を内蔵したLSI	NEC
μPD72001	*404	ALL	72001	8MHz	40.00	CMOS	DIP40	SPC	TTL	非同期, ビット同期, バイト同期プロトコル対応可, 全二重動作, DPLL回路内蔵	NEC
μPD72002-11	404	ALL	72001	11MHz	40.00	CMOS	DIP40	SIO	TTL	非同期, ビット同期, バイト同期プロトコル対応, μPD72001とソフト・コンパチブル	NEC
μPD7201/A	414	1, 2	8274	4/5MHz	230.00	NMOS	DIP40	SPC	TTL	非同期, ビット同期, バイト同期プロトコル対応可, 全二重動作	NEC
μPD72020	130	ALL	7220	165ns	70.00	CMOS	DIP40	CRTC	TTL	I/O FIFO内蔵, 外部映像メモリの制御可能	NEC
μPD72061	200	ALL	7261	24MHz	30.00	CMOS	DIP40	SPC	TTL	ハード/ソフト・セクタ・ディスクに対応可, 8台まで制御可能	NEC
μPD72065	180	ALL	765	8MHz	10.00	CMOS	DIP40	FDC	TTL	μPD765コンパチブルなFDコントローラ, 255トラックまでリキャリブレート可能	NEC
μPD72067	*176	ALL	72067	32MHz	30.00	CMOS	DIP48	FDC	TTL	VFO, モータ制御回路, 書き込み補償回路などを内蔵したFDコントローラ	NEC
μPD72103	*406	ALL	72103	8.2MHz	50.00	CMOS	SDIP64	SPC	TTL	DMA機能を内蔵し, 最大4Mbpsの転送が可能なHDL Cコントローラ	NEC
μPD72105	*236	ALL	72105	8MHz	50.00	CMOS	DIP48	LAN	TTL	オムニネットLANコントローラ, DMA機能内蔵	NEC
μPD72107	*408	ALL	72107	8MHz	50.00	CMOS	SDIP64	SPC	TTL	X.25で定められたLAP-Bプロトコルをサポート, DMA機能内蔵	NEC
μPD72111	*326	ALL	72111	16MHz	100.00	NMOS	DIP64	SCSI	TTL	非同期で1.5Mバイト/sの転送速度, CPU側のバス幅を選択可能	NEC
μPD7220	*130	ALL	7220	6/7/8MHz	270.00	NMOS	DIP40	CRTC	TTL	I/O FIFO内蔵, 外部映像メモリの制御可能	NEC
μPD72305	*410	ALL	72305	8MHz	50.00	CMOS	SDIP64	SPC	TTL	ISDNのレイヤ2のプロトコル処理を行う, LAP-Dプロトコルをサポート, DMA機能内蔵	NEC
μPD7260	*178	1, 2	7260	11MHz	320.00	NMOS	DIP40	FDC	TTL	FD/HDドライバにインタフェース可能, 4台まで制御可, IBM/ECMAフォーマット	NEC
μPD72611	*324	ALL	72611	20MHz	120.00	CMOS	FP100	SCSI	TTL	SCSI-2準拠, μPD72111とソフト上位互換, 高速同期転送は最大10MHzで, 7段階にプログラム可能	NEC
μPD7261A	*200	1, 2	7261	12MHz	320.00	NMOS	DIP40	HDC	TTL	ハード/ソフト・セクタ・ディスクに対応可, 8台まで制御可能	NEC
μPD7262	*202	ALL	7262	18MHz	320.00	NMOS	DIP40	HDC	TTL	ESDIのハード・ディスク・ドライブを7台まで制御可能	NEC
μPD7265	180	ALL	765	4/8MHz	150.00	NMOS	DIP40	FDC	TTL	4台のFDを同時シーク可能, ISOミニ・フロッピー・フォーマット	NEC
μPD72934	258	ALL	83934	20MHz	110.00	CMOS	QFP160	LAN	TTL	32/16ビットバス・インターフェースを内蔵したCSMA/CDコントローラで, フリッジおよびリビタへの対応可能	NEC
μPD765/-2	*180	ALL	765	4/8MHz	150.00	NMOS	DIP40	FDC	TTL	4台のFDを同時シーク可能, IBMフォーマット・コンパチブル	NEC
μPD8237AC	*156	1, 2	8237	5MHz	150.00	NMOS	DIP40	DMAC	TTL	チャンネル数4, 全チャンネル独立動作可能	NEC
μPD8251AFC	376	1, 2	8251	5MHz	100.00	NMOS	DIP28	SIO	TTL	同期/非同期動作, 全二重ダブル・バッファ方式	NEC
μPD8253C	140	1, 2	8253	5MHz	140.00	NMOS	DIP24	CTC	TTL	3個のプリセット型16ビット・カウンタ内蔵	NEC
μPD8255AC-2	276	1, 2	8255	160ns	120.00	NMOS	DIP40	PIO	TTL	8ビット3ポート, ハンドシェイク信号生成, インタラプト発生	NEC
μPD8257	*158	1	8257	5MHz	100.00	NMOS	DIP40	DMAC	TTL	4チャンネルDMAコントローラ, 128ビットMARK出力発生	NEC
μPD8259AC	216	1, 2	8259	160ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル8, カスケード接続で最大64レベルを制御	NEC
μPD8279-2	280	1, 2	8279	160ns	120.00	NMOS	DIP40	PIO	TTL	キーボード/ディスプレイ・インターフェース, 16桁表示	NEC
μPD98001	230	ALL	98001	12.3MHz	30.00	CMOS	FP64	ISDN	TTL	ISDNの2線式時分割双方向伝送を行うLSI, 2B+Dの伝送が可能	NEC

(\*印のページが掲載されています。\*印のないページのLSIはセカンド・ソースもしくは類似品です。)

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	適応CPU	チップ	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
82050	ALL	82050	18.432MHz	35.00	CMOS	DIP28	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵 8250とソフト・コンパチブル	INTEL
82064	1, 2	82064	8/10MHz	45.00	CMOS	DIP40	HDC	TTL	ST506/ST412 ウィンチェスタ・ディスクをコントロール, ECC機能内蔵	INTEL
82072	ALL	82072	16MHz	35.00	CMOS	DIP40	FDC	TTL	IBMフォーマット, 4台のFDDを同時シーク可能	INTEL
82091	2, 8	82091	24MHz	-	CMOS	QFP100	CF	TTL	FDコントローラ, 2本のUART, 多機能パラレル・ポート他内蔵の周辺LSI	INTEL
82092	Pentium	82092	33MHz	200.00	CMOS	QFP208	BSCN	TTL	PCIバスとPCMCIA/IDEとのインターフェース・コントローラ	INTEL
82258	2	82258	6/8MHz	475.00	HMOS	LCC68	DMAC	TTL	四つの独立したDMAチャネル, 16Mバイト・アドレス空間	INTEL
82261	1, 2	82261	8MHz	80.00	CMOS	FP100	CF	TTL	8284, 8259, 8253, 8255を一つずつ内蔵	INTEL
82289	2	82289	6/8MHz	120.00	HMOS	DIP20	BSAB	TTL	マルチマスタ・システム・バスのプロトコルをサポート, 3つのバス・リリース・モード	INTEL
82306	2, 8	82306	20MHz	180.00	CMOS	FP100	CF	TTL	PS/2システムのFDCインターフェースをサポートし, タイマ/カウンタを内蔵	INTEL
82351	2, 8	82351		-	CMOS	QFP132	BSCN	TTL	EISAおよびPC/ATシステムコンパチブルなローカルI/Oコントローラ	INTEL
82352	8	82352	33MHz	190.00	CMOS	FP120	BSBF	TTL	EISA バス・バッファ, 三つの動作モードをもつ	INTEL
82355	8	82355	33MHz	150.00	CMOS	FP132	BSCN	TTL	EISA バス・マスタ・インターフェース・コントローラ, 最大転送速度は33Mバイト/s	INTEL
82358	8	82358	33MHz	200.00	CMOS	FP132	BSCN	TTL	EISA/ISA バス・サイクルとコンパチブルなコントローラ	INTEL
82359	8	82359	40MHz	200.00	CMOS	FP196	DRAM	TTL	64Kから16MまでのDRAMをサポートするデュアル・ポート・メモリ・コントローラ	INTEL
82378	8	82378	33.3MHz	-	CMOS	QFP208	BSAB	TTL	PCIローカル・バスとISAバス間のブリッジ用バス・アービタ	INTEL
82380	8	82380	16/20MHz	325.00	CMOS	PGA132	DMAC	TTL	32ビット・バスで80386と同一のバス・サイクルを生成, チャンネル数8	INTEL
82423	8	82423	50MHz	-	CMOS	QFP160	BSBF	TTL	CPU/キャッシュ, メインメモリ, PCIバス間の32ビット・データ・バス・エント	INTEL
82424	8	82424	50MHz	-	CMOS	QFP208	BSCN	TTL	CPU/キャッシュ, メインメモリ, PCIバス間のバス・コントロール機能を持つキャッシュ&DRAMコントローラ	INTEL
82510	ALL	82510	4MHz	15.20	CMOS	DIP28	SIO	TTL	INS8250とソフト・コンパチブル	INTEL
82592	2, 8	82592	16MHz	80.00	CMOS	DIP40	LAN	TTL	データ・バスが16ビットのCSMA/CD LANコントローラ	INTEL
82596	ALL	82596	33MHz	300.00	CMOS	FP132	LAN	TTL	CSMA/CD LANコントローラ, 20Mバイト/sのビット・レートを持ち82586とソフト・コンパチブル	INTEL
82706	2, 8	82706	28MHz	100.00	CMOS	FP132	CRTC	TTL	PS/2システム用のディスプレイ・コントローラ	INTEL
8273	1, 2	8273	1MHz	180.00	HMOS	DIP40	SIO	TTL	CCITT X.25準拠のHDL/SDLCプロトコル・コントローラ, モデム・コントロール用の2ポートを内蔵	INTEL
8292	ALL	8292	8MHz	125.00	HMOS	DIP40	GPIB	TTL	IEEE488準拠のGPIBコントローラ, 8291との組合せでトカリスト/コントローラ構成可能	INTEL
82C08	1, 2	8208	8/10/16/20MHz	50.00	CMOS	DIP48	DRAM	TTL	256K, 64K, 16KのDRAMコントローラ, 1Mバイトまでドライブ可能	INTEL
82C425	2, 8	82425	20MHz	15.00	CMOS	FP100	LCDC	TTL	IBM CGAコンパチブルのLCD/CRTコントローラ, PC I/Oに直接インターフェース可能	CHIPS
82C455	2, 8	82455	40MHz	100.00	CMOS	FP144	CRTC	TTL	ラップ・トップ用のVGAコンパチブルなフラット・パネル・コントローラ	CHIPS
82C480	2, 8	82480	20MHz	200.00	CMOS	FP160	CRTC	TTL	IBM 8514/Aとレジスタ, ソフトがコンパチブル, マイクロ・チャンネルとインターフェース	CHIPS
82C611	2, 8	82611	22ns	100.00	CMOS	PLCC68	BSCN	TTL	IBM PS/2コンパチブルなマイクロ・チャンネル用アダプタ	CHIPS
82C612	2, 8	82611	22ns	100.00	CMOS	PLCC68	BSCN	TTL	IBM PS/2コンパチブルなマイクロ・チャンネル用アダプタ, DMAハンドシェイク機能内蔵	CHIPS
82C811	8	82811	20MHz	60.00	CMOS	PLCC84	BSCN	TTL	IBM PC ATおよびOS/2対応のバス・コントローラ, クロック・ジェネレータ内蔵	CHIPS
82C812	8	82812	20MHz	50.00	CMOS	PLCC84	MMU	TTL	IBM PC/ATおよびOS/2対応のメモリ・コントローラ, ページ・モード動作対応	CHIPS
9802	ALL	9810	18MHz	24.00	CMOS	FP100	DMAC	TTL	組み込み型テープ・コントローラ用に設計された3チャネル内蔵のECC機能付のデュアル・バスDMAコントローラ	STAC
A38152	8	38152	20MHz	150.00	CMOS	PLCC84	MMU	TTL	80386用の32Kバイト・キャッシュ・コントローラ	AUSTEK
AIC6110H	ALL	6110	33MHz	45.00	CMOS	PLCC68	SCSI	TTL	同期転送モード 5Mバイト/s, NRZ信号の転送速度が24MbpsのSCSIコントローラ	ADAPTEC
AIC6225A	ALL	6225	60MHz	100.00	BIP	DIP24	DTSP	TTL	33Mbpsまでのクロック分離が可能なデータ・セパレータ	ADAPTEC
AIC6260	2, 8	6260	8MHz	30.00	CMOS	PLCC68	SCSI	TTL	PC/AT用のSCSIコントローラ, 8ビットDMAまたは16ビットPIO転送モード 使用可能	ADAPTEC
AIC7110D	ALL	7110	24.4MHz	28.00	CMOS	FP100	HDC	TTL	SCSI, SCSI-2バス・インターフェース, RAMキャッシュ・コントローラを内蔵したディスク・コントローラ	ADAPTEC
AIC7160D	ALL	7160	24.4MHz	28.00	CMOS	FP100	HDC	TTL	IBM PC XT/ATバス・インターフェース, RAMキャッシュ・コントローラを内蔵したディスク・コントローラ	ADAPTEC
AML66101	7	66101	33MHz	-	CMOS		BSCN	TTL	VMEバス・コントローラ, 割り込み制御, バス・リクエスト/アービタ機能をもつ	AMPE

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	適応CPU	パシナル	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
AT9000	2, 8	9000	40MHz	80.00	CMOS	FP128	BSCN	TTL	A Tバス・マスタ・インターフェース	PLX
AT9010	2, 8	9010	25MHz	80.00	CMOS	FP128	BSCN	TTL	DP83932イーサネット・コントローラ用のA Tバス・マスタ・インターフェース	PLX
AT9020	2, 8	9020	40MHz	80.00	CMOS	FP128	BSCN	TTL	82596イーサネット・コントローラ用のA Tバス・マスタ・インターフェース	PLX
Am2969	ALL	2969	50MHz	260.00	BIP	DIP48	DRAM	TTL	64K~4MビットDRAM用コントローラ, 16/32ビットCPU対応	AMD
Am79C974	ALL	79974	33MHz	150.00	CMOS	QFP132	BSCN	TTL	イーサネットコントローラ, SCSIコントローラを内蔵しAm79C960とソフト・コンパチブルなPCIシステム・コントローラ	AMD
Am82520	ALL	82520	4MHz	5.00	CMOS	DIP28	ISDN	TTL	LAPB/LAPDプロトコル対応, 独立の2HDL Cチャンネルをもつ	AMD
Am9513A	ALL	9513	145ns	255.00	NMOS	DIP40	CTC	TTL	五つの16ビット・カウンタ内蔵, バイナリ/BCDカウント可能	AMD
Am9516A	ALL	9516	4/6/8/10MHz	350.00	NMOS	DIP48	DMAC	TTL	チャンネル数2, 16Mバイト・アドレス空間	AMD
Am9519A	ALL	9519	250/300ns	185.00	NMOS	DIP28	INT	TTL	割り込み入力レベル8, 拡張性の制限なし	AMD
CDP1851	ALL	1851	120ns	3.00	CMOS	DIP40	PIO	CMOS	20本のI/Oポート, 双方向モード設定/ビット・プログラム可能	RCA
CDP1877	1800	1877	130ns	0.20	CMOS	DIP28	INT	CMOS	割り込み入力レベル8, 拡張可能	RCA
CDP1878	ALL	1878	1MHz	0.20	CMOS	DIP28	CTC	CMOS	二つの16ビット・ダウンカウンタ内蔵	RCA
CL-GD510	ALL	510	33MHz	50.00	CMOS	PLCC84	CRTC	TTL	VGAコンパチブルなグラフィック・チップ・セットで, 520と組み合わせて使用する	CIRRUS
CL-GD520	ALL	520	33MHz	50.00	CMOS	PLCC84	CRTC	TTL	VGAコンパチブルなグラフィック・チップ・セットで, 510と組み合わせて使用する	CIRRUS
COM20020	ALL	20020	20MHz	50.00	CMOS	DIP24	LAN	TTL	2KBのデュアル・ポートRAMと専用トランジスタ回路内蔵のARCNETコントローラ	SM
COM90C165	ALL	90165	20MHz	20.00	CMOS	PLCC84	LAN	TTL	COM90C65にデュアル・ポートRAMとデータ・バス・インターフェース等を加えたのARCNETコントローラ	SM
COM90C66	ALL	9066	20MHz	20.00	CMOS	PLCC84	LAN	TTL	ARCNET用コントローラ, トランジスタ, 周辺回路, RAMを内蔵, COM90C26とソフト・コンパチブル	SM
CY82C599	8	82599	50MHz	100.00	CMOS	QFP160	BSCN	TTL	PCIローカル・バスとCPUバス間のインターフェース・コントローラ	CYPRESS
DP83905	ALL	83905	25MHz	100.00	CMOS	QFP160	LAN	TTL	ISAバス・インターフェースを内蔵したCSMA/CDコントローラで, DP8390シリーズとソフトウェアル・コンパチブル	NS
DP83907	ALL	83907	25MHz	150.00	CMOS	QFP132	LAN	TTL	ISAバス・インターフェースを内蔵したCSMA/CDコントローラで, DP8390シリーズとソフトウェアル・コンパチブル	NS
DP83916	ALL	83916	20MHz	80.00	CMOS	QFP132	LAN	TTL	IEEE802.3標準のネットワーク・インターフェース・コントローラで23ビット・アドレス・バス, 16ビット・データ・バスに対応	NS
DP83932	ALL	83932	33MHz	115.00	CMOS	QFP132	LAN	TTL	IEEE802.3標準のネットワーク・インターフェース・コントローラで32ビットのアドレス/データ・バス対応	NS
DP8440	ALL	8440	40MHz	260.00	CMOS	PLCC84	DRAM	TTL	8/16/32ビット・バスをサポートする1/4/16/64MビットDRAMコントローラ	NS
DP8441	ALL	8441	40MHz	260.00	CMOS	QFP100	DRAM	TTL	8/16/32/64ビット・バスをサポートする1/4/16/64MビットDRAMコントローラ	NS
DP8461	ALL	8461	20MHz	20.00	TTL	DIP24	DTSP	TTL	ディスク・バス・ディレクタの信号を受信して動作する, P/Fコンパレータの動作が8465と異なる	NS
DP8465	ALL	8465	20MHz	20.00	TTL	DIP24	DTSP	TTL	ディスク・バス・ディレクタの信号を受信して動作する, P/Fコンパレータの動作が8461と異なる	NS
DP8473	ALL	8473	24MHz	20.00	CMOS	DIP48	FDC	TTL	μPD765A, IBM-BIOSコンパチブルでIBM PC, XT/AT, PS/2用に設計されたFDコントローラ	NS
DP8531	ALL	8531	210MHz	200.00	TTL	LCC28	CG	ECL	ECL/TTL出力をもつプログラマブル・クロック・ジェネレータ, VCO内蔵	NS
DS1215	ALL	DS1215	250ns	5.00	CMOS	DIP16	RTC	TTL	万年カレンダー内蔵, バッテリ・バックアップ・メモリのコントローラ内蔵	DALLAS
DS1387	ALL	1287	200ns	-	CMOS	DIP24	RTC	TTL	4KバイトSRAM内蔵のリアルタイム・クロック, クロック機能はDS1287と同等	DALLAS
EISA9010	2, 8	9010	25MHz	80.00	CMOS	FP128	BSCN	TTL	DP83932イーサネット・コントローラ用のEISAバス・マスタ・インターフェース	PLX
EISA9020	2, 8	9020	25MHz	80.00	CMOS	FP128	BSCN	TTL	82596イーサネット・コントローラ用のEISAバス・マスタ・インターフェース	PLX
EPB2001	2, 8	2001	175ns	500.00	CMOS	LCC84	BSBF	TTL	PS/2マイクロ・チャンネル用1チップ・インターフェース・アダプタ, EPROM内蔵	ALTERA
EPB2002	2, 8	2002	70ns	500.00	CMOS	DIP28	BSAB	TTL	PS/2マイクロ・チャンネル用DMAインターフェース/アービタ	ALTERA
FDC9216T/BT	ALL	9216	4.3/8.3MHz	60.00	NMOS	DIP8	DTSP	TTL	FDデータ・セパレータ, MFM/FMのデータ処理可能	SM
FDC92C81	ALL	9281	32MHz	-	CMOS	DIP24	DTSP	TTL	125K~1Mbpsのデータ転送速度に対応できるFDデータ・セパレータ	SM
HD44780	ALL	44780	2MHz	0.60	CMOS	FP80	LCDC	TTL	英数字, カナ文字, 記号を表示するドットマトリクス液晶コントローラ	HITA
HD63645	4	63645	2MHz	10.00	CMOS	FP80	LCDC	TTL	縦1024ドット×横4096ドット, スタティックから1/512デューティ	HITA
HD6406	ALL	6406	16MHz	3.00	CMOS	DIP40	SIO	TTL	72種類のボーレート・ジェネレータ内蔵UART	HARR
HD64401	HD64400	64401	50ns	100.00	CMOS	PLCC68	BSCN	TTL	グラフィック・プロセッサ用のフレーム・バッファ・インターフェース・コントローラで, 各種タイミング生成を行う	HITA

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CP: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	適応CPU	チップ	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
HD64530	ALL	64530	6MHz	50.00	CMOS	PGA68	ISDN	TTL	ISDNレイヤ2対応のLAPDコントローラ、最大24リンクの同時設定可能	HITA
HD64570	ALL	64570	16.7MHz	120.00	CMOS	PLCC84	SPC	TTL	DMA機能と2組の全二重送受信回路を持ち、マルチポート対応の通信用LSI	HITA
HD64645	1, 2, 3	63645	4MHz	10.00	CMOS	FP80	LCDC	TTL	縦1024ドット×横4096ドット、スタティックから1/512デューティ	HITA
HD64646	1, 2, 3	63645	4MHz	10.00	CMOS	FP80	LCDC	TTL	縦1024ドット×横4096ドット、スタティックから1/512デューティ	HITA
HD66224T	ALL	66224	8MHz	1.50	CMOS	TCP107	LCDC	CMOS	液晶ディスプレイグラフィック表示システム用のカムドライバでドライバ回路80個内蔵	HITA
HD66710	ALL	66710	2MHz	-	CMOS	QFP100	LCDC	TTL	英数字、カナ文字、記号を表示するドット・マトリクス液晶コントローラ	HITA
HD66840	ALL	66840	30MHz	50.00	CMOS	FP100	LCDC	TTL	CRT表示用のR, G, B信号をLCD表示用信号に変換するインターフェースコントローラ	HITA
HD66841	ALL	66841	30MHz	50.00	CMOS	FP100	LCDC	TTL	CRT表示用のR, G, B信号をLCD表示用信号に変換するインターフェースコントローラ	HITA
HD81501	ALL	81501	6.144MHz	34.00	CMOS	FP136	ISDN	TTL	ISDNのS/Tインターフェース機能、HDL機能、8ビットCPU、上位CPU接続機能を内蔵したインターフェースLSI	HITA
HD81502	ALL	81502	12.288MHz	30.00	CMOS	FP100	ISDN	TTL	ISDNのS/Tインターフェース機能、HDL機能、8ビットCPU、上位CPU接続機能を内蔵したインターフェースLSI	HITA
ICD2051	ALL	2051	120MHz	50.00	CMOS	DIP16	CG	TTL	320kから120MHzまでの独立した2クロックを出力できるプログラマブル・クロック・ジェネレータ	CYPRESS
ICD2061	ALL	2061	120MHz	65.00	CMOS	DIP16	CG	TTL	390k~120MHzの独立した2クロックを出力できるグラフィック用プログラマブル・クロック・ジェネレータ	CYPRESS
ICD2063	ALL	2061	135MHz	65.00	CMOS	DIP16	CG	TTL	390k~135MHzの独立した2クロックを出力できるグラフィック用プログラマブル・クロック・ジェネレータ	CYPRESS
KS82C289	2	82289	16MHz	80.00	CMOS	DIP20	BSAB	TTL	マルチマスタ・システム・バスのプロトコルをサポート、3つのバス・リリース・モード	SUMSUNG
LC7584N	ALL	7584	1MHz	4.00	CMOS	FP80	LCD	CMOS	1/2デューティ、1/2バイアスのLCDドライバ、キャラクタ・ジェネレータを内蔵する	SANYO
LC8945	ALL	8945	20MHz	-	CMOS	FP48	SCSI	TTL	不平衡型非同期伝送をサポート、24ビットの転送カウンタ内蔵	SANYO
LC89512	ALL	89512	33.9MHz	-	CMOS	QFP128	SCSI	TTL	SCSIインターフェース内蔵のCD-ROMエラー訂正用LSI	SANYO
LC895170	ALL	895170	33.9MHz	-	CMOS	QFP100	SCSI	TTL	SCSIインターフェース内蔵のCD-ROMエラー訂正用LSI	SANYO
LC8953	7	8953		50.00	CMOS	FP160	CF	TTL	68000用複合周辺LSIで、DMAコントローラ、アドレス・デコーダ、CKジェネレータ等を内蔵	SANYO
M33241	M32	33241	20MHz	-	CMOS	PGA179	DMAC	TTL	分離された二つのバス間でのデータ転送が可能で最大27Mバイト/sの独立4チャネルDMAコントローラ	MITU
M33242	M32	33242	20MHz	-	CMOS	DIP64	INT	TTL	ローカル割り込み7本とバス割り込み7本の制御が可能、M32バスとVMEバスに対応可能	MITU
M33244	M32	33244	20MHz	-	CMOS	CAN14	CG	TTL	パワーオン・リセット時のタイミング信号生成、内部クロック位相合わせ機能等を内蔵	MITU
M50532	ALL	50532	3MHz	10.00	CMOS	FP128	LCDC	TTL	4ビット、8ビットCPUとのダイレクト接続が可能なドット・マトリクス液晶表示コントローラ・ドライバ	MITU
M66007P/FP	ALL	66007	2MHz	20.00	CMOS	DIP16	BSBF	CMOS	12ビット並列入力、直列出力のシフト・レジスタ機能をもつエキスパンダ	MITU
M66201	ALL	M66201	8/10MHz	2.90	CMOS	DIP24	DRAM	TTL	1M/256KのDRAMコントローラ	MITU
M66307SP/FP	ALL	66307	10MHz	110.00	CMOS	DIP32	BSBF	CMOS	スタティック・メモリ内蔵のライン・バッファで、データをシリアル転送する	MITU
MB1440	ALL	1440	5MHz	180.00	BiCMOS	PGA135	ECC	TTL	32ビット幅のデータに7ビット幅の誤り訂正符号を組み合わせて構成したECC	FUJI
MB4107	ALL	4107	8.0MHz	70.00	NMOS	DIP24	DTSP	TTL	PLL方式のVFO回路内蔵のFDデータ・セパレータ	FUJI
MB86187	ALL	86187	30ns	-	CMOS	FP64	BSCN	TTL	JEIDAメモ리카ード規格準拠のメモ리카ード・コントローラで、チップ選択信号を生成する	FUJI
MB86201	MB86224	86201	40MHz	0.20	CMOS	FP48	DRAM	TTL	DSPでDRAMを使用するためのアダプタLSI。MB86224と直接接続が可能	FUJI
MB86202	MB86224	86202	40MHz	0.10	CMOS	FP28	CG	TTL	デジタル・シグナル・プロセッサMB86224用のタイミング・ジェネレータでオーディオ用シリアル・インターフェースを作成	FUJI
MB86415	ALL	86415	16MHz	-	CMOS	QFP80	SPC	TTL	CCITT勧告X.25レベル2プロトコルをサポートする通信制御用LSI	FUJI
MB86440	ALL	86440	10.752MHz	16.00	CMOS	QFP80	ISDN	TTL	通信端末をISDN網に接続するために使用されるV.110, X.30に準拠した速度整合用ユニット	FUJI
MB86443	ALL	86443	10.752MHz	10.00	CMOS	QFP80	ISDN	TTL	CCITT勧告V.110, V.120, X.30及びV.120+用レート・アダプション・ユニット	FUJI
MB86603	ALL	86603	32MHz	70.00	CMOS	QFP176	SCSI	TTL	SCSI-2規格準拠でシングル・エンド、ディファレンシャルの両伝送形式対応のプロトコル・コントローラ	FUJI
MB86965B	ALL	86965	20MHz	150.00	CMOS	QFP160	LAN	TTL	IEEE802.3規格準拠のエンコーダ/デコーダと送受信フィルタを内蔵したLANコントローラ	FUJI
MB87012	ALL	87012	10.2MHz	0.10	CMOS	SDIP64	LAN	TTL	CSMA/CD LAN コントローラ、イーサネット仕様準拠	FUJI
MB87013	ALL	87013	6.5MHz	0.10	CMOS	DIP40	HDC	TTL	クイック・ディスクと同期式SIOとのインターフェース用、MFM回路とCRC回路内蔵	FUJI
MB87033B	ALL	87033	8MHz	30.00	CMOS	FP80	SCSI	TTL	シングル・エンドドライバ/レシーバ内蔵、MB87030/87031の上位互換となっている	FUJI
MB87035	ALL	87035	10MHz	-	CMOS	FP100	SCSI	TTL	不平衡/平衡伝送対応、7ビットはMB87030と上位互換性があり、MPUバス・ハルティ・ジェネレータ内蔵	FUJI

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	適応CPU	オリジナル	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
MB87036	ALL	87036	10MHz	-	CMOS	FP100	SCSI	TTL	不平衡/平衡伝送対応。770はMB87031と上位互換性があり、MPUバス・パリティ・ジェネレータ内蔵	FUJII
MB89391	2	89391	8MHz	30.00	CMOS	FP100	CF	TTL	8086専用の複合周辺LSIで、8284, 8288, 8259, 8237, 8254を集積化	FUJII
MB89393	2	89393	8MHz	30.00	CMOS	FP100	CF	TTL	8086/88専用の複合周辺LSIで、8284, 8288, 8259, 8237, 8254を集積化	FUJII
MB89395	2	89395	10MHz	30.00	CMOS	FP100	CF	TTL	8086/88専用の複合周辺LSIで、8237, 8254, 8259, 8288を集積化	FUJII
MB89398	2	89398	8MHz	35.00	CMOS	FP120	CF	TTL	割り込みコントローラ、DMAコントローラ、プログラマブル・タイマ、ラッチを内蔵	FUJII
MB89511	ALL	89511	100MHz	40.00	CMOS	SDIP64	CRTC	TTL	フルドット・データの文字フォントをベクトル・データ化するジェネレータLSI	FUJII
MB90072	ALL	90072	16MHz	50.00	CMOS	DIP28	CRTC	TTL	TVディスプレイ上に文字や図形を表示するためのコントローラ。映像信号発生回路内蔵	FUJII
MB92421	F32	92421	20MHz	40.00	CMOS	DIP64	INT	TTL	割り込み入力7本を持ち、高速デジ・チェーン可能なインタラプト・コントローラ	FUJII
MB92441	F32	92441	20MHz	-	CMOS	DIP9	CG	TTL	F32専用システム・クロック・ジェネレータ。水晶内蔵のハイブリッドIC	FUJII
MB92461	F32	92461	50MHz	194.00	BIP	DIP22	CG	TTL	F32用システム・クロック・ジェネレータ。100MHz水晶使用可能。リセット回路内蔵	FUJII
MB92471	F32	92471	50MHz	10.00	CMOS	FP24	CG	TTL	F32用クロック・ジェネレータ。2種類のウェイト設定可能。リセット信号発生	FUJII
MC10HC642	7	10642	100MHz	87.00		PLCC28	CG	ECL	68030, 68040用クロック・ジェネレータ。入力クロックとしてECL, TTLの選択可能	MOT
MC68150	ALL	68150	40MHz	0.10	CMOS	PLCC68	BSBF	TTL	16/32ビットCPUと8/16/32ビットの周辺LSIやメモリとのデータ送受のためのデータ・バス・サイザ	MOT
MC68153	7	68153	16MHz	385.00	BIP	DIP40	INT	TTL	VMEバス・インタラプト・モジュール。四つの独立した割り込みソース	MOT
MC68302	7	68302	16.67MHz	64.00	CMOS	FP132	CF	TTL	DMAコントローラ、インタラプト・コントローラ、三つの全二重SIO内蔵	MOT
MC68360	7	68360	25MHz	-	CMOS	FP240	CF	TTL	MC6802の次世代477の複合コントローラで四つのシリアル通信コントローラやDRAMコントローラ等を内蔵	MOT
MC68440	7	68440	8/10MHz	300.00	NMOS	DIP64	DMAC	TTL	転送速度5Mバイト/s、チャンネル数2	MOT
MC68451	7	68451	4/6/8MHz	200.00	NMOS	DIP64	MMU	TTL	ページング/セグメンテーション機能をもつメモリ管理素子	MOT
MC68605	7	68605	12.5MHz	110.00	CMOS	PGA84	SPC	TTL	X.25 LAP-Bプロトコル・コントローラ。最大10Mbpsの全二重通信可能。DMA, FIFO機能内蔵	MOT
MC6880A	4	6880	25ns	87.00	BIP	DIP16	BSBF	TTL	クワッド・バス・トランシーバ、6800バス・コンパチブル	MOT
MC68824	7	68824	16.67MHz	140.00	CMOS	PGA84	LAN	TTL	MAP/トークン・バス用プロトコル・コントローラ。最大12.5Mbps通信可能	MOT
MC6885/6/7/8	ALL	6885	10ns	98.00	BIP	DIP16	BSBF	TTL	オクタル・バス・バッファ	MOT
MC6889	ALL	6889	17ns	110.00	BIP	DIP16	BSBF	TTL	4ビット・バス・トランシーバ、6800バス・コンパチブル	MOT
MC68HC24	4	6824	2.1MHz	5.00	CMOS	DIP40	PIO	CMOS	MC68HC11とインターフェース可能なハンドシェイク・モードをもつ	MOT
MC74F2968A	ALL	2968	20ns	280.00	BIP	DIP48	DRAM	TTL	16K~256KビットDRAM用コントローラ。出力は最大88個のDRAMを駆動可能	MOT
MC88200	88000	88200	33.3MHz	300.00	CMOS	PGA181	MMU	TTL	16Kバイト・キャッシュ/メモリ管理ユニット。MC88100と互換性のあるPバスI/F	MOT
MC9000	2, 8	9000	40MHz	80.00	CMOS	FP128	BSCN	TTL	マイクロ・チャンネル用バス・マスタ・インターフェース	PLX
MC9010	2, 8	9010	25MHz	80.00	CMOS	FP128	BSCN	TTL	DP839324-サネット・コントローラ用のマイクロ・チャンネル・バス・マスタ・インターフェース	PLX
MC9020	2, 8	9020	40MHz	80.00	CMOS	FP128	BSCN	TTL	825964-サネット・コントローラ用のマイクロ・チャンネル・バス・マスタ・インターフェース	PLX
MCA1200	2, 8	MCA1200	45ns	80.00	CMOS	DIP24	BSCN	TTL	マイクロ・チャンネル用バス・コントローラ、ローカル・アービタ	PLX
MCC1	ALL	MCC1	50ns	240.00	NMOS	DIP48	DRAM	TTL	1M/256K/64KのDRAMコントローラ	YAMASHI
MC194C18	ALL	9418	20MHz	25.00	CMOS	PLCC68	BSBF	TTL	マイクロ・チャンネル・バス用のインターフェース。ローカル・バス調停機能を内蔵	SM
MCS2000	1, 2, 8	2000	16MHz	50.00	CMOS	PLCC84	CF	TTL	2個の8237, 2個の8259, 1個の8254, 74LS612(メモリ・マップ)を内蔵	MOT
MCS2300	8	2300	20MHz	-	CMOS	FP100	MMU	TTL	ページ/ページ・インタリーブ・コントローラ。1/2/4メモリ・バンク対応可	MOT
MCS2500	8	2500	20MHz	-	CMOS	FP100	BSCN	TTL	PC/ATシステム・コントローラ、リセット&シャット・ロジック内蔵	MOT
MCS3202	2, 8	3202	24MHz	200.00	CMOS	PLCC68	FDC	TTL	PS/2用FDコントローラ。360K~1.4MBフォーマット。μPD765をエミュレート	MOT
MM58167A	ALL	58167	1050ns	5.00	CMOS	DIP24	RTC	TTL	0.1秒~月の割り込み設定可。万年カレンダー内蔵リアルタイム・クロック	NS
MSD95C02	ALL	9502	20MHz	-	CMOS	PLCC68	HDC	TTL	大容量磁気記憶装置用コントローラ。3チャンネルDMAコントローラを内蔵	SM
MSM6240GS	ALL	MSM6240	10MHz	14.00	CMOS	FP60	LCDC	TTL	表示文字32, 40, 64, 80/行, デューティ1/32から1/144	OKI
MSM6255GS	1, 2, 3	MSM6255	11MHz	15.00	CMOS	FP80	LCDC	TTL	キャラクタ・モード64K文字, グラフィック・モード512Kドット	OKI

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	適応CPU	オリジナル	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
MSM6262GS	ALL	MSM6262	320ns	1.50	CMOS	FP80	LCDC	TTL	256種類のキャラクタROM内蔵, コモン・ドライバ48本内蔵	OKI
MSM6265GS	ALL	MSM6265	5.5MHz	15.00	CMOS	FP80	LCDC	TTL	HD6845のCRTコントローラとソフト・コンパチブル, 16K文字, 128Kドット表示	OKI
MSM6542-1/2/3	ALL	6542	100ns	0.03	CMOS	DIP18, 24	RTC	TTL	秒単位の読み取りが可能なリアルタイム・クロック, アラーム, 万年カレンダー内蔵	OKI
NCR53C90	ALL	5390	25MHz	50.00	CMOS	PLCC68	SCSI	TTL	非同期で3Mバイト/S以上, 同期で5Mバイト/Sの転送速度, パリティ発生回路内蔵	NCR
NS16C552	2, 8	16552	24MHz	30.00	CMOS	PLCC44	SIO	TTL	IBM PC/ATコンパチブルで, 2チャンネルのシリアル・ポートと1チャンネルのパラレル・ポートを持つ, 16550を2個内蔵	NS
NS32201	ALL	32201	6/8/10MHz	260.00	NMOS	DIP24	CG	TTL	4本のプログラマブル・ウェイト入力サイクル・ホールド・モード	NS
NS32C201	ALL	32201	6/10/15MHz	120.00	CMOS	DIP24	CG	TTL	4本のプログラマブル・ウェイト入力サイクル・ホールド・モード	NS
PC8477	2, 8	N82077	8MHz	30.00	CMOS	PLCC68	FDC	TTL	μPD765とソフトウェア・コンパチブルでPC/AT, PS/2用のロジック回路を内蔵したFDコントローラ	NS
PC87332	ALL	87332	25MHz	35.00	CMOS	QFP100	CF	TTL	FDコントローラ, 2個のUART, IEEE1284準拠のパラレル・ポート, IDEインターフェース制御機能内蔵	NS
PC19036	ALL	9036	20MHz	80.00	CMOS	QFP208	BSCN	TTL	82596(LANコントローラ), EEPROM等とPCIバスとの接続を行うバス・マスタ・インターフェース	PLX
PC19060	ALL	9060	33MHz	80.00	CMOS	QFP208	BSCN	TTL	i960ローカルバスとPCIバスとの接続を行うバス・マスタ・インターフェース	PLX
SAB82258	2	82258	6/8MHz	450.00	NMOS	LCC68	DMAC	TTL	四つの独立したDMAチャンネル, 16Mバイト・アドレス空間	SIEMENS
SAB82289	2	82289	8MHz	120.00	NMOS	DIP20	BSAB	TTL	マルチマスタ・システム・バスのプロトコルをサポート, 3つのバス・リリース・モード	SIEMENS
SCN2671	ALL	2671	5MHz	150.00	NMOS	DIP40	CF	TTL	128キーのインターフェース, 全二重UART内蔵	SIGNE
SCN68172	7	68172	40ns	240.00	NMOS	DIP28	BSCN	TTL	VMEバス・コントローラ, 3種類の構成で使用可	SIGNE
SED1330F	ALL	SED1330	10MHz	6.50	CMOS	FP60	LCDC	TTL	160文字のキャラクタ・ジェネレータ内蔵, 80桁32行表示	EPSON
SED9420C	ALL	SED9420	16MHz	10.00	CMOS	DIP24	DTSP	TTL	VFO方式データ・セパレータ, 倍密/単密切り替え可能	EPSON
SM4712	ALL	4712	4.9152MHz	6.00	CMOS	DIP42	CG	TTL	データ伝送に必要なクロック信号を出力するプログラマブル・ポーレート・ジェネレータ	NPC
SMC91C100	ALL	91100	50MHz	95.00	CMOS	QFP208	LAN	TTL	10BASE-T, 同軸, 100BASE-TをサポートするCSMA/CD高速イーサネット・コントローラ	SM
SMC91C92	ALL	9192	20MHz	95.00	CMOS	QFP100	LAN	TTL	4608バイトRAMとメモリ・マネージメント・ユニット(MMU)を内蔵した1チップのイーサネット・コントローラ	SM
SMC9520C	ALL	SMC9520	20MHz	30.00	CMOS	DIP24	DTSP	TTL	ST506インターフェース対応のハード・ディスク・ドライブ用データ・セパレータ	EPSON
SN74ACT2440	ALL	2440	10MHz	-	CMOS	PLCC68	BSCN	TTL	NuBusインターフェース・コントローラ, マスタ/スレーブ, アービタ機能内蔵	TI
SN74BCT2420	ALL	2420	40MHz	160.00	CMOS	PLCC68	BSBF	TTL	NuBusアドレス・データのランシーバ/レジスタで, マルチプレクサとしての機能内蔵	TI
SPC2020F	ALL	2020	24MHz	70.00	CMOS	FP100	FDC	TTL	PC/AT用FDコントローラ, PLL方式データ・セパレータ内蔵, 転送速度250Kbps以下	EPSON
SPC2120	ALL	2120	24MHz	20.00	CMOS	DIP16	DTSP	TTL	無調整7MHz PLL方式のFD用データ・セパレータ, μPD765系FDC用クロックを出力	EPSON
SSI 32B451	ALL	AIC500	5MHz	30.00	CMOS	PLCC44	SCSI	TTL	32C452, 32C453と組み合わせてSCSIバスを実現する, 非同期転送モードで1.5Mバイト/s	SSI
SSI 32C452	ALL	AIC010	20MHz	85.00	CMOS	PLCC44	HDC	TTL	ウインチェスター・ディスク・ドライブ・コントローラ, 32B451, 32C453と組み合わせてSCSI実現も可能	SSI
SSI 32C9001	2, 8	9001	40MHz	50.00	CMOS	FP100	BSCN	TTL	ATAインターフェース, DISKフォーマッタ, バッファ・マネージャ内蔵のPC/ATバス・コントローラ	SSI
SSI 32C9020	2, 8	9020	40MHz	50.00	CMOS	FP100	BSCN	TTL	82596イーサネット・コントローラ用のマイクロ・チャンネル・バス・マスタ・インターフェース	SSI
SSI 78Q8360	ALL	8360	20MHz	50.00	CMOS	FP100	LAN	TTL	エンコーダ/デコーダ内蔵のCSMA/CD LANコントローラ	SSI
ST78C34	8	7834	10MHz	20.00	CMOS	DIP40	P10	TTL	83バイトのフリック出力用FIFO内蔵の双方向汎用パラレル・ポート	EXAR
ST78C36	8	7836		-	CMOS	QFP44	P10	TTL	16バイトのFIFOを内蔵したECP/EPP対応の双方向フリックパラレル・ポート	EXAR
ST84C72	ALL	8472	48MHz	15.00	CMOS	PLCC68	P10	TTL	FDコントローラおよびシリアル/パラレル・ポートのデコード機能内蔵のIDEインターフェース	EXAR
T6963C	ALL	T6963	5.5MHz	6.00	CMOS	FP67	LCDC	CMOS	128語のキャラクタ・ジェネレータ内蔵, 外部メモリ64Kバイト	TOSI
T7518	ALL	T7518	20MHz	30.00	CMOS	FP144	HDC	TTL	4台までディスク接続可能, 最大転送速度は625Kバイト/sで, SCSI対応も可能	TOSI
T7754	ALL	T7754	11MHz	3.60	CMOS	FP92	LCDC	CMOS	32, 40, 64, 80桁選択, 表示デューティ1/32-1/288	TOSI
T7755	ALL	T7755	11MHz	3.90	CMOS	FP92	LCDC	CMOS	32, 40, 64, 80桁選択, 表示デューティ1/32-1/256	TOSI
T7779	4	T7779	222ns	6.00	CMOS	FP100	CRTC	CMOS	ラスター・スキャンCRT/ドット・マトリクスLCDコントローラ	TOSI
TC8520P	ALL	8520	400ns	1.00	CMOS	DIP16	RTC	TTL	1-2048Hz, 1分, 10分の信号出力可能, 万年カレンダー内蔵	TOSI
TC8554	ALL	8554	10MHz	60.00	CMOS	FP100	ECC	TTL	CRC/ECCコード生成用LSIで, 光ディスクや高密度FDのコントローラに使用可能	TOSI

(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, P10: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



型 名	適応CPU	オシナル	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
TC8561	ALL	8561	40MHz	70.00	CMOS	FP144	HDC	TTL	非同期モード 2Mバイト/sのSCSI対応ハード・ディスク・コントローラ。フォーマット・プログラム	TOSI
TC8576	1, 2, 3	8072	0.3MHz	10.00	CMOS	DIP40	CF	TTL	RS232C, セントロニクス・インターフェースをサポートする	TOSI
TL16C552	2, 8	16552	8MHz	50.00	CMOS	PLCC68	SIO	TTL	IBM PC/ATコンパチブルで、2チャンネルのシリアルポートと1チャンネルのパラレルポートを持つ。16550を2個内蔵	TI
TMP68440	7	68440	8/10MHz	300.00	NMOS	DIP64	DMAC	TTL	転送速度 5 Mバイト/s, チャンネル数 2	TOSI
TMP68451	7	68451	6/8MHz	300.00	NMOS	DIP64	MMU	TTL	ページング/セグメンテーション機能をもつメモリ管理素子	TOSI
TMS1035	ALL	TMS1035	3.5MHz	0.01	CMOS	DIP16	PIO	CMOS	8ビットの並列出力バッファとシリアル出力をもつ	TI
UM82C450	ALL	8250	3.1MHz	10.00	CMOS	DIP40	SIO	TTL	UART, プログラマブル・ボーレート・ジェネレータ内蔵	UMC
UM8398	ALL	8398	8MHz	200.00	NMOS	DIP48	FDC	TTL	PC XT/AT用FDコントローラ。データ・セパレータ内蔵	UMC
VL16C551	2, 8	16451	8MHz	50.00	CMOS	PLCC68	SIO	TTL	IBM PC/ATコンパチブルでINS8250とセントロニクス・リンク・インターフェースを内蔵したUART。	VLSI
VL16C552	2, 8	16552	8MHz	50.00	CMOS	PLCC68	SIO	TTL	IBM PC/ATコンパチブルで二つのINS8250を内蔵したUART。ボーレートはDCから256Kまで設定可能	VLSI
VL16C554	2, 8	16554	8MHz	50.00	CMOS	PLCC84	SIO	TTL	IBM PC/ATコンパチブルで四つのINS8250を内蔵したUART。ボーレートはDCから256Kまで設定可能	VLSI
VL1935	ALL	1933	2.0MHz	210.00	NMOS	DIP40	SPC	TTL	HDL C, S D L C, A D C C Pなどのためのデータ・リンク・コントローラ	VLSI
VL6522	6500	6522	1/2MHz	140.00	HMOS	DIP40	PIO	TTL	2個の8ビットI/Oポートと2個の16ビット・タイマ/カウンタ内蔵	VLSI
VL65C22/V	6500	6522	2/4MHz	10.00	CMOS	DIP40	PIO	TTL	2個の8ビットI/Oポートと2個の16ビット・タイマ/カウンタ内蔵	VLSI
VL82C110	ALL		24MHz	10.00	CMOS	FP100	CF	TTL	二つのUART(8250相当)とパラレル・リンクポートと765AコンパチブルなFDコントローラ内蔵	VLSI
VL82C320	2, 8		25MHz	100.00	CMOS	FP160	CF	TTL	IBM PC/ATコンパチブルで、DRAMコントローラ、BUSコントローラ、データ・バッファ等を内蔵	VLSI
VL82C330	8		33MHz	135.00	CMOS	FP128	CF	TTL	IBM PC/ATコンパチブルで、DRAMコントローラ、BUSコントローラ等を内蔵。64MバイトまでのDRAMを制御可能	VLSI
VL82C331	8		33MHz	135.00	CMOS	FP128	BSCN	TTL	IBM PC/AT用のバス・コントローラでDMA, ページ・アドレスレジスタ, タイマ等の機能を内蔵	VLSI
VL82C332	8		33MHz	50.00	CMOS	FP128	BSBF	TTL	IBM PC/AT用のデータ・バッファで、CPUバス, MDバス, XDバス相互間のルート制御を行う	VLSI
VME1200	7	VME1200	45ns	90.00	CMOS	DIP24	BSCN	TTL	VMEバス用コントローラ。バス・コントロール・マスタ/リクエスタ/アービタ機能内蔵	PLX
VME2000	7	VME2000	25ns	90.00	CMOS	DIP24	BSBF	TTL	VMEバスに接続されるスレーブ・モジュール用バス・インターフェース	PLX
W4006F	8	4006	50MHz	-	CMOS	FP144	DRAM	TTL	256MBのメモリ空間を制御可能。CPUアクセスとリフレッシュ・タイミングを自動制御	WAKOM
WD1933/35	ALL	1933	2.5MHz	210.00	NMOS	DIP40	SPC	TTL	HDL C, S D L C, A D C C Pなどのためのデータ・リンク・コントローラ	WD
Z16C33	ALL		10MHz	50.00	CMOS	PLCC68	SIO	TTL	10Mbpsまでの全二重マルチポートUART。ISDN用にT/Rタイム・スロット・スイッチ機能内蔵	ZILOG
Z16C35	ALL		16MHz	50.00	CMOS	PLCC68	CF	TTL	2チャンネルの汎用シリアル通信ポート, 4チャンネルのDMA, 汎用バス・インターフェースを内蔵	ZILOG
Z84C80/81	3	8480	8/10MHz	40.00	CMOS	PLCC68	CF	TTL	クロック・オシレータ, DRAMコントローラ, WDT, リセット機能内蔵	ZILOG
Z84C90	3	8490	6/8MHz	20.00	CMOS	PLCC84	CF	TTL	2本の同期/非同期ポート, 3個の8ビット・パラレル・ポート, 4個のカウント/タイマ	ZILOG
Z85C80	ALL	8580	10MHz	40.00	CMOS	PLCC68	CF	TTL	Z80SIO(Z85C30)とSCSI(Z53C80)を内蔵	ZILOG
ZEN0232	ALL	0232	30MHz	3.60	CMOS	PLCC68	CTC	TTL	インクリメンタル方式エンコード用の32ビットアップ・ダウン・カウンタ	ZENIC
ZEN2002	ALL	2002	20MHz	30.00	CMOS	DIP28	CTC	TTL	インクリメンタル方式エンコード用の24ビットアップ・ダウン・カウンタ	ZENIC
ZEN2003	ALL	2003	20MHz	30.00	CMOS	QFP64	CTC	TTL	インクリメンタル方式エンコード用の24ビットアップ・ダウン・カウンタ	ZENIC
ZEN2011	ALL	2011	8MHz	50.00	CMOS	DIP28	CTC	TTL	インクリメンタル方式エンコード用の24ビットアップ・ダウン・カウンタ	ZENIC
ZEN2901	ALL	2041	10MHz	90.00	CMOS	QFP100	CTC	TTL	一次元ライオンセンサと16ビットCPUおよびDMACを有する信号処理系とのインターフェースIC	ZENIC
ZEN2901	ALL	2901	16MHz	64.00	CMOS	DIP40	CTC	TTL	一次元ライオンセンサと16ビットCPUおよびDMACを有する信号処理系とのインターフェースIC	ZENIC
μPD16320	ALL	16320	20MHz	1.00	CMOS	FP80	PIO	CMOS	8ビット/16ビットシリアル入力で48ビット・パラレル出力のドライバ。高耐圧DMOSドライバを内蔵する	NEC
μPD71065	ALL	71065	19.2MHz	25.00	CMOS	DIP28	DTSP	TTL	フロッピー・ディスク・ドライブ用のデータ・セパレータ	NEC
μPD71101	ALL	71101	10MHz	40.00	CMOS	FP120	CF	TTL	シリアル・コントローラ, タイマ・カウンタ, PIO, 割り込みコントローラ, ボーレート・ジェネレータを内蔵	NEC
μPD71621	5	71621	43.4MHz	80.00	CMOS	DIP20	CG	TTL	V70システム用クロック・ジェネレータ。20MHzのCPUクロックを生成する	NEC
μPD71641	ALL	71641	8MHz	250.00	NMOS	PGA132	MMU	TTL	セット・アソシアティブ方式のキャッシュ・メモリ・コントローラ。リフレッシュ制御機能	NEC
μPD72030	5	72030	6MHz	14.00	CMOS	FP64	LCDC	TTL	1/32~1/128の高デューティ・ドット・マトリクスLCDのコントローラ。キャラクタ・グラフィックス表示可能	NEC

(分類: BSAB/BSBF/BSCN:バス・アービタ/バス・バッファ/バス・コントローラ, CF:複合コントローラ, CG:クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC:タイマ/カウンタ, DMAC: DM Aコントローラ, DTSP:データ・セパレータ/VFO, FDC:フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC:ハード・ディスク・コントローラ, INT:割り込みコントローラ, ISDN: I S D N コントローラ, LAN: L A N コントローラ, LCDC: L C D コントローラ, PIO:パラレル I/Oコントローラ, RTC:リアル・タイム・クロック, SCSI: S C S I コントローラ, SIO/SPC:シリアル通信コントローラ)



型 名	適応CPU	チップ	動作速度	消費電流	プロセス	外 形	分類	入出力	特 徴	社 名
μ PD72064	ALL	72064	32MHz	60.00	CMOS	PLCC44	FDC	TTL	μ PD765とソフト・コンパチブルなFDコントローラ。IBM PC/AT対応レジスタ内蔵	NEC
μ PD72068	ALL	72068	38.4MHz	60.00	CMOS	QFP80	FDC	TTL	IBMフォーマットとISOフォーマット対応、765とソフト・コンパチ	NEC
μ PD72068	ALL	72068	38.4MHz	60.00	CMOS	QFP80	FDC	TTL	IBMフォーマットとISOフォーマット対応、765とソフト・コンパチ	NEC
μ PD72120	ALL	72120	8MHz	200.00	CMOS	PLCC84	CRTC	TTL	μ PD7220の図形描画機能に加え、ブロック転送等の各種グラフィックス描画機能を持つ	NEC
μ PD72123	ALL	72120	10MHz	200.00	CMOS	PLCC84	CRTC	TTL	μ PD72120と互換性を保ちつつ機能拡張を加えたもの	NEC
μ PD7228	ALL		1.1MHz	0.40	CMOS	FP80	LCDC	CMOS	ドットマトリクス方式の8/16時分割LCDとのインターフェース機能を内蔵するLCDコントローラ	NEC
μ PD7229	ALL		1.1MHz	0.40	CMOS	FP80	LCDC	CMOS	ドットマトリクス方式の8/16時分割LCDとのインターフェース機能を内蔵するLCDコントローラ	NEC
μ PD72902	ALL	83902	20MHz	140.00	CMOS	QFP84	LAN	TTL	10BASE-Tトランシーバ機能を内蔵したCSMA/CDコントローラで、16ビット・バスに対応	NEC
μ PD72916	ALL	83916	20MHz	80.00	CMOS	QFP132	LAN	TTL	システム・バッファ管理エンジンと16ビット・バス・インターフェースを内蔵したCSMA/CDコントローラ	NEC
μ PD72932	ALL	83932	20MHz	80.00	CMOS	QFP132	LAN	TTL	システム・バッファ管理エンジンと32/16ビット・バス・インターフェースを内蔵したCSMA/CDコントローラ	NEC
μ PD9305	μ PD7281		10MHz	100.00	CMOS	PGA132	CF	TTL	イメージ・ハイフ・ライト・プロセスμ PD7281専用の周辺回路。DMA、ホスト、メモリ等のインターフェース回路内蔵	NEC

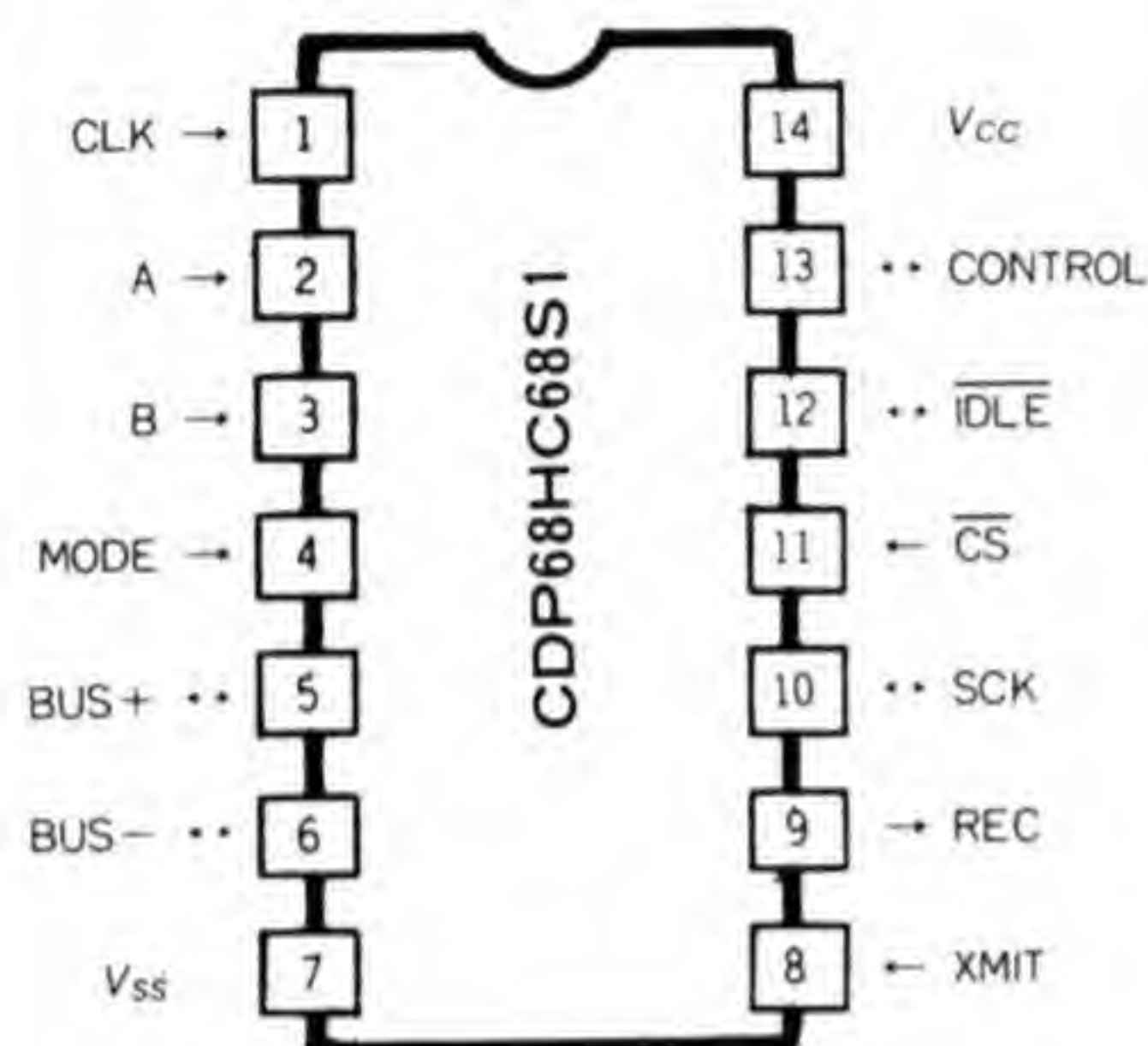
(分類: BSAB/BSBF/BSCN: バス・アービタ/バス・バッファ/バス・コントローラ, CF: 複合コントローラ, CG: クロック・ジェネレータ, CRTC: CRT&グラフィック・コントローラ, CTC: タイマ/カウンタ, DMAC: DMAコントローラ, DTSP: データ・セパレータ/VFO, FDC: フロッピー・ディスク・コントローラ, GPIB: GPIBコントローラ, HDC: ハード・ディスク・コントローラ, INT: 割り込みコントローラ, ISDN: ISDNコントローラ, LAN: LANコントローラ, LCDC: LCDコントローラ, PIO: パラレルI/Oコントローラ, RTC: リアル・タイム・クロック, SCSI: SCSIコントローラ, SIO/SPC: シリアル通信コントローラ)



## 規格一覽表



## ■ ピン接続



## ■ 特 徴

- ・ シリアル・ポートをもったCPUのシリアル・バス・インターフェース
- ・ EMIを妨げる様に設計された中速非同期ディファレンシャル・シグナル・バスへの接続を提供する
- ・ 68HC05系のネットワーク・バスへの接続が可能
- ・ SCI, SPI, バッファSPIの三つの動作モードをもつ
- ・ データ・コリジョン・ディテクション機能をもつ
- ・ バス・アービトラージ機能をもつ
- ・ アイドル・ディテクション機能をもつ
- ・ プログラマブル・クロック分周
- ・ パワーオン・リセット回路内蔵

## ■ 最大定格

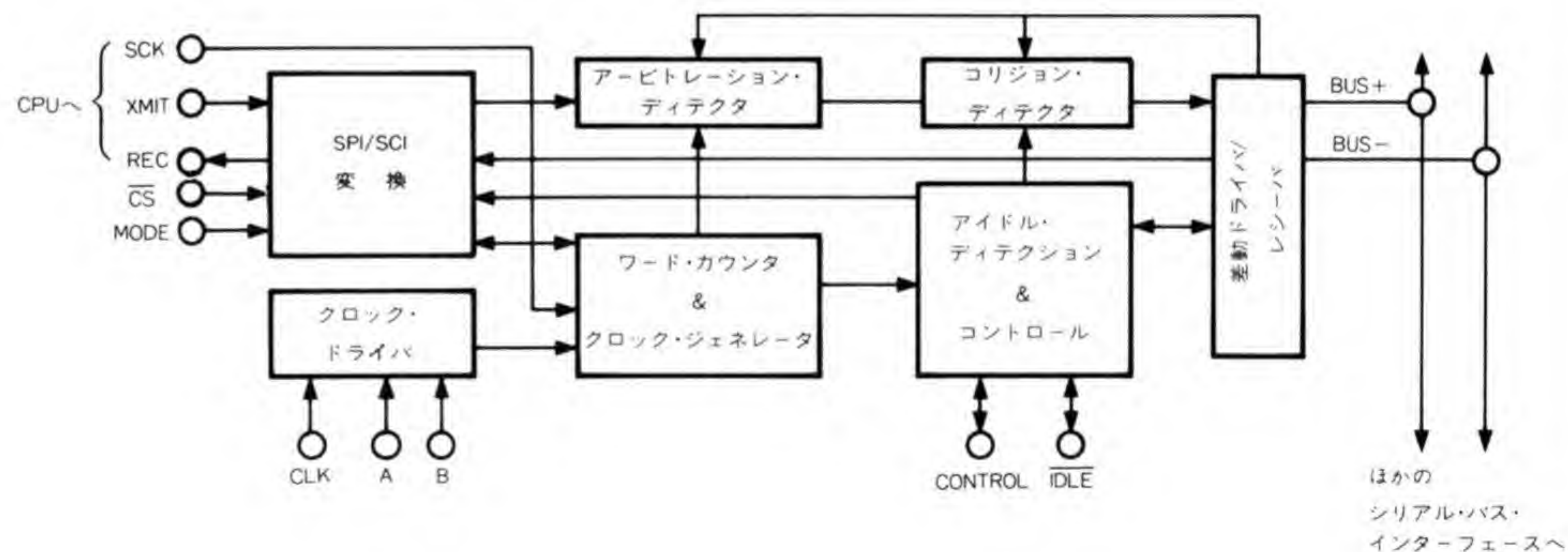
項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	$-40 \sim 105$	°C
保存温度	$T_{STG}$	$-55 \sim 125$	°C

## ■ DC特性

( $T_a = -40 \sim 105^\circ\text{C}$ ,  $V_{CC} = 4 \sim 7\text{V}$ )

記号	測 定 条 件	max/min*	単位
$V_{IL}$		$0.3 V_{CC}$	V
$V_{IH}$		$0.7 V_{CC}^*$	V
$V_{OL}$	$I_{OL} = 0.36\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 0.12\text{mA}$	4.6*	V

## ■ ブロック図





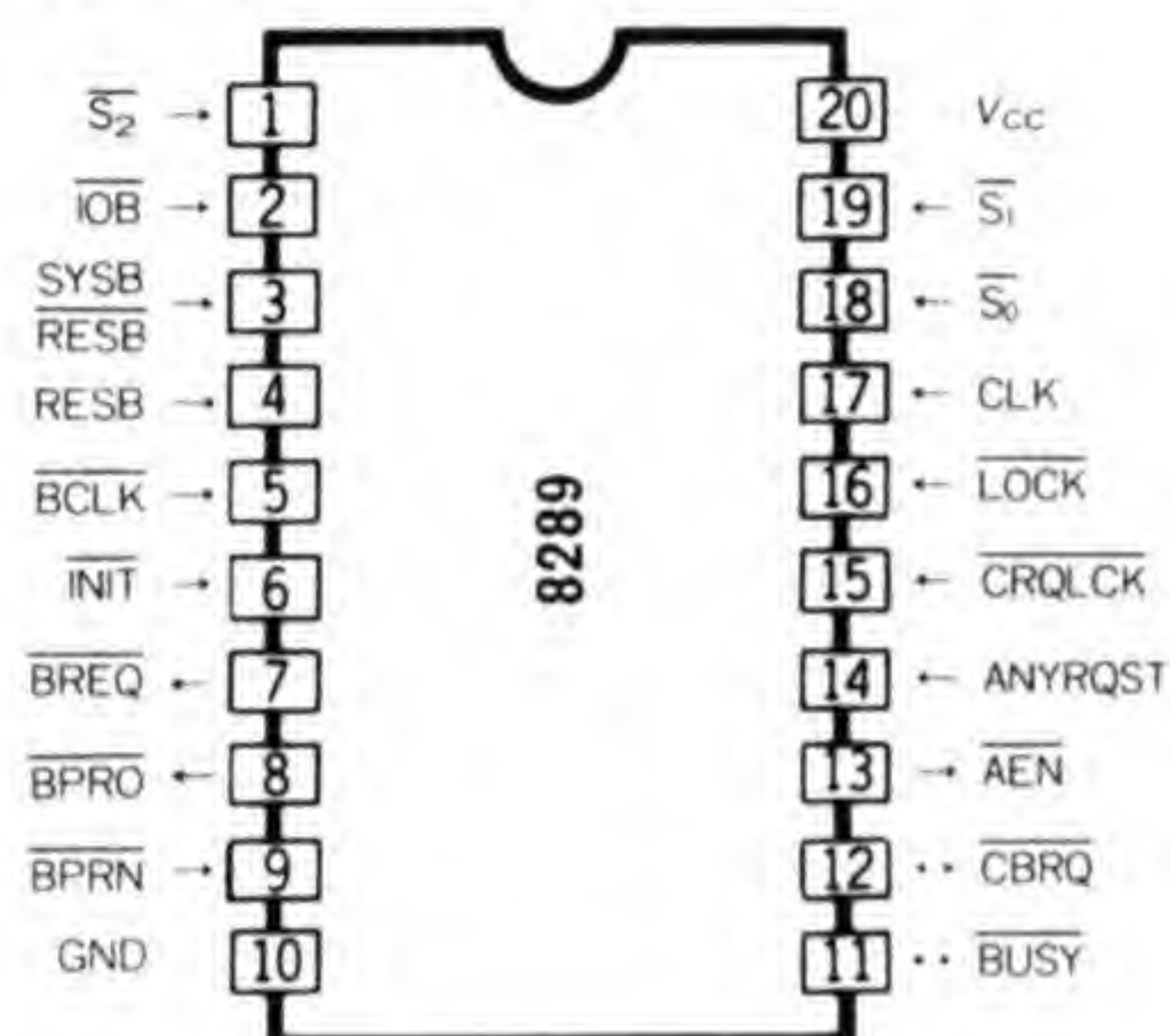
## ■端子機能

端子名	名称	ピン番号	入出力	機能
CLK	クロック	1	入力	クロック入力であり、内部同期クロックとして使われる。内部クロックは、ポーレイトを決めるべく128分周される
A, B	プログラミング A, B	2, 3	入力	クロック分周のプログラミング・インプット。このインプットは外部クロック・ソースのスピードによって、 $V_{CC}$ または $V_{SS}$ 状態になる
MODE	モード	4	入力	動作モードを定義するために、 $\overline{CS}$ 入力と関連して使用される。それは、 $+V_{CC}$ または $V_{SS}$ またはMCUのI/Oラインによってドライブされた“H”または“L”に定常的に接続される
BUS+ BUS-	バス正 バス負	5 6	入出力	差動バスとのデータの送受信のための2線差動バスI/O。BUS+は外部的に決定づけられたバイアス・ポイントのソース・カレントに反応し、正として駆動される。BUS-は外部的に決定づけられたバイアス・ポイントからのシンク・カレントに反応し、負として駆動される
XMIT	送信入力	8	入力	非同期モードでは、このデータ入力はCPU標準NRZ非同期通信出力ポートからくる。同期モードでは、マイクロコンピュータの同期出力ポートからくる
REC	受信出力	9	出力	非同期モードでは、このデータ出力はCPU非同期通信入力ポートに送り込まれる。同期モードでは、CPUの同期入力ポートに送り込まれる
SCK	シリアル・クロック	10	入出力	非同期モードでは、このI/Oは必要ない。二つの同期モードでは両方ともこのピンは68HC05の同期ポート・クロック・ピンに接続される
$\overline{CS}$	チップ・セレクト	11	入力	この入力はモード入力と接続することによって使用され、そしてチップ・セレクトとして使用される
$\overline{IDLE}$	アイドル	12	入出力	CPUは、バス状態を決定づけるためにこの信号をモニタし、そしてまたブレイクを作り出すためにこのラインを“L”に引き込む。IDLE信号はバスがアイドル時には“L”になり、バスがアクティブ時には“H”になる。リセット時にはこのピンは論理ゼロにセットされる
CONTROL	コントロール	13	入出力	CPUは、同期モード時にはデータの送信/受信を行うために、このI/Oピンをモニタする。非同期そして、同期モード時には、データ・バイトがバス上でアクティブであることを示すため、“L”になる



# BA [Bus Arbiter]

## ■ ピン接続



## ■ 特 徴

- ・ マルチマスタ／マルチプロセッシング・システム用バス・アービタ
- ・ 8086／8088 CPU とマルチマスタ・バスの同期化
- ・ バス・コントローラ 8288 とのインターフェースが容易
- ・ 四つの動作モードができるシステム構成
- ・ IEEE 796 バス・コンパチブル
- ・ 優先順位の決定方法として、並列固定、直列固定、回転の 3 種類がある

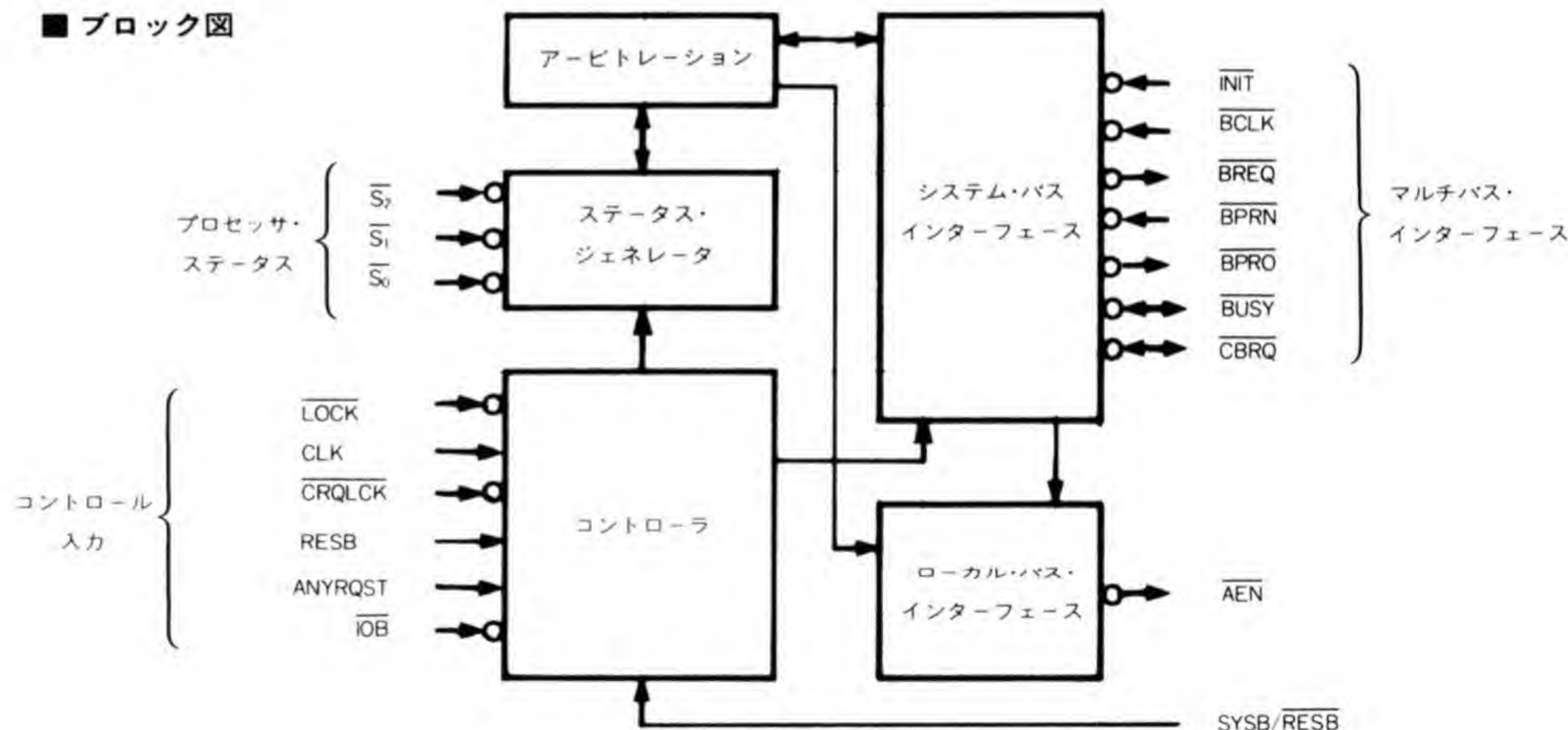
## ■ 最大定格

項 目	記号	定 格	単 位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-1.0~5.5	V
消費電力	$P_D$	1.5	W
動作温度	$T_{OPR}$	0~+70	°C
保存温度	$T_{STG}$	-65~+150	°C

## ■ DC特性

記号	測 定 条 件	max/min*	単 位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=20\text{mA}$	0.45	V
$V_{OH}$	$I_{OH}=400\mu\text{A}$	2.4*	V
$I_{IL}$	$V_{IN}=5.5\text{V}$	60	$\mu\text{A}$
$C_{IN}$		25	pF

## ■ ブロック図





■ 端子機能

端子名	ピン番号	入出力	機能
$\overline{S_0}, \overline{S_1}, \overline{S_2}$	1, 18, 19	入力	8086, 8088, 80186, 80188, 8089からのステータス入力。8289はステータスの内容によりバスの要求/譲渡の動作を行う
$\overline{IOB}$	2	入力	I/Oバスとマルチ・マスタ・システム・バスを使い分けるシステムで使用する。本端子はストラップ入力になっており、“H”または“L”に固定して使用する。本端子が“H”のときにはメモリおよびI/Oコマンドの両方に応答するが、“L”のときにはメモリ・コマンドにしか応答しない
$\overline{RESB}$	3	入力	LOCB=“H”のときは $\overline{BSEL}$ および本端子の入力によりバスの要求/譲渡条件が決定される
RESB	4	入力	8289の動作モードを規定する端子であり、“H”または“L”に固定して使用する。本端子を“H”に固定した場合、 $\overline{RESB}$ の状態によってバスの要求/譲渡条件が決定される。また本端子を“L”に固定した場合は、 $\overline{RESB}$ は無視される
$\overline{BCLK}$	5	入力	マルチ・マスタ・システム・バス用のクロック信号。 $\overline{BCLK}$ とCLKを同期させる必要はない。 マルチ・マスタ・システム・バス上に複数のバス・マスタが存在する場合、一つのバス・マスタから $\overline{BCLK}$ を供給する
$\overline{INIT}$	6	入力	本端子はマルチ・マスタ・システム・バスをイニシャライズする
$\overline{BREQ}$	7	出力	本信号はシステムからのバス要求があると“L”を出力し、バスの使用権を得るまでこの状態を保つ

端子名	ピン番号	入出力	機能
$\overline{BPRO}$	8	出力	8289の順位づけがデジィ・チェーン方式で行われている場合、本端子は次の8289の $\overline{BPRN}$ 端子への出力信号となる
$\overline{BPRN}$	9	入力	バス・リクエストを行っている8289の本端子に“L”レベルの信号が入力されると、8289はバスの使用権を獲得することができる
$\overline{BUSY}$	11	入出力	8289がシステム・バスを使用中であることをほかの8289に知らせるための信号であり、アクティブ“L”である
$\overline{CBRQ}$	12	入出力	本端子はオープン・ドレイン出力になっており、各8289の本端子をワイヤード・オア接続する。 バス・マスタがバス要求をする場合に、この端子をアクティブにする
$\overline{AEN}$	13	出力	バス・インターフェース・デバイスをイネーブルするのに使用する
ANYRQST	14	入力	低い優先順位のバス・アービタがアクセス権を得るために使用する
$\overline{CRQLCK}$	15	入力	本信号に“L”が入力されている間、 $\overline{CBRQ}$ を使用してバス要求を出している8289に対しては、バスを譲渡しない。 $\overline{LOCK}$ 信号はすべてのバス譲渡要求を無視するが、本信号は $\overline{CBRQ}$ を使用してのバス要求のみ無視する
$\overline{LOCK}$	16	入力	8086, 8088, 8089からの $\overline{LOCK}$ 信号を入力する。8289は本信号が“L”にセットされている間、 $\overline{BUSY}$ も“L”に保たれる。 本信号が“L”に保たれている間は、すべてのバス・リクエストが無効となる
CLK	17	入力	システム・クロックの入力端子



# MCI(Micro Channel Interface)

## ■ピン接続



端子番号	端子記号	端子番号	端子記号	端子番号	端子記号
1	GND	24	-BURST	47	MA8
2	CHRESET	25	ARB3	48	MA9
3	-IOR	26	ARB2	49	MA10
4	-IOW	27	M/-IO	50	MA11
5	-MP102/-CS1	28	-S1	51	-CD SETUP
6	-BACK	29	-S0	52	V <sub>cc</sub>
7	BREQ	30	-CMD	53	GND
8	BURST REQ	31	ARB/-GNT	54	D5
9	POS104B1	32	-ADL	55	D4
10	POS104B2	33	-DS16/MADE24	56	D3
11	-POS100RD	34	-SBHE	57	D2
12	-POS101RD	35	GND	58	D1
13	-MP103/-CS2	36	MA0	59	D0
14	-MP104/POS104B0	37	MA1	60	-CD DS16
15	-MEMR	38	MA2	61	-CD SFDBK
16	-MEMW	39	MA3	62	ADP RDY
17	CD CHRDY	40	MA4	63	RDYSTB
18	V <sub>cc</sub>	41	ARB1	64	BUFDIR
19	GND	42	ARB0	65	-BUFENL
20	-CD SEL/-REFRESH	43	-PREEMPT	66	-BUFENH
21	A0	44	MA5	67	CDEN
22	A1	45	MA6	68	-TC
23	A2	46	MA7		

## ■特 徴

- ・ IBM PS/2 マイクロチャネル・インターフェース規格に準拠し、MPU周辺LSIをバス接続させることが可能
- ・ 接続アダプタに応じたメモリ・マッピング、I/Oマッピングのサポート
- ・ プログラム設定可能な内部レジスタ
- ・ アダプタ・カードID用リード・ストロブ発生
- ・ DMA機能サポート
- ・ シングル・モード動作

## ■ DC 特性

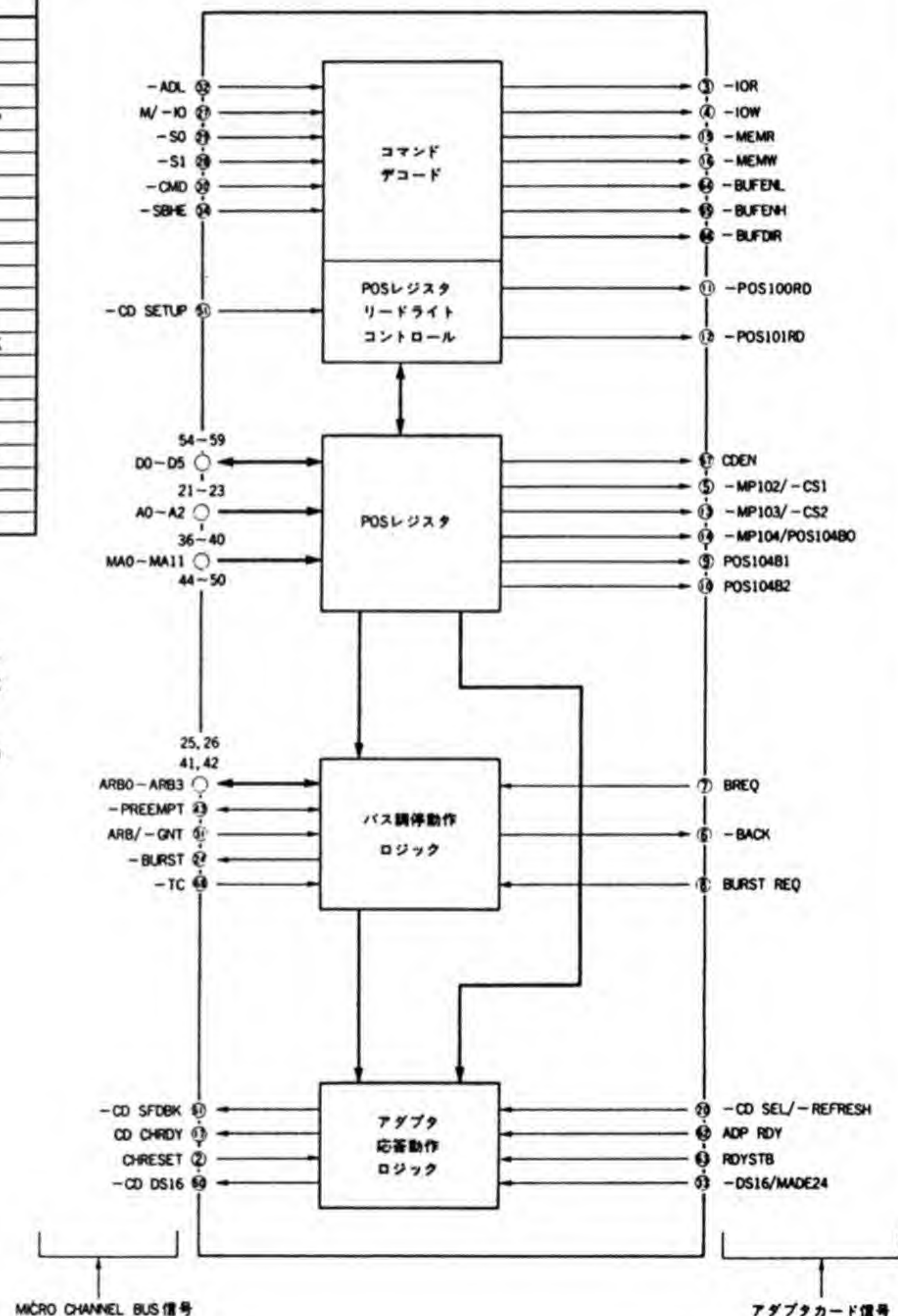
(T<sub>a</sub>=0~70°C, V<sub>cc</sub>=5V±5%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.2*	V
V <sub>OL</sub>	I <sub>OL</sub> =8mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> =2mA	4.0*	V
I <sub>IL</sub>	V <sub>IN</sub> =0~V <sub>cc</sub>	±10	μA

## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	V <sub>cc</sub>	-0.5~6.0	V
入力電圧	V <sub>IN</sub>	-0.5~V <sub>cc</sub> +0.5	V
動作温度	T <sub>OPR</sub>	-40~85	°C
保存温度	T <sub>STG</sub>	-40~125	°C

## ■ブロック図





■端子機能

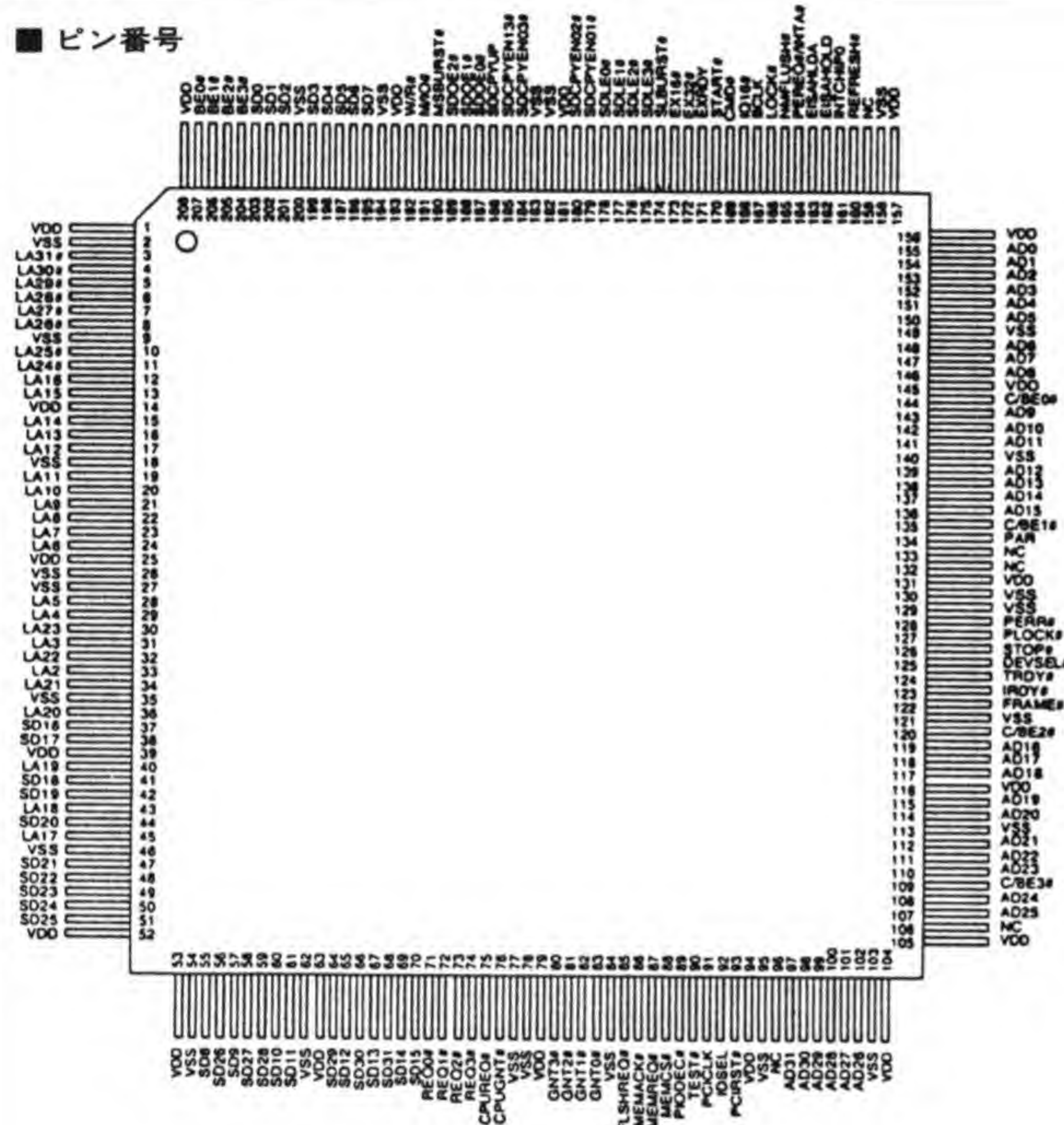
端子名	ピン番号	入出力	機能
M/-IO	27	入力	メモリ、I/O選択区別端子
-S0	29	入力	ステータス・ビット0端子
-S1	28	入力	ステータス・ビット1端子
-CMD	30	入力	データ信号用ストローブ
-ADL	32	入力	アドレス・デコード・ラッチ端子
-CD SETUP	51	入力	カード・セットアップ端子
-SBHE	34	入力	システム・バスの上位バイト・イネーブル信号
A0, A1, A2	21, 22, 23	入力	アドレス・バス信号
D0~D5	59~54	入出力	データ・バス入出力信号
MA0~MA4 MA5~MA11	36~40, 44~50	入力	アドレス・マッチ信号入力で、一般動作、特殊動作モードがある
ARB0~ ARB3	42, 41, 26, 25	入出力	バス使用の調停をするためのバス使用権優先順位端子
ARB/-GNT	31	入力	バス調停/グラント端子
-PREEMPT	43	入出力	プリエンプト端子
-TC	68	入力	ターミナル・カウント端子
-BURST	24	出力	DMA転送中を示すバースト・モード端子
-CD SFDBK	61	出力	カード選択を示すカード・セレクト・フィードバック端子
CD CHRDY	17	出力	カード・チャネル・レディ信号出力
CHRESET	2	入力	アダプタ・カードをリセットする信号入力
-CD DS16	60	出力	カードのデータ転送ビット幅が16ビットであることを示す
-IOR	3	出力	I/Oリード・サイクル実行中を示す信号
-IOW	4	出力	I/Oライト・サイクル実行中を示す信号
-MEMRD	15	出力	メモリ・リード・サイクル実行中を示す信号
-MEMW	16	出力	メモリ・ライト・サイクル実行中を示す信号
-POS100RD, -POS101RD	11, 12	出力	アダプタ・カードIDリードのためのストローブ出力。100RDが下位バイト、101RDが上位バイト用

端子名	ピン番号	入出力	機能
BUFDIR	64	出力	外部データ・バス・トランシーバの方向をコントロールするバッファ方向信号出力
-BUF ENL	65	出力	データ・バス下位8ビットのトランシーバをイネーブルにするバッファ・イネーブル下位バイト信号
-BUF ENH	66	出力	データ・バス上位8ビットのトランシーバをイネーブルにするバッファ・イネーブル上位バイト信号
CDEN	67	出力	アダプタ・カード動作可にするカード・イネーブル出力
-MP102/ -CS1	5	出力	POS102レジスタ・マッチング信号出力または外部デバイス選択のためのチップ・セレクト1
-MP103/ -CS2	13	出力	POS103レジスタ・マッチング信号出力または外部デバイス選択のためのチップ・セレクト2
-MP104/ POS104B0	14	出力	POS104レジスタ・マッチング信号出力またはPOS104レジスタのビット0の値を出力する
POS104B1	9	出力	POS104レジスタのビット1の値を出力する
POS104B2	10	出力	POS104レジスタのビット2の値を出力する
BREQ	7	入力	アダプタ・カードからのバス・リクエスト信号入力
-BACK	6	出力	アダプタ・カードへのバス・アクノリッジ信号出力
BURST REQ	8	入力	バースト・モードでのDMA転送要求
-CD SEL/ -REFRESH	20	入力	一般動作モードではカード・セレクト信号、特殊動作モードではマイクロ・チャネルのREFRESH信号を入力する
-DS16/ MADE24	33	入力	一般動作モードではデータ幅16ビットを示す、特殊動作モードではマイクロ・チャネルのMADE24信号を入力する
ADP RDY	62	入力	アダプタ・カードのレディ信号入力
RDYSTB	63	入力	レディ・ストローブ信号入力



# PCEB (PCI-EISA Bridge)

## ■ ピン番号



## ■ DC 特性

( $T_a = 0 \sim 85^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 1\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 1\text{mA}$	$V_{CC} - 0.45^*$	V
$I_{OL}$	$V_{OUT} = 0.45 \sim V_{CC}$	$\pm 15$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 15$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$	15	pF

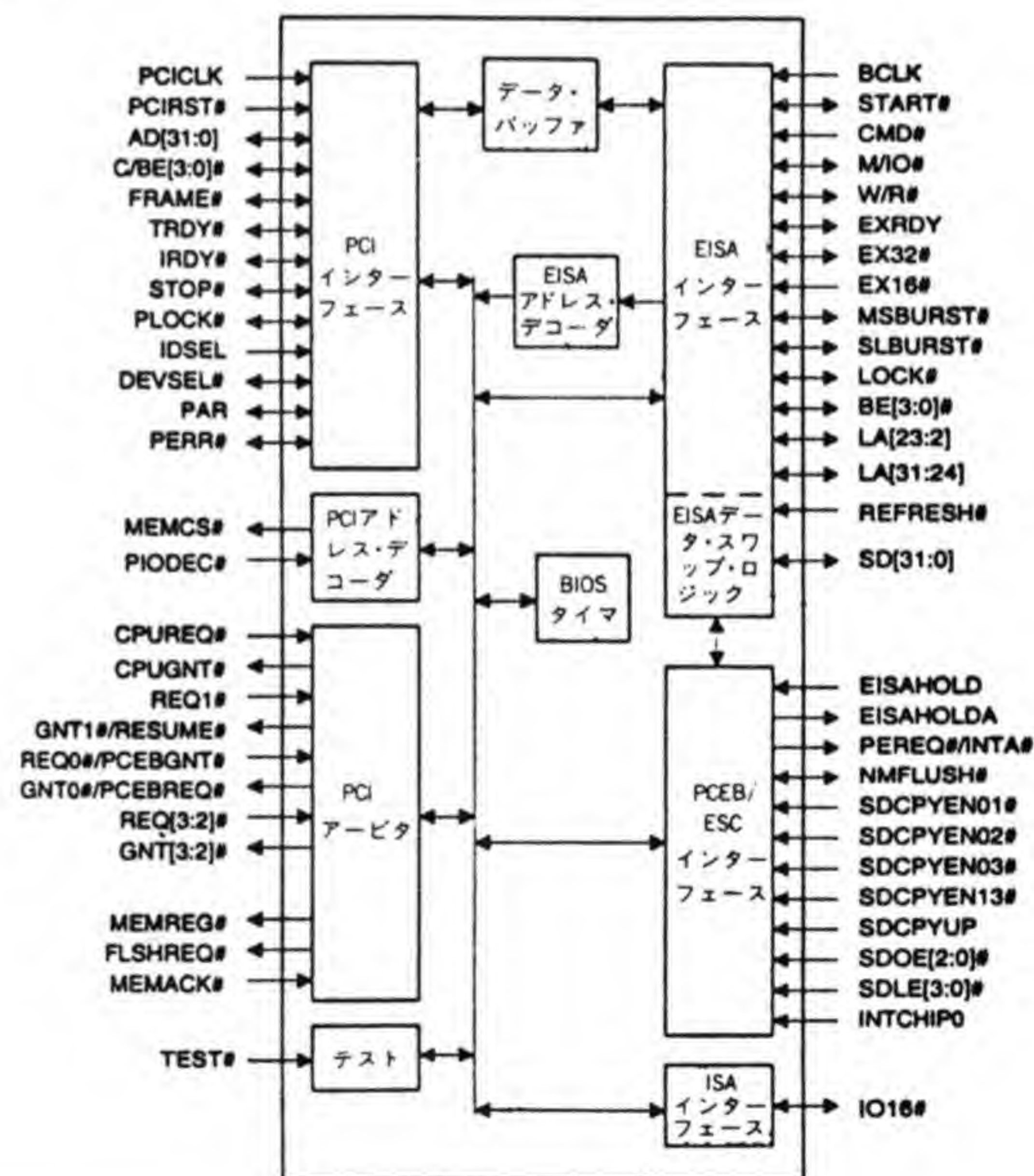
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +5.75$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$0 \sim +85$	$^\circ\text{C}$
保存温度	$T_{STG}$	$-65 \sim +150$	$^\circ\text{C}$

## ■ 特 徴

- 82374と組み合わせて、EISA/PCIブリッジおよびEISA I/Oサブシステムを構成できる
- 100% PCI および EISA コンパチブル
  - PCI および EISA マスタ/スレーブ・インターフェース
  - 10個の PCI 負荷と8個の EISA スロットを直接ドライブ可能
  - 25~33MHz の PCI バスに対応可能
- PCI および EISA バス双方のバースト転送可能
- 32ビット・データ・パス
- 6個分の PCI マスタのアービトレーション機能内蔵
- PCI および EISA アドレス・デコードとマッピング機能内蔵
- 512M バイトまでのプログラマブルなメイン・メモリ・アドレス・デコード機能内蔵

## ■ ブロック図





## ■ 端子機能

### PCI バス・インターフェース

端子名	ピン番号	入出力	機能
PCICLK	91	入力	25MHz~33MHz の PCI クロック入力
PCIRST#	93	入力	PCI リセット信号
AD[31:0]	97~155	入出力	双方向のアドレスおよびデータ・バス
C/BE[3:0]	109, 120, 144	入出力	バス・コマンド/バイト・イネーブル
FRAME#	122	入出力	アクセスの始まり、継続を示すサイクル・フレーム信号
TRDY#	124	入出力	ターゲット・レディ信号
IRDY#	123	入出力	イニシエータ・レディ信号
STOP#	126	入出力	ターゲットからイニシエータへのトランザクション停止要求
PLOCK#	127	入出力	PCI ロック信号
IDSEL	92	入力	イニシャリゼーション・デバイス・セレクト信号
DEVSEL#	125	入出力	デバイス・セレクト信号
PAR	134	入出力	AD[31:0] と C/BE[3:0] の偶パリティ信号
PERR#	128	入出力	パリティ・エラー

### PCI アービタ・シグナル

CPUREQ#	75	入力	PCI バス使用を要求する CPU リクエスト信号
REQ1#	72	入力	マスター1の PCI バス要求信号
REQ0#/ PCEBGNT#	71	入力	スター0の PCI バス要求信号 外部 PCI アービタ許可信号
REQ[2:3]#	73, 74	入力	マスター2, 3の PCI バス要求信号
CPUGNT#	76	出力	CPU マスターの PCI バス許可信号
GNT0#/ PCEBREQ#	83	出力	マスター0の PCI バス要求許可信号 82375の PCI バス要求信号
GNT1#/ RESUME#	82	出力	マスター1の PCI バス要求許可信号 82375のリジューム信号
GNT[2:3]#	81, 80	出力	マスター2, 3の PCI バス要求許可信号
MEMREQ#	87	出力	EISA デバイスまたは DMA 用のメモリ・リクエスト信号
FLSHREQ#	85	出力	フラッシュ・リクエスト信号
MEMACK#	86	入力	MEMREQ#または FLSHREQ#へのメモリ・アクノリッジ

### ISA インターフェース・シグナル

IO16#	168	入出力	16ビット I/O チップ・セレクト
-------	-----	-----	--------------------

### アドレス・デコーダ・シグナル

端子名	ピン番号	入出力	機能
MEMCS#	88	出力	メモリ・チップ・セレクト
PIODEC#	89	入力	PCI I/O スペース・デコーダ

### EISA インターフェース・シグナル

BCLK	167	入力	EISA バス・クロック入力
START#	170	入出力	EISA のスタート・サイクルを示す信号
CMD#	169	入力	EISA サイクル期間に出力されるコマンド信号
M/IO#	191	入出力	EISA バスのメモリ・サイクルまたは I/O サイクル識別信号
W/R#	192	入出力	EISA バスのライト・サイクル、リード・サイクル識別信号
EXRDY	171	入出力	ウェイト・サイクル挿入用の EISA レディ信号
EX32#	172	入出力	EISA32ビット・スレーブ・デバイス・デコード
EX16#	173	入力	EISA16ビット・スレーブ・デバイス・デコード
MSBURST#	190	入出力	EISA マスターのバースト・サイクル信号
SLBURST#	174	入出力	EISA スレーブのバースト・サイクル信号
LOCK#	166	入出力	イクスクルーシブ・メモリ・アクセス保証用のロック信号
BE[3:0]#	204~207	入出力	EISA アドレス・バス直結のバイト・イネーブル信号
LA[31:24]# LA[23:2]	3~11, 12~36	入出力	EISA バス直結のラッチャブル・アドレス・ライン
SD[31:0]	195~70	入出力	システム・データ・バス直結の双方向バス・ライン
REFRESH#	160	入力	リフレッシュ・サイクルを示す信号

### 82374/82375 インターフェース・シグナル

EISAHOLD	162	入力	EISA バス・コントロール要求用の EISA ホールド信号
EISAHLDA	163	出力	EISA ホールド・アクノリッジ信号
PEREQ#/ INTA#	164	出力	PCI-EISA リクエスト/インタラプト・アクノリッジ
NMFLUSH#	165	入出力	82374, 82375間のフラッシュ・コントロール用ハンドシェイク
INTCHIP0	161	入出力	チップ間リザーブ信号
SDCPYEN [01:03]# SDCPYEN13#	179~185	入力	バイト・コピー・イネーブル信号
SDCPYUP	186	入力	バイト・コピー動作方向制御信号
SDOE[2:0]#	187~189	入力	システム・データ・アウトプット・イネーブル
SDLE[3:0]#	178~175	入力	システム・データ・ラッチ・イネーブル



**MCS2220**

Pin 1:  $V_{SS}$

Pin 84:  $V_{SS}$

Pin 75:  $V_{CC}$

Pin 74:  $V_{CC}$

Pin 11:  $SD_{10}$

Pin 12:  $SD_9$

Pin 13:  $MD_{15}$

Pin 14:  $D_9$

Pin 15:  $D_8$

Pin 16:  $D_7$

Pin 17:  $D_6$

Pin 18:  $MD_{14}$

Pin 19:  $SD_8$

Pin 20:  $SD_7$

Pin 21:  $SD_6$

Pin 22:  $SD_5$

Pin 23:  $MD_{13}$

Pin 24:  $D_5$

Pin 25:  $D_4$

Pin 26:  $D_3$

Pin 27:  $D_2$

Pin 28:  $MD_{12}$

Pin 29:  $SD_4$

Pin 30:  $SD_3$

Pin 31:  $V_{CC}$

Pin 32:  $V_{SS}$

Pin 33:  $V_{CC}$

Pin 34:  $V_{SS}$

Pin 35:  $V_{CC}$

Pin 36:  $V_{SS}$

Pin 37:  $V_{CC}$

Pin 38:  $V_{SS}$

Pin 39:  $V_{CC}$

Pin 40:  $V_{SS}$

Pin 41:  $V_{CC}$

Pin 42:  $V_{SS}$

Pin 43:  $V_{CC}$

Pin 44:  $V_{SS}$

Pin 45:  $V_{CC}$

Pin 46:  $V_{SS}$

Pin 47:  $V_{CC}$

Pin 48:  $V_{SS}$

Pin 49:  $V_{CC}$

Pin 50:  $V_{SS}$

Pin 51:  $V_{CC}$

Pin 52:  $V_{SS}$

Pin 53:  $V_{CC}$

Pin 54:  $V_{SS}$

Pin 55:  $V_{CC}$

Pin 56:  $V_{SS}$

Pin 57:  $V_{CC}$

Pin 58:  $V_{SS}$

Pin 59:  $V_{CC}$

Pin 60:  $V_{SS}$

Pin 61:  $V_{CC}$

Pin 62:  $V_{SS}$

Pin 63:  $V_{CC}$

Pin 64:  $V_{SS}$

Pin 65:  $V_{CC}$

Pin 66:  $V_{SS}$

Pin 67:  $V_{CC}$

Pin 68:  $V_{SS}$

Pin 69:  $V_{CC}$

Pin 70:  $V_{SS}$

Pin 71:  $V_{CC}$

Pin 72:  $V_{SS}$

Pin 73:  $V_{CC}$

Pin 74:  $V_{SS}$

Pin 75:  $V_{CC}$

Pin 76:  $V_{SS}$

Pin 77:  $V_{CC}$

Pin 78:  $V_{SS}$

Pin 79:  $V_{CC}$

Pin 80:  $V_{SS}$

Pin 81:  $V_{CC}$

Pin 82:  $V_{SS}$

Pin 83:  $V_{CC}$

Pin 84:  $V_{SS}$

Pin 85:  $V_{CC}$

Pin 86:  $V_{SS}$

Pin 87:  $V_{CC}$

Pin 88:  $V_{SS}$

Pin 89:  $V_{CC}$

Pin 90:  $V_{SS}$

Pin 91:  $V_{CC}$

Pin 92:  $V_{SS}$

Pin 93:  $V_{CC}$

Pin 94:  $V_{SS}$

Pin 95:  $V_{CC}$

Pin 96:  $V_{SS}$

Pin 97:  $V_{CC}$

Pin 98:  $V_{SS}$

Pin 99:  $V_{CC}$

Pin 100:  $V_{SS}$

Pin 101:  $V_{CC}$

Pin 102:  $V_{SS}$

Pin 103:  $V_{CC}$

Pin 104:  $V_{SS}$

Pin 105:  $V_{CC}$

Pin 106:  $V_{SS}$

Pin 107:  $V_{CC}$

Pin 108:  $V_{SS}$

Pin 109:  $V_{CC}$

Pin 110:  $V_{SS}$

Pin 111:  $V_{CC}$

Pin 112:  $V_{SS}$

Pin 113:  $V_{CC}$

Pin 114:  $V_{SS}$

Pin 115:  $V_{CC}$

Pin 116:  $V_{SS}$

Pin 117:  $V_{CC}$

Pin 118:  $V_{SS}$

Pin 119:  $V_{CC}$

Pin 120:  $V_{SS}$

Pin 121:  $V_{CC}$

Pin 122:  $V_{SS}$

Pin 123:  $V_{CC}$

Pin 124:  $V_{SS}$

Pin 125:  $V_{CC}$

Pin 126:  $V_{SS}$

Pin 127:  $V_{CC}$

Pin 128:  $V_{SS}$

Pin 129:  $V_{CC}$

Pin 130:  $V_{SS}$

Pin 131:  $V_{CC}$

Pin 132:  $V_{SS}$

Pin 133:  $V_{CC}$

Pin 134:  $V_{SS}$

Pin 135:  $V_{CC}$

Pin 136:  $V_{SS}$

Pin 137:  $V_{CC}$

Pin 138:  $V_{SS}$

Pin 139:  $V_{CC}$

Pin 140:  $V_{SS}$

Pin 141:  $V_{CC}$

Pin 142:  $V_{SS}$

Pin 143:  $V_{CC}$

Pin 144:  $V_{SS}$

Pin 145:  $V_{CC}$

Pin 146:  $V_{SS}$

Pin 147:  $V_{CC}$

Pin 148:  $V_{SS}$

Pin 149:  $V_{CC}$

Pin 150:  $V_{SS}$

Pin 151:  $V_{CC}$

Pin 152:  $V_{SS}$

Pin 153:  $V_{CC}$

Pin 154:  $V_{SS}$

Pin 155:  $V_{CC}$

Pin 156:  $V_{SS}$

Pin 157:  $V_{CC}$

Pin 158:  $V_{SS}$

Pin 159:  $V_{CC}$

Pin 160:  $V_{SS}$

Pin 161:  $V_{CC}$

Pin 162:  $V_{SS}$

Pin 163:  $V_{CC}$

Pin 164:  $V_{SS}$

Pin 165:  $V_{CC}$

Pin 166:  $V_{SS}$

Pin 167:  $V_{CC}$

Pin 168:  $V_{SS}$

Pin 169:  $V_{CC}$

Pin 170:  $V_{SS}$

Pin 171:  $V_{CC}$

Pin 172:  $V_{SS}$

Pin 173:  $V_{CC}$

Pin 174:  $V_{SS}$

Pin 175:  $V_{CC}$

Pin 176:  $V_{SS}$

Pin 177:  $V_{CC}$

Pin 178:  $V_{SS}$

Pin 179:  $V_{CC}$

Pin 180:  $V_{SS}$

Pin 181:  $V_{CC}$

Pin 182:  $V_{SS}$

Pin 183:  $V_{CC}$

Pin 184:  $V_{SS}$

Pin 185:  $V_{CC}$

Pin 186:  $V_{SS}$

Pin 187:  $V_{CC}$

Pin 188:  $V_{SS}$

Pin 189:  $V_{CC}$

Pin 190:  $V_{SS}$

Pin 191:  $V_{CC}$

Pin 192:  $V_{SS}$

Pin 193:  $V_{CC}$

Pin 194:  $V_{SS}$

Pin 195:  $V_{CC}$

Pin 196:  $V_{SS}$

Pin 197:  $V_{CC}$

Pin 198:  $V_{SS}$

Pin 199:  $V_{CC}$

Pin 200:  $V_{SS}$

Pin 201:  $V_{CC}$

Pin 202:  $V_{SS}$

Pin 203:  $V_{CC}$

Pin 204:  $V_{SS}$

Pin 205:  $V_{CC}$

Pin 206:  $V_{SS}$

Pin 207:  $V_{CC}$

Pin 208:  $V_{SS}$

Pin 209:  $V_{CC}$

Pin 210:  $V_{SS}$

Pin 211:  $V_{CC}$

Pin 212:  $V_{SS}$

Pin 213:  $V_{CC}$

Pin 214:  $V_{SS}$

Pin 215:  $V_{CC}$

Pin 216:  $V_{SS}$

Pin 217:  $V_{CC}$

Pin 218:  $V_{SS}$

Pin 219:  $V_{CC}$

Pin

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	0~7	V
入力電圧	$V_{IN}$	0~5.5	V
消費電力	$P_D$	1.0	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-50~150	°C

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$		0.4	V
$V_{OH}$	$I_{OH}$	2.4*	V
$C_{IN}$		10	pF

- ・IBM PC/ATのハードウェアおよびソフトウェアと100%互換
- ・2種類のモードをもち、MODEM/Dを"H"に設定することにより、データ・バッファおよびラッチとして動作する
- ・パリティ生成/検出ロジック回路内蔵
- ・16-8ビット変換のためのバス変換ロジック回路内蔵
- ・OS/2動作時、プロテクト・モードからリアル・モードへのハードウェアおよびソフトウェアの高速切り替えを実現
- ・拡張スロットを直接ドライブする能力がある



## ■ 端子機能

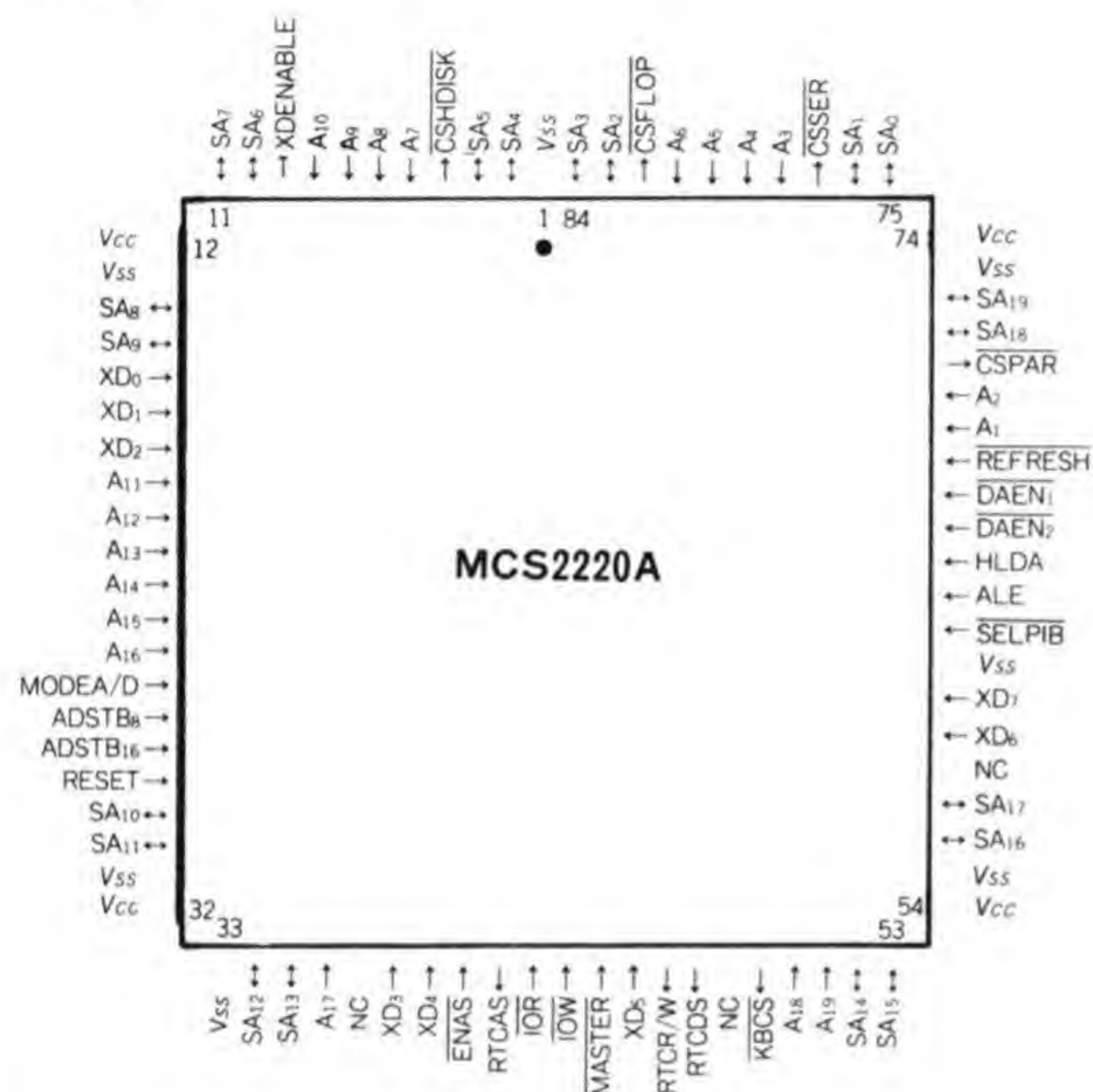
端子名	ピン番号	入出力	機能
SD <sub>0</sub> ~SD <sub>15</sub>	36, 50, 51, 75, 76, 83, 84, 2, 3, 10, 11, 14, 15, 29, 30, 34	入出力	システム・データ・バス
MD <sub>0</sub> ~MD <sub>15</sub>	61~67, 28, 37, 48, 58, 70, 77, 82, 4, 9	入出力	メモリ・データ・バス
D <sub>0</sub> ~D <sub>15</sub>	68, 69, 78~81, 5~8, 19~24	入出力	CPU データ・バス
LPAROUT	16	出力	下位パリティ・ビット出力
HPAROUT	17	出力	上位パリティ・ビット出力
A <sub>20</sub>	18	出力	CPU アドレス・バス・ビット
MODEA/D	25	入力	アドレス("H")/データ・モード・セレクト("L")
SA <sub>0</sub>	26	入力	システム・アドレス・バス・ビット 0
SBHE	27	入力	上位システム・バス・イネーブル, "L" アクティブ
ENLBY <sub>1</sub>	35	入力	システム・データ・バスからローカル・データ・バスへの下位バイト出力イネーブル("L" アクティブ), 8ビット I/O ポートまたは拡張メモリ・リードで使用
HLDA	39	入力	ホールド・アクノリッジ
DSMSD	40	入力	メモリ・データ/システム・データ・バス・ディセーブル
PAR	41	出力	メモリ・パリティ・エラー
MASTER	42	入力	外部マスタ, "L" アクティブ
CSPCK	43	入力	パリティ・チェック・イネーブル

端子名	ピン番号	入出力	機能
GA <sub>20</sub>	44	入力	プロテクト・モード A <sub>20</sub> セレクト, "H" アクティブ
A20286	45	入力	80286 アドレス・バス・ビット 20
MEMR	46	入力	メモリ・リード, "L" アクティブ
ENHBY	47	入力	システム/ローカル・データ・バス (CSPCK=0) または メモリ/ローカル・データ・バス (CSPCK=1) 上位バイト転送イネーブル, "L" アクティブ
ACK	49	出力	バス・ホールド・アクノリッジ, "L" アクティブ
ENLBY <sub>2</sub>	52	入力	システム/ローカル・データ・バス (CSPCK=0) または メモリ/ローカル・データ・バス (CSPCK=1) 下位バイト転送イネーブル, "L" アクティブ
LPARIN	53	入力	下位パリティ・ビット入力
HPARIN	56	入力	上位パリティ・ビット入力
L374	57	入力	データ・バスからローカル・データ・バスへの下位バイト・ラッチ用クロック入力
D245	59	入力	システム・データ・バス・バイトのスワップ方向, 上位-下位("H")/下位-上位("L")
G245	60	入力	システム・データ・バス・バイトのスワップ・イネーブル, "L" アクティブ
DT/R	71	入力	ローカル・データ・バスからシステム・データ・バスへの送信("H")/受信("L")
MDT/R	72	入力	システム・データ・バスからシステム・データ・バスへの送信("H")/受信("L")
MDLAT <sub>1</sub>	38	入力	メモリ・データ・ラッチ・イネーブル, メモリ・データをラッチし, CAS の早期終了を可能にする



# Address Buffer

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	0~7	V
入力電圧	$V_{IN}$	0~5.5	V
消費電力	$P_D$	1.0	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-50~150	°C

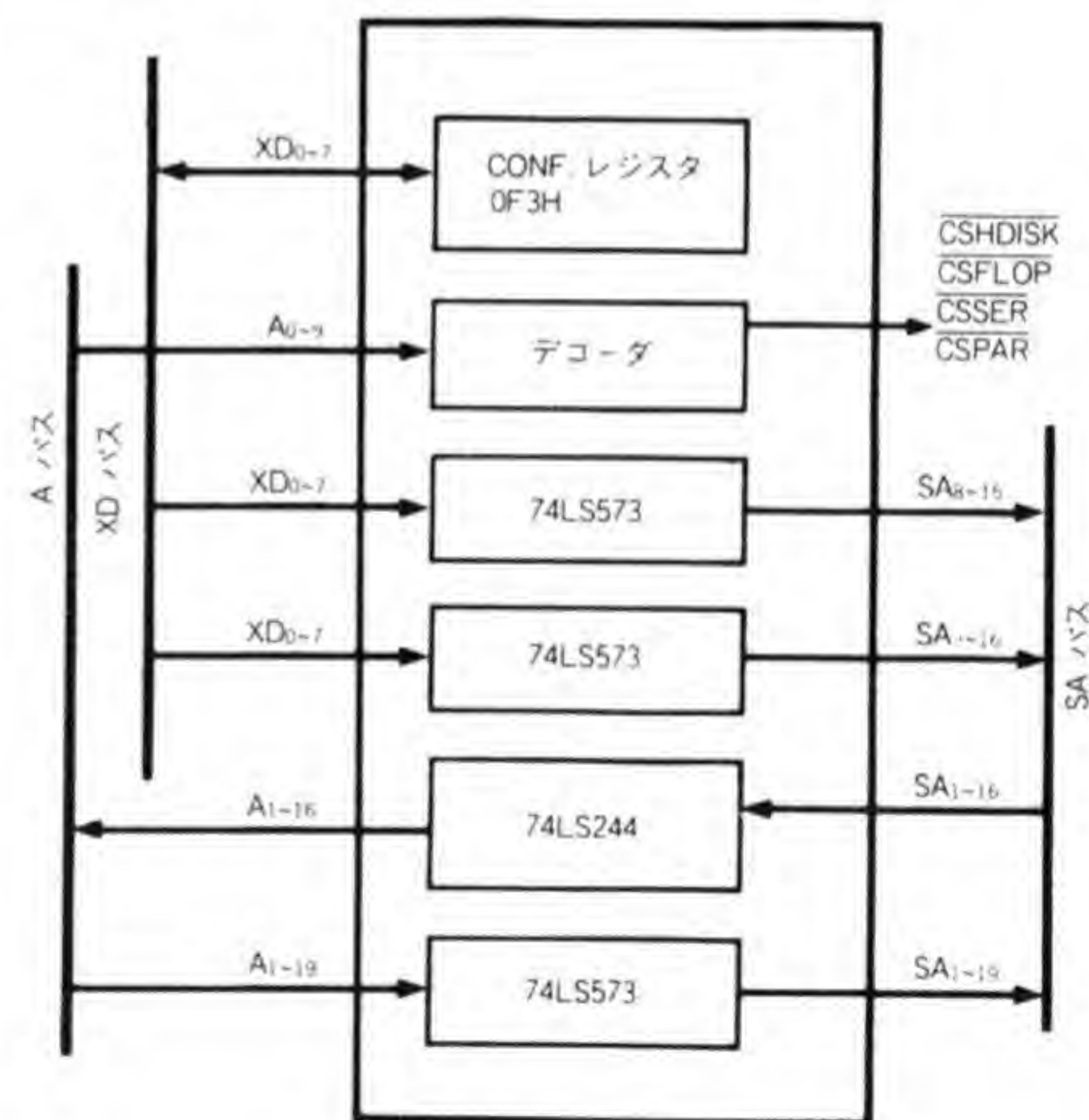
## ■ DC特性 ( $T_a=0\sim70^{\circ}\text{C}$ , $V_{CC}=5\text{V}\pm10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$		0.4	V
$V_{OH}$	$I_{OH}$	2.4*	V
$C_{IN}$		10	pF

## ■ 特徴

- ・ IBM PC/ATのハードウェアおよびソフトウェアと100%互換
- ・ 2種類のモードをもち、MODEA/Dを"L"に設定することにより、アドレス・バッファおよびラッチとして動作する
- ・ パリティ生成/検出ロジック回路内蔵
- ・ 16-8ビット変換のためのバス変換ロジック回路内蔵
- ・ OS/2動作時、プロテクト・モードからリアル・モードへのハードウェアおよびソフトウェアの高速切り替えを実現
- ・ 拡張スロットを直接ドライブする能力がある

## ■ ブロック図





## ■ 端子機能

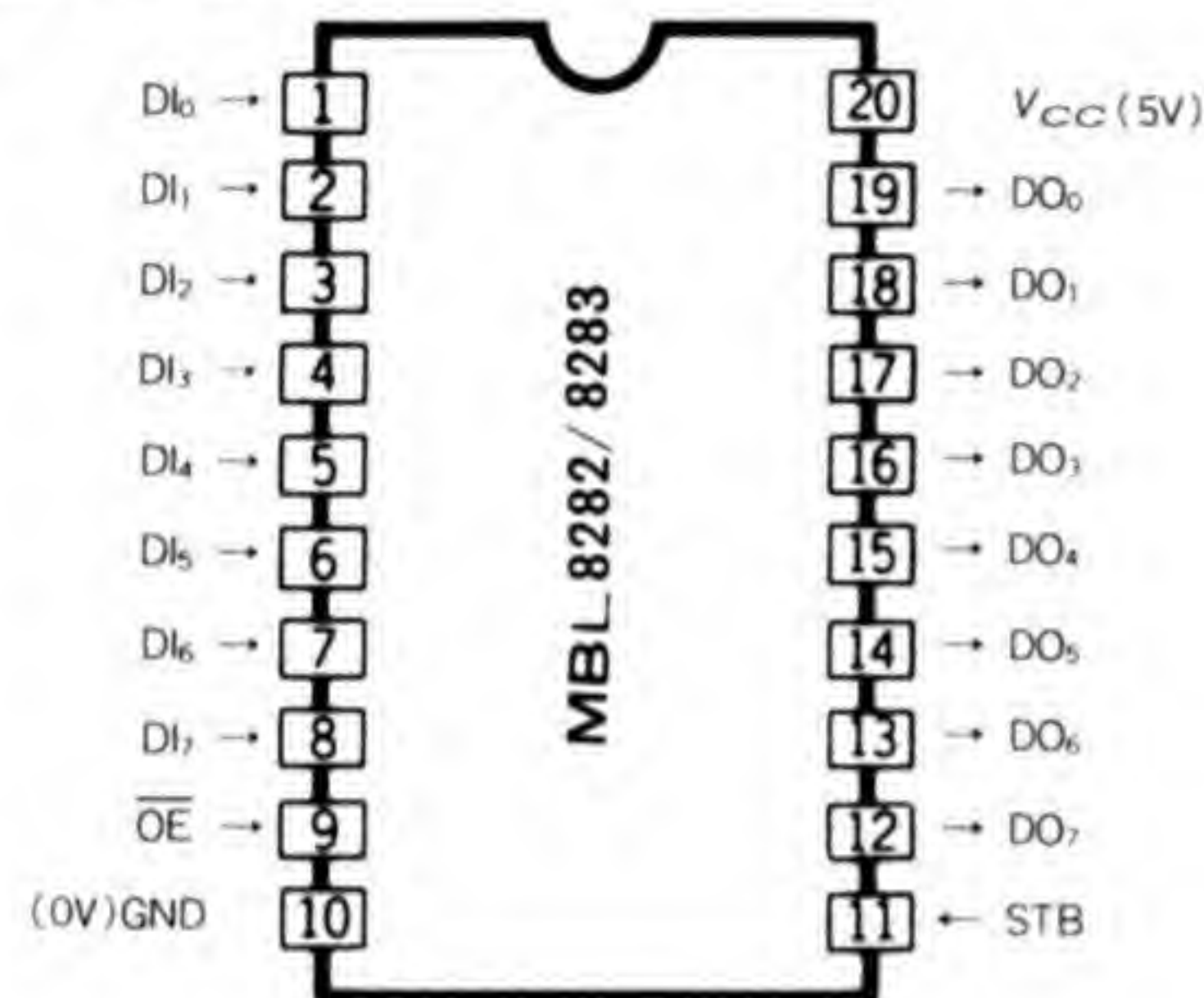
端子名	ピン番号	入出力	機能
SA <sub>0</sub> ~SA <sub>19</sub>	75, 76, 83, 84, 2, 3, 10, 11, 14, 15, 29, 30, 34, 35, 52, 53, 56, 57, 71, 72	入出力	システム・アドレス・バス
A <sub>1</sub> ~A <sub>19</sub>	68, 69, 78, 79, 80, 81, 5~8, 19~24, 36, 50, 51	入力	CPU アドレス・バス・ビット 1
XD <sub>0</sub> ~XD <sub>7</sub>	16~18, 38, 39, 45, 59, 60	入力	ペリフェラル・データ・バス
XDENABLE	9	出力	CPU データ・バス (D バス) とペリフェラル・データ・バス (XT バス) 間の方向コントロール・ビット
CSHDISK	4	出力	ハード・ディスクの選択
CSFLOP	82	出力	フロッピー・ディスクの選択
CSSER	77	出力	シリアル・ポートの選択
CSPAR	70	出力	パラレル・ポートの選択
MODEA/D	25	入力	アドレス/データ・バッファ・モードの選択
ADSTB <sub>8</sub>	26	入力	バイト転送 DMA 上位のアドレス・ストローブ
ADSTB <sub>16</sub>	27	入力	ワード転送 DMA 上位アドレス・ストローブ

端子名	ピン番号	入出力	機能
ENAS	40	入力	REAL TIME CLOCK アドレス・ストローブ・イネーブル, “L” アクティブ
RTCD <sub>S</sub>	41	出力	REAL TIME CLOCK 多重化アドレス・ストローブ, 立ち下がりエッジでアドレスが 146818 にラッチされる
IOR	42	入力	I/O リード, “L” アクティブ
IOW	43	入力	I/O ライト, “L” アクティブ
MASTER	44	入力	外部マスタ, “L” アクティブ
RTCR/W	46	出力	REAL TIME CLOCK リード/ライト
RTCD <sub>S</sub>	47	出力	REAL TIME CLOCK データ・ストローブまたはリード, REAL TIME CLOCK と RAM がリード・データでバスをドライブするときの期間を識別する
KBCS	49	出力	キーボード・チップ・セレクト, “L” アクティブ
ALE	63	入力	アドレス・ラッチ・イネーブル
HLDA	64	入力	ホールド・アクノリッジ
DAEN <sub>2</sub>	65	入力	ワード転送 DMA アドレス出力イネーブル
DAEN <sub>1</sub>	66	入力	バイト転送 DMA アドレス出力イネーブル
REFRESH	67	入力	メモリ・リフレッシュ
SELPIB	62	入力	MCS82020 システムではこのピンは “L” に固定する
RESET	28	入力	システム・リセット



# OL [Octal Latch]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7	V
入力電圧	$V_{IN}$	-1.0~5.5	V
消費電力	$P_D$	1.0	W
動作温度	$T_{OPR}$	0~+70	°C
保存温度	$T_{STG}$	-65~+150	°C

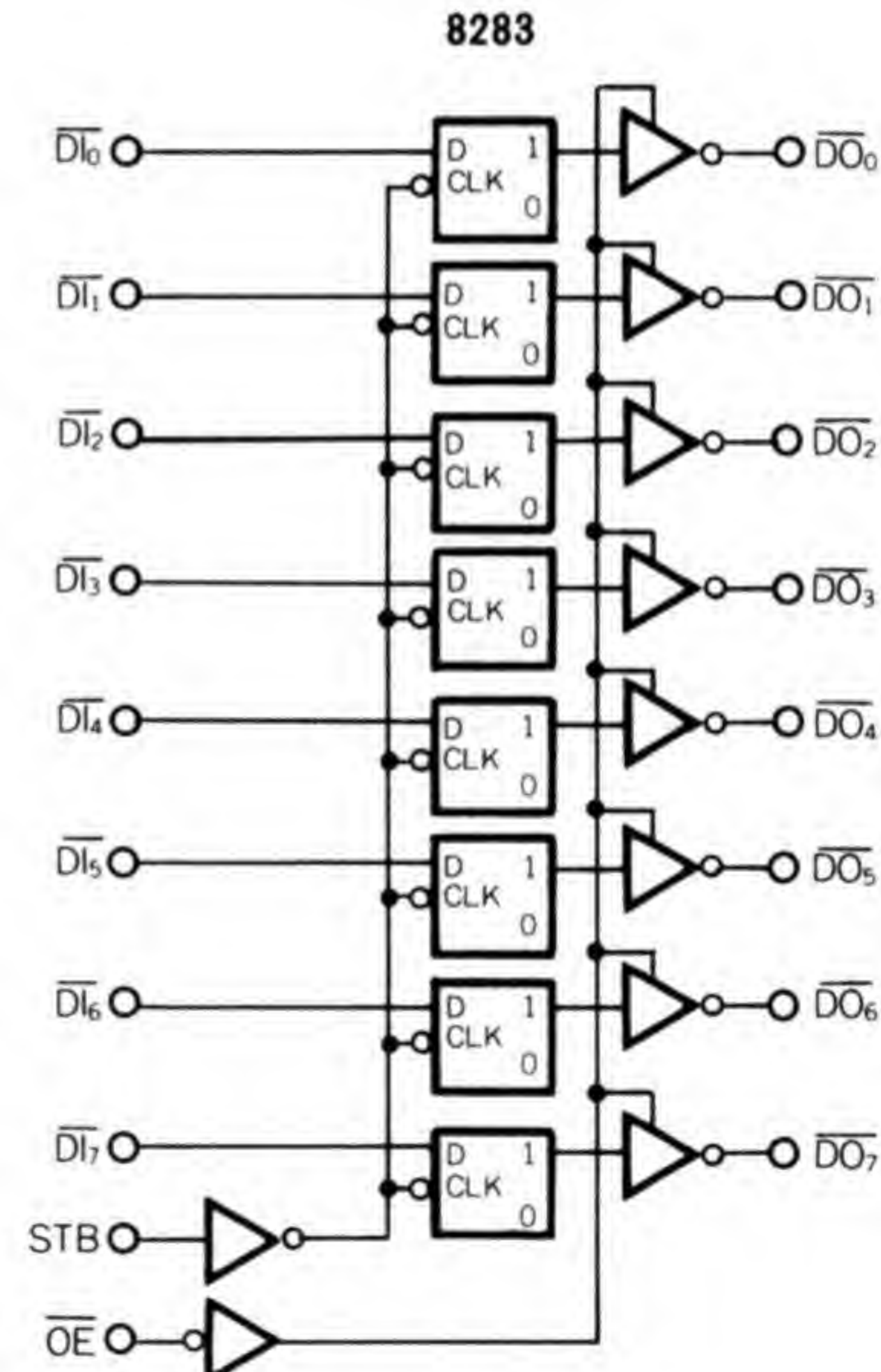
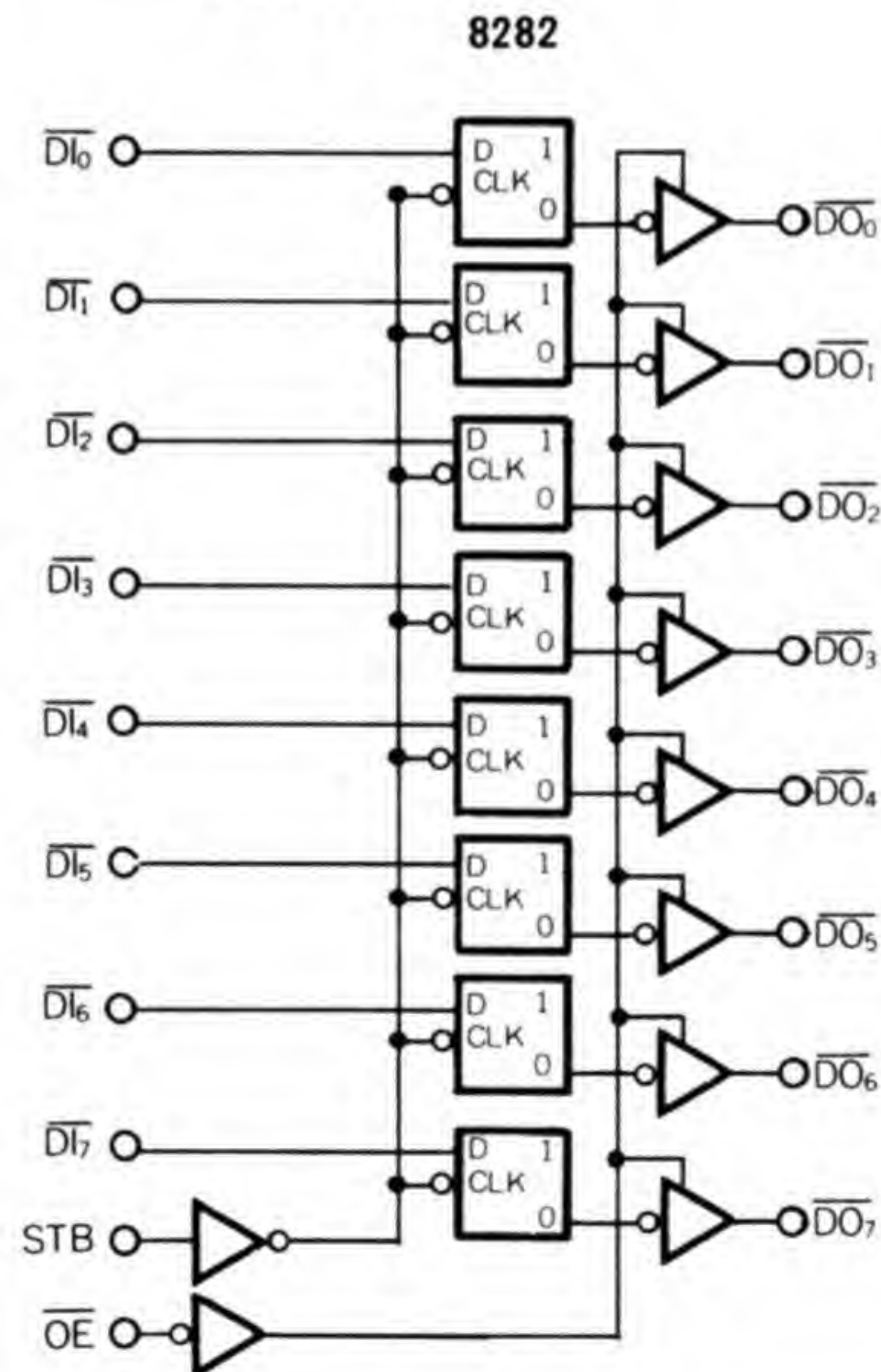
## ■ DC特性

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=32\text{mA}$	0.45	V
$V_{OH}$	$I_{OH}=5\text{mA}$	2.4*	V
$I_{IL}$	$V_{IN}=5.25\text{V}$	50	$\mu\text{A}$
$C_{IN}$		12	pF

## ■ 特徴

- ・ 80系システム・サポート用8ビット・ラッチ
- ・ 8ビット並列データ・レジスタおよびバッファ内蔵  
データ・レジスタはSTB信号によって制御される  
出力バッファはOE信号によって制御される
- ・ 高ドライブ能力をもつシステム・データ・バス出力
- ・ 3ステート出力
- ・ 8282: ノンインバート型  
8283: インバート型

## ■ ブロック図





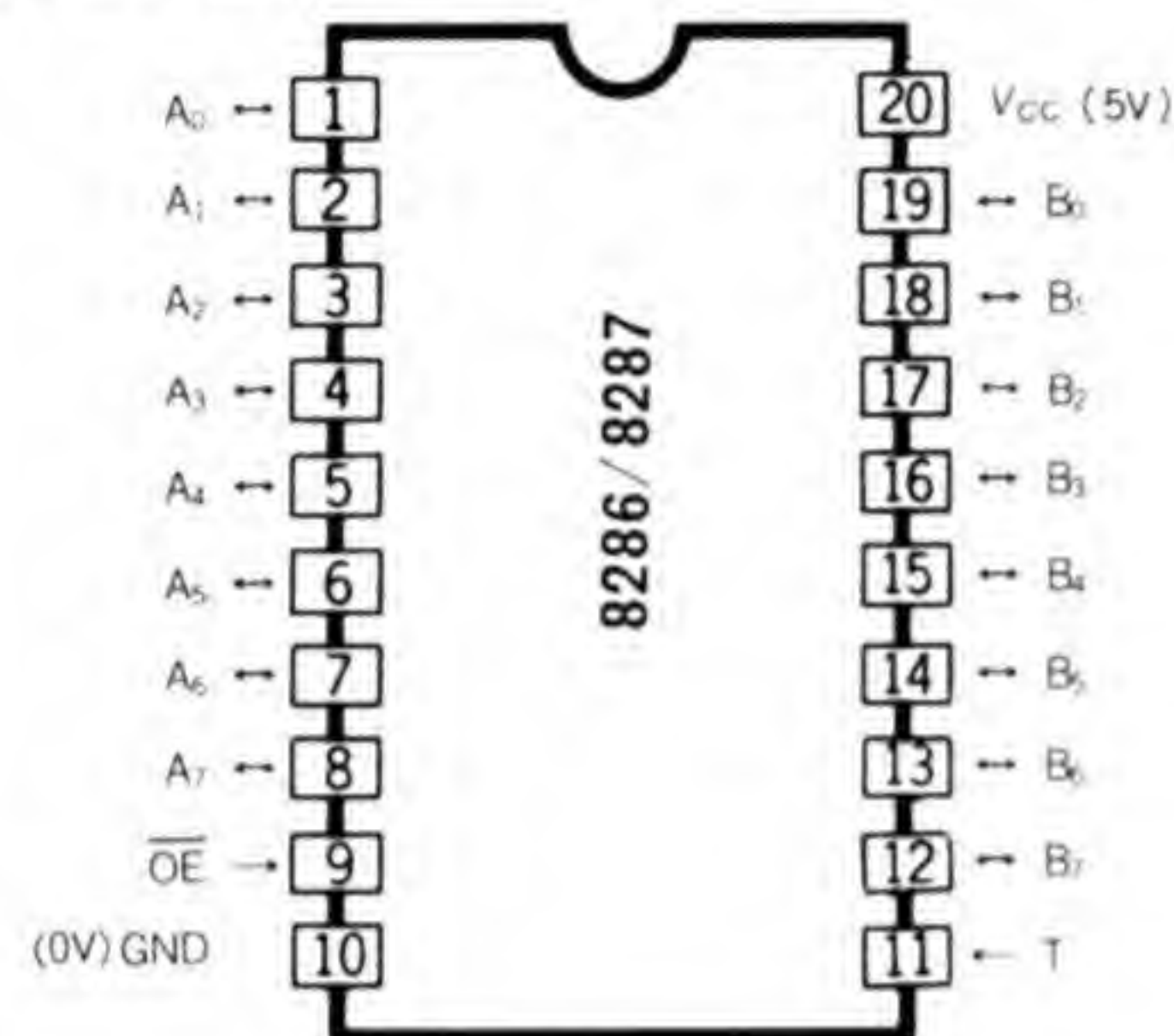
■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
STB	ストロブ(Strobe)	11	入 力	入力データをラッチするためのストロブ信号入力。STB="H"のとき、すべての入力データ(DI <sub>0</sub> ~DI <sub>7</sub> )は、ラッチ内のバッファを通して出力端子(DO <sub>0</sub> ~DO <sub>7</sub> / $\overline{\text{DO}}_0\sim\overline{\text{DO}}_7$ )に送られる(入力データはスルー)。そして、STB信号の"H"から"L"の遷移で、入力データをサンプリングするとともにラッチする
$\overline{\text{OE}}$	アウトプット・イネーブル (Output Enable)	9	入 力	出力バッファのイネーブル/ディセーブル入力。 $\overline{\text{OE}}$ ="L"のとき、入力データ(DI <sub>0</sub> ~DI <sub>7</sub> )またはデータ・ラッチの内容が出力端子(DO <sub>0</sub> ~DO <sub>7</sub> / $\overline{\text{DO}}_0\sim\overline{\text{DO}}_7$ )に出力される。また $\overline{\text{OE}}$ ="H"のとき、出力バッファはハイ・インピーダンス状態になる
DI <sub>0</sub> ~DI <sub>7</sub>	データ入力端子 (Data Input pins)	1~8	入 力	ラッチするデータの入力端子。ここで、すべての入力データが(DI <sub>0</sub> ~DI <sub>7</sub> )STB信号に対して必要なセットアップ・タイムとホールド・タイムを満足していれば、入力データのラッチが行われる
DO <sub>0</sub> ~DO <sub>7</sub> (8282) $\overline{\text{DO}}_0\sim\overline{\text{DO}}_7$ (8283)	データ出力端子 (Data Output pins)	19~12	出 力	データの出力端子。 $\overline{\text{OE}}$ ="L"のとき、入力データ(DI <sub>0</sub> ~DI <sub>7</sub> )またはデータ・ラッチにしていた内容を同相で(8282)、あるいは逆相で(8283)出力する



# BT [Bus Transceiver]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.5~7.0	V
入力電圧	V <sub>IN</sub>	-1.0~5.5	V
消費電力	P <sub>D</sub>	1.0	W
動作温度	T <sub>OPR</sub>	0~+70	°C
保存温度	T <sub>STG</sub>	-65~+150	°C

## ■ DC特性

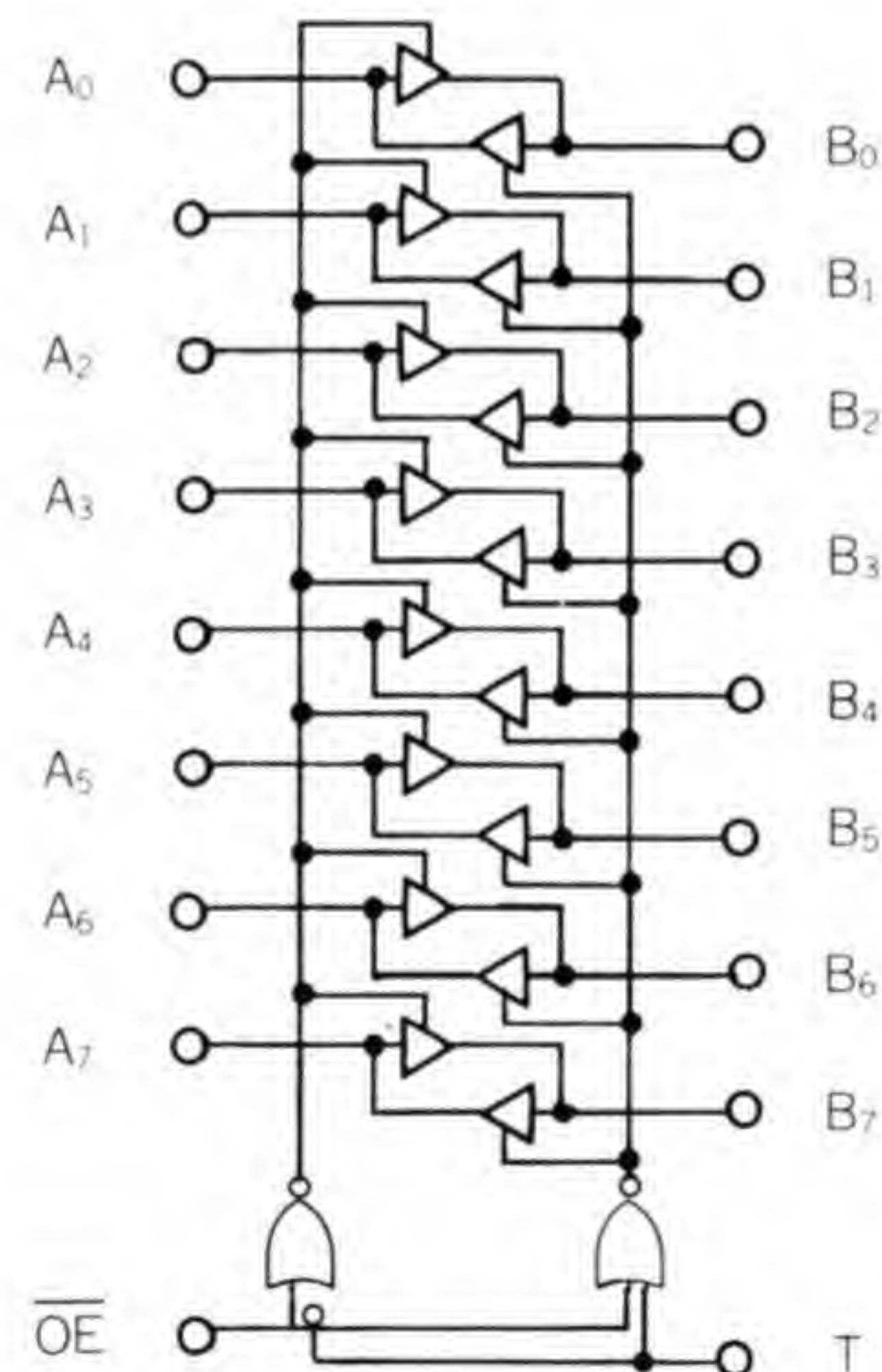
記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.9	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 32 mA	0.45	V
V <sub>OH</sub>	I <sub>OH</sub> = 5 mA	2.4*	V
I <sub>IL</sub>	V <sub>IN</sub> = 5.25 V	50	μA
C <sub>IN</sub>		12	pF

## ■ 特徴

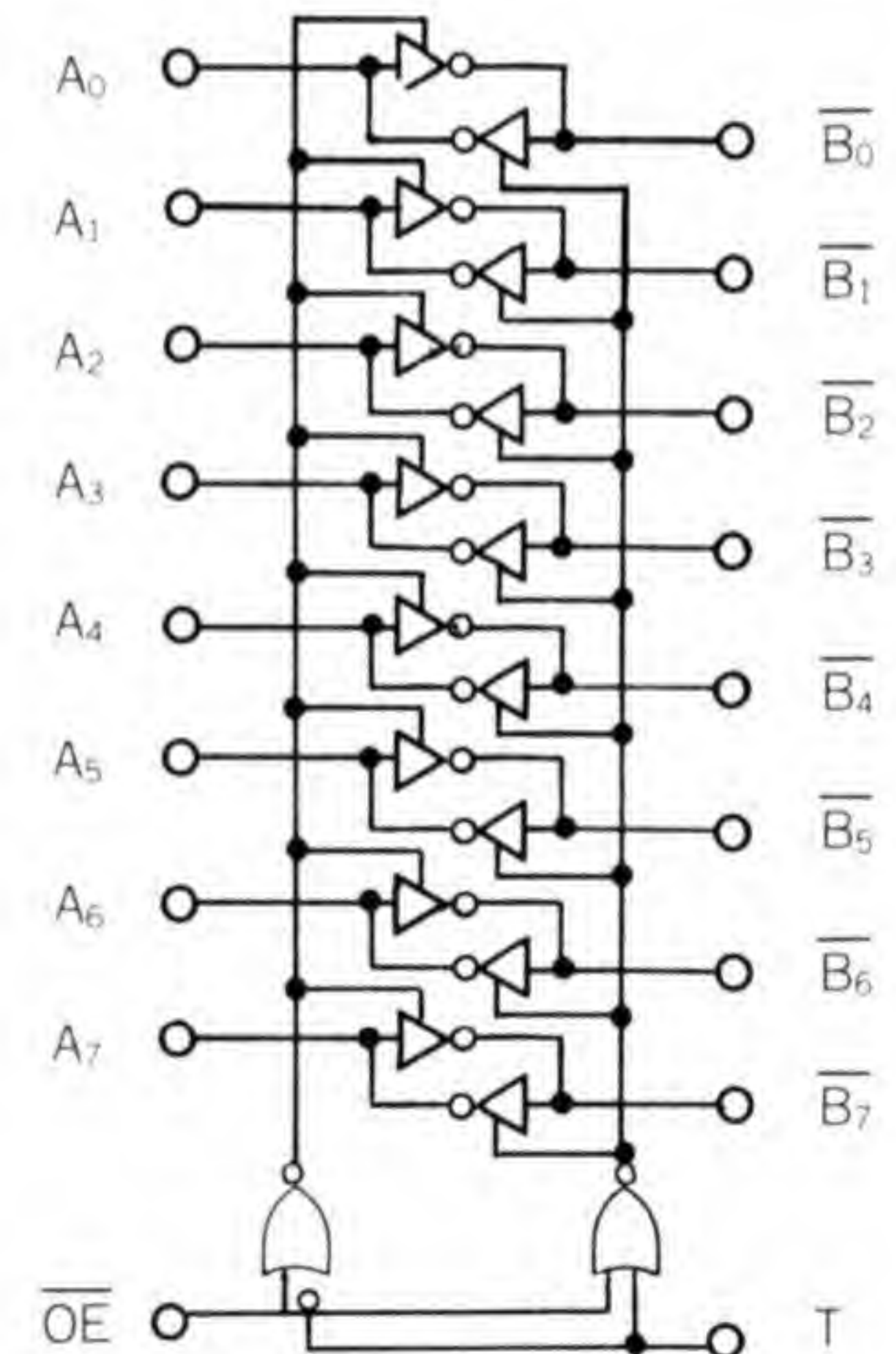
- ・ 80系システム・サポート用双方向バッファ・ドライバ
- ・ 高ドライブ能力をもつシステム・データ・バス出力
- ・ 8ビット並列トランシーバ
- ・ 3ステート出力
- ・ 8286: ノンインバート型
- ・ 8287: インバート型

## ■ ブロック図

8286



8287





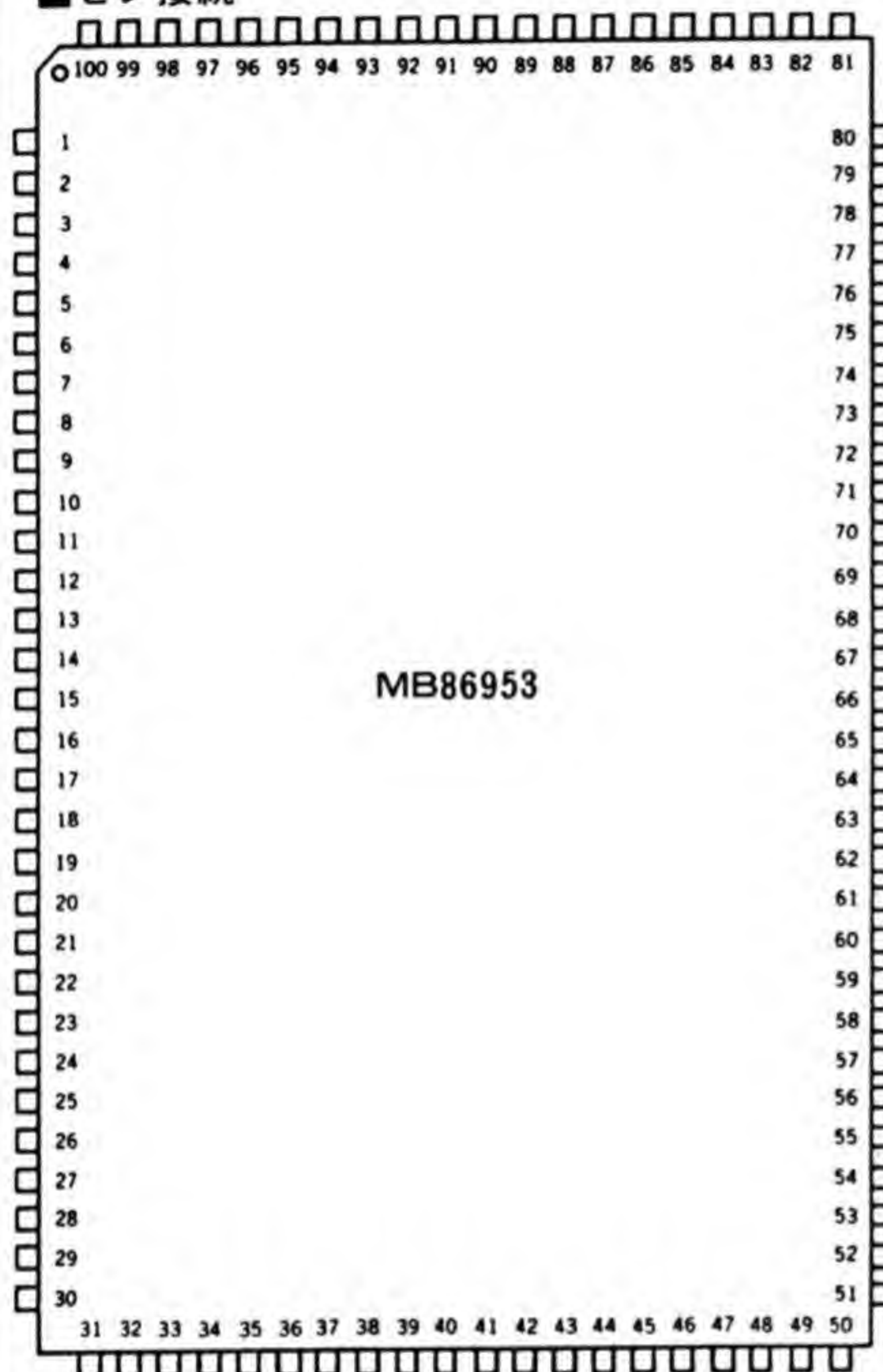
## ■端子機能

端子名	名称	ピン番号	入出力	機能
T	トランスミット (Transmit)	11	入力	トランシーバのデータ転送方向をコントロールする端子。T="H"のとき、Aポート(A <sub>0</sub> ~A <sub>7</sub> )が入力端子、Bポート(B <sub>0</sub> ~B <sub>7</sub> /B <sub>0</sub> ~B <sub>7</sub> )が出力端子となる。また、T="L"のときには、Aポート(A <sub>0</sub> ~A <sub>7</sub> )が出力端子、Bポート(B <sub>0</sub> ~B <sub>7</sub> /B <sub>0</sub> ~B <sub>7</sub> )が入力端子となる。
$\overline{\text{OE}}$	アウトプット・イネーブル (Output Enable)	9	入力	トランスミット信号(T)で選択した出力ポートのドライバをイネーブル/ディセーブルする入力制御端子。ただし、 $\overline{\text{OE}}$ ="H"のときには、すべての出力ドライバは3ステート状態になる。
A <sub>0</sub> ~A <sub>7</sub>	ローカル・バス・データ・ピン (Local Bus Data Pins)	1~8	入出力	CPUのローカル・バスに接続し、CPUとのデータ転送に使用する。また、データの転送方向は、トランスミット信号(T)でコントロールする。
B <sub>0</sub> ~B <sub>7</sub> / B <sub>0</sub> ~B <sub>7</sub>	システム・バス・データ・ピン (System Bus Data Pins)	19~12	入出力	システム・バスに接続し、メモリやI/Oデバイスとのデータ転送に使用する。また、データの転送方向は、トランスミット信号(T)でコントロールする。なお、B <sub>0</sub> ~B <sub>7</sub> は8286、B <sub>0</sub> ~B <sub>7</sub> は8287のシステム・バス・データ・ピンとなっている。



# PBI(PC Bus Interface)

## ■ピン接続



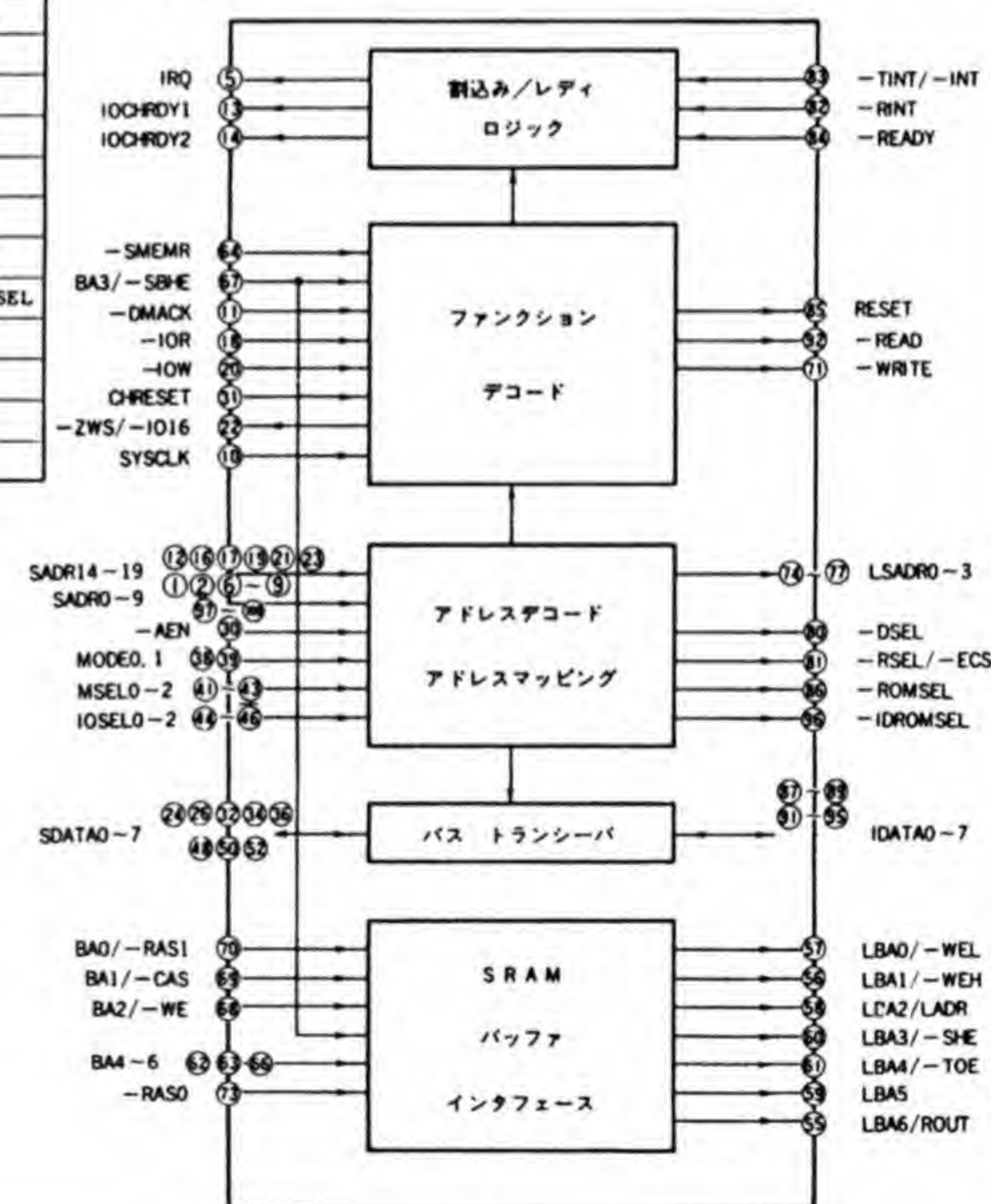
MB86953

端子番号	I/O	端子名称	端子番号	I/O	端子名称	端子番号	I/O	端子名称	端子番号	I/O	端子名称
1	I	SADR4	26	I/O	SDATA1	51	-	N.C.	76	O	LSADR1
2	I	SADR5	27	-	N.C.	52	I/O	SDATA7	77	O	LSADR0
3	-	V <sub>ee</sub>	28	-	V <sub>ee</sub>	53	-	V <sub>ee</sub>	78	-	V <sub>ee</sub>
4	-	GND	29	-	GND	54	-	GND	79	-	GND
5	O	IRQ	30	I	-AEN	55	O	LBA6/-ROUT	80	O	-DSEL
6	I	SADR6	31	I	CHRESET	56	O	LBA1/-WEH	81	O	-RSEL/-ECS
7	I	SADR7	32	I/O	SDATA2	57	O	LBA0/-WEL	82	I	-RINT
8	I	SADR8	33	-	N.C.	58	O	LBA2/LADR	83	I	-TINT/-INT
9	I	SADR9	34	I/O	SDATA3	59	O	LBA5	84	I	-READY
10	I	SYSCLK	35	-	N.C.	60	O	LBA3/-SHE	85	O	RESET
11	I	-DMACK	36	I/O	SDATA4	61	O	LBA4/-TOE	86	O	-ROMSEL
12	I	SADR14	37	-	N.C.	62	I	BA6	87	I/O	IDATA7
13	O	IOCHRDY1	38	I	MODE0	63	I	BA5	88	I/O	IDATA6
14	O	IOCHRDY2	39	I	MODE1	64	I	-SMEMR	89	I/O	IDATA5
15	-	GND	40	-	GND	65	-	GND	90	-	GND
16	I	SADR15	41	I	MSEL2	66	I	BA4	91	I/O	IDATA4
17	I	SADR16	42	I	MSEL1	67	I	BA3/-SHE	92	I/O	IDATA3
18	I	-IOR	43	I	MSEL0	68	I	BA2/-WE	93	I/O	IDATA2
19	I	SADR17	44	I	IOSEL2	69	I	BA1/-CAS	94	I/O	IDATA1
20	I	-IOW	45	I	IOSEL1	70	I	BA0/-RAS1	95	I/O	IDATA0
21	I	SADR18	46	I	IOSEL0	71	O	-WRITE	96	O	-IDROMSEL
22	O	-ZWS/-IO16	47	-	N.C.	72	O	-READ	97	I	SADR0
23	I	SADR19	48	I/O	SDATA5	73	I	-RAS0	98	I	SADR1
24	I/O	SDATA0	49	-	N.C.	74	O	LSADR3	99	I	SADR2
25	-	N.C.	50	I/O	SDATA6	75	O	LSADR2	100	I	SADR3

## ■特徴

- ・LANアダプタとIBM PC XT/ATバスまたは互換PCバスとのインターフェース用LSI
- ・8ビット/16ビット・バスとの接続可能
- ・LANアダプタ回路の部品数低減が可能
- ・MB86950用SRAMバッファ・メモリ・インターフェース回路を内蔵
- ・外部EthernetノードID用ROMのデコーディング

## ■ブロック図



## ■DC 特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 3.2\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 2\text{mA}$	4.0*	V
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	16	pF

## ■最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 6.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$-25 \sim 85$	$^\circ\text{C}$
保存温度	$T_{STG}$	$-40 \sim 125$	$^\circ\text{C}$



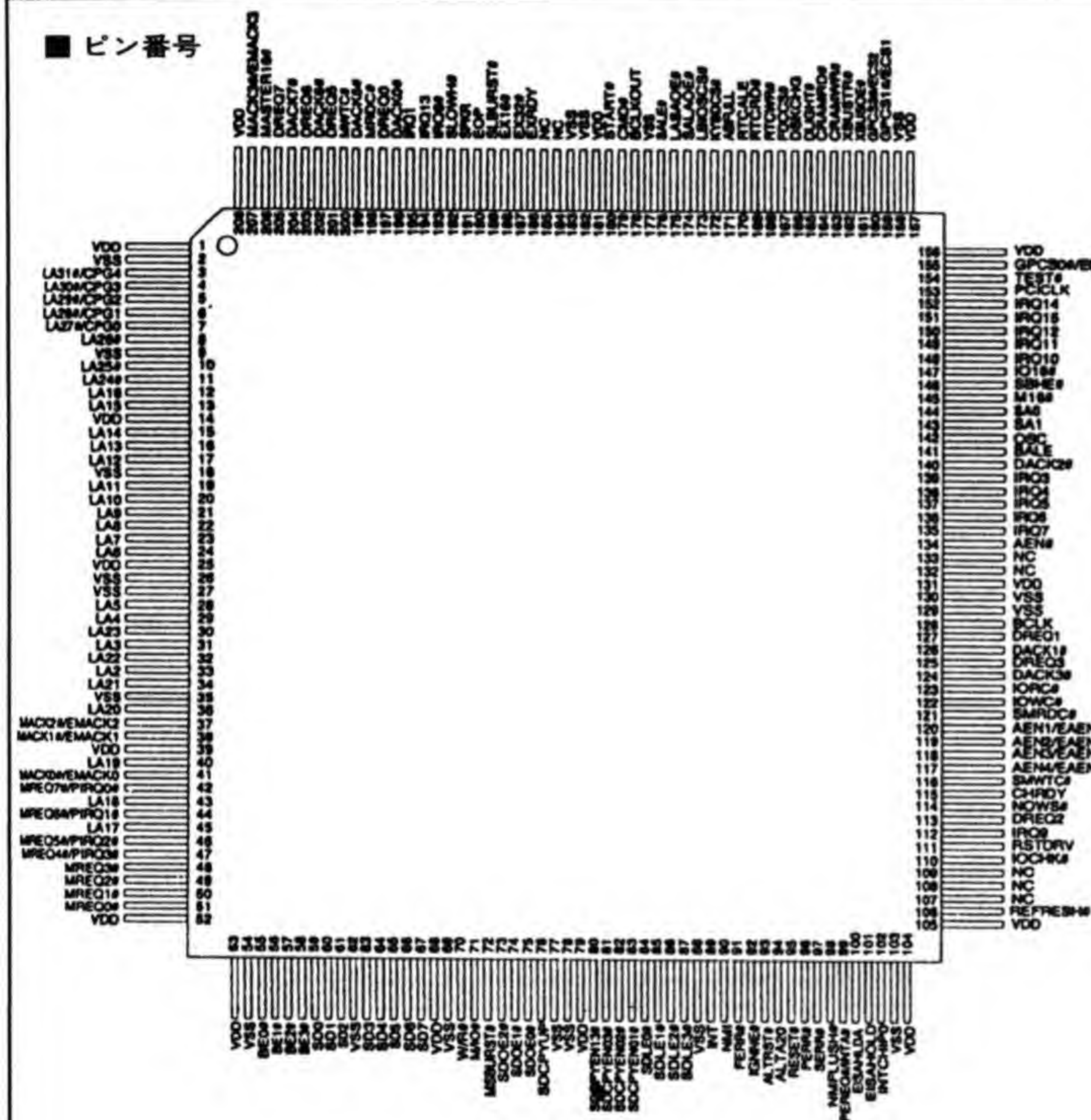
## ■端子機能

端子名	ピン番号	入出力	機能
SADR14~SADR19	12, 16, 17, 19, 21, 23	入力	システム・バスの上位アドレス信号
SADR0~SADR9	1, 2, 6~9, 97~100	入力	システム・バスの下位アドレス信号
-AEN	30	入力	アドレス・イネーブル。システム・アドレス・バス信号が有効であることを示す
MODE0, MODE1	39, 38	入力	デバイスの動作モードを設定するモード・コントロール信号
MSEL0~MSEL2	43~41	入力	メモリ・アドレス・セレクト。-ROMSEL信号が出力されるベース・アドレスを設定する信号
IOSEL0, IOSEL1	44, 46	入力	I/Oアドレス・セレクト。コントローラが配置されるベース・アドレスを設定し、-DSEL, -RSEL, -ECSの出力を制御する
LSADR0~LSADR3	74~77	出力	システム・アドレス・バスが内部でラッチされて、コントローラにアドレス信号として出力される
-DSEL	80	出力	I/O動作がバッファ・メモリ・ポート・レジスタへのアクセスであることを示すデータ・セレクト信号
-RSEL/-ECS	81	出力	I/O動作がデータ・リンク・コントローラ・レジスタへのアクセスであることを示すレジスタ・セレクト信号
-ROMSEL	86	出力	ブートROMセレクト信号。メモリ動作がMSEL0~2信号の設定範囲外であることを示す
-IDROMSEL	96	出力	ID ROMセレクト。I/O動作がID ROMの範囲内であることを示す
-SMEMR	64	入力	システム・メモリ・リード。現在メモリ・リード・サイクル中であることを示す
-IOW	20	入力	I/Oライト。現在、I/Oライト・サイクル中であることを示す
-IOR	18	入力	I/Oリード。現在、I/Oリード・サイクル中であることを示す
-DMACK	11	入力	DMA許可信号
CHRESET	31	入力	チャンネル・リセット信号で、LANアダプタ上のコントローラなどのリセットに使用する
-ZWS/-IO16	22	出力	8ビット・モードではノーウェイト・ステート信号。16ビット・モードではIOチャンネル・サイズが16であることを示す
SYSCLK	10	入力	システム・バスからのクロック信号入力
RESET	85	出力	コントローラなどのリセット用出力
-READ	72	出力	リード・ストロープ信号
-WRITE	71	出力	ライト・ストロープ信号
SDATA0~SDATA7	24, 26, 32, 34, 36, 48, 50, 52	入出力	システム・データ・バスの下位バイト
IDATA0~IDATA7	87~89, 91~95	入出力	内部データ・バス
IOCHRDY1, IOCHRDY2	13, 14	出力	アドレスされたI/Oデバイスがレディであることを示すチャンネル・レディ信号
IRQ	5	出力	割り込み要求出力
-TINT/-INT	83	入力	コントローラの送信割り込みまたはコントローラの割り込み要求入力
-RINT	82	入力	受信割り込み入力
-READY	84	入力	要求されたバス処理動作が実行可能であることを示すレディ入力
-RAS0	73	入力	バッファ・メモリにSRAMを使用する場合のロー・アドレス・ストロープ0
BA0/-RAS1	70	入力	バッファ・アドレス0またはロー・アドレス・ストロープ1
BA1/-CAS	69	入力	バッファ・アドレス1またはコラム・アドレス・ストロープ
BA2/-WE	68	入力	バッファ・アドレス2またはライト・イネーブル信号
BA3/-SBHE	67	入力	バッファ・アドレス3またはソース・データ・バス上位バイト・イネーブル
BA6, BA5, BA4	62, 63, 66	入力	バッファ・アドレス4, 5, 6
LBA0/-WEL	57	出力	ラッチト・バッファ・アドレス0または下位バイト・ライト・イネーブル
LBA1/-WEH	56	出力	ラッチト・バッファ・アドレス1または上位バイト・ライト・イネーブル
LBA2/LADR	58	出力	ラッチト・バッファ・アドレス2またはラッチ・アドレス・ストロープ
LBA3/-SHE	60	出力	ラッチト・バッファ・アドレス3またはソース・データ上位バイト・イネーブル
LBA4/-TOE	61	出力	ラッチト・バッファ・アドレス4またはトランシーバ出力イネーブル
LBA5	59	出力	ラッチト・バッファ・アドレス5
LBA6/-ROUT	55	出力	ラッチト・バッファ・アドレス6またはロー・アドレス・ストロープ出力



# ESC [EISA SYSTEM COMPONENT]

## ■ ピン番号



## ■ DC 特性

( $T_a = 0 \sim 85^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 1\text{mA}$	0.45	V
$V_{OH}$	$I_{IL} = 1\text{mA}$	$V_{CC} - 0.45^*$	V
$I_{OL}$	$V_{OUT} = 0.45 \sim V_{CC}$	$\pm 15$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 15$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$	15	pF

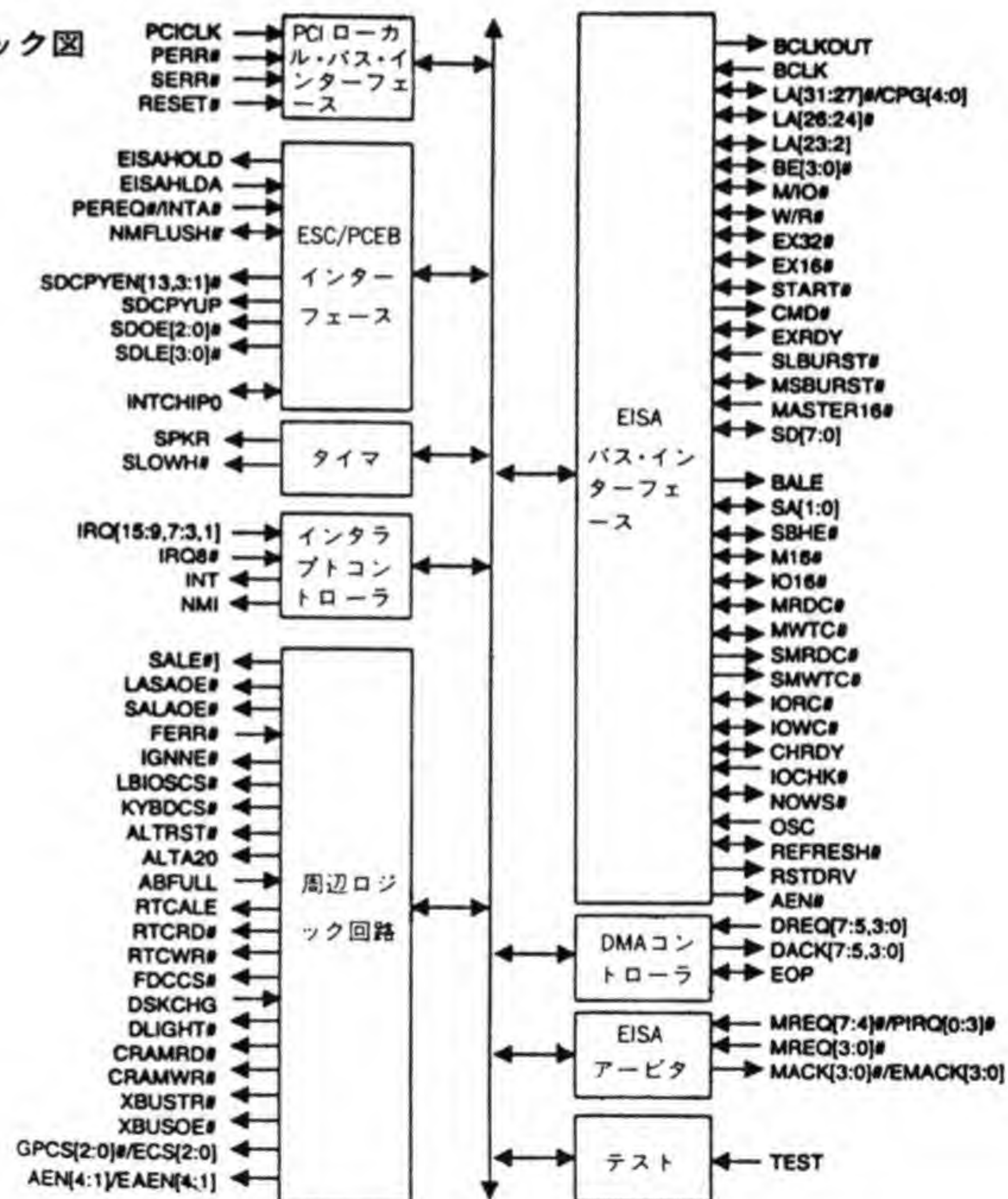
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +5.75$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$0 \sim +85$	$^\circ\text{C}$
保存温度	$T_{STG}$	$-65 \sim +150$	$^\circ\text{C}$

## ■ 特徴

- 82375と組み合わせて、EISA/PCIブリッジおよびEISA/Oサブシステムを構成できる
- EISA コンパチブル・バス・コントローラ
  - EISA と ISA 間のバス・サイクル変換機能
  - EISA のバーストおよびスタンダード・サイクルをサポート
  - ISA のノー・ウェイト・ステート・サイクルをサポート
  - バス周波数8.33MHz までサポート
- 8スロット分のアドレス、データ、コントロール・シグナルを直接ドライブ可能
- 82375および8スロット分の EISA マスターのアービトレーション機能サポート
- 2個の8259インタラプト・コントローラ、2個の8254タイマ相当機能内蔵
- ノン・マスカブル・インタラプトのジェネレーション/コントロール機能内蔵
- BIOS インターフェース内蔵

## ■ ブロック図





## ■ 端子機能

### PCI ローカル・バス・インターフェース

端子名	ピン番号	入出力	機能
PCICLK	153	入 力	25MHz~33MHzのPCIクロック入力
PERR#	96	入 力	データ・パリティ・エラー発生を示す
SERR#	97	入 力	システム・エラー信号
RESET#	95	入 力	システム・リセット信号

### EISA バス・インターフェース

BCLKOUT	178	出 力	EISA バス・クロック出力
BCLK	128	入 力	EISA バス・クロック入力
LA[31:27]# /CPG[4:0]	3~7	入出力	EISA アドレス・バス直結のバス・ライン コンフィグレーション RAM ページ・アドレス
LA[26:24]# LA[23:2]	8, 10, 11 12~45	入出力	EISA アドレス・バス直結のバス・ライン
BE[3:0]#	55~58	入出力	EISA アドレス・バス直結のバイト・イネーブル信号
M/IO#	71	入出力	EISA バスのメモリ・サイクルまたは I/O サイクル識別信号
W/R#	70	入出力	EISA バスのライト・サイクル、リード・サイクル識別信号
EX32#	187	入出力	EISA32ビット・スレーブ・デバイス・デコード
EX16#	188	入出力	EISA16ビット・スレーブ・デバイス・デコード
START#	180	入出力	EISA のスタート・サイクルを示す信号
CMD#	179	出 力	EISA サイクル期間に出力されるコマンド信号
EXRDY	186	入出力	ウェイト・サイクル挿入用の EISA レディ信号
SLBURST#	189	入 力	EISA スレーブのバースト・サイクル信号
MSBURST#	72	入出力	EISA マスターのバースト・サイクル信号
MASTER16#	206	入 力	16ビット EISA バス・マスターまたは ISA バス・マスター
SD[7:0]	59~67	入出力	システム・データ・バス直結のバス・ライン

### ISA バス・シグナル

BALE	141	出 力	バス・アドレス・ラッチ・イネーブル
SA[1:0]	143, 144	入出力	ISA アドレス・ビット 0, 1
SBHE#	146	入出力	ISA バイト・ハイ・イネーブル
M16#	145	入出力	メモリ・チップ・セレクト 16
IO16#	147	入出力	16ビット I/O チップ・セレクト
MRDC#	198	入出力	ISA メモリ・デバイスのリード・サイクルを示すメモリ・リード
MWTC#	200	入出力	ISA メモリ・デバイスのライト・サイクル信号
SMRDC#	121	出 力	システム・メモリ・リード信号
SMWTC#	116	出 力	システム・メモリ・ライト信号
IORC#	123	入出力	ISA I/O スレーブ・デバイス用 I/O リード信号
IOWC#	122	入出力	ISA I/O スレーブ・デバイス用 I/O ライト信号
CHRDY	115	入出力	I/O チャンネル・レディ信号
IOCHK#	110	入 力	I/O チャンネル・チェック信号
NOWS#	114	入出力	ゼロ・ウェイト・ステート・バス・サイクル要求信号
OSC	142	入 力	オシレータ信号入力
RSTDV#	111	出 力	ISA バスのデバイスへのリセット・ドライブ信号
REFRESH#	106	入出力	リフレッシュ・サイクル表示信号
AEN#	134	出 力	アドレス・イネーブル信号
AEN[4:1]/ EAEN[4:1]	117~120	出 力	スロット・スペシフィック・アドレス・イネーブル信号 エンコードド・スロット・スペシフィック・アドレス・イネーブル 信号

### DMA シグナル

DREQ [7:5, 3:0]	113~205	入 力	DMA リクエスト信号
DACK# [7:5, 3:0]	124~204	出 力	DMA アクノリッジ信号
EOP	190	入出力	ISA バスの TC 信号直結のエンド・オブ・プロセス

### EISA アービトレーション・シグナル

MREQ[3:0]#	48~51	入 力	EISA バス・マスタ・リクエスト信号
MREQ[7:4]# PIRQ[0, 3]#	42~47	入 力	EISA バス・マスタ・リクエスト信号 PCI 割り込みリクエスト信号
MACK[3:0]# EMACK[3:0]	37~207	出 力	マスタ・アクノリッジ信号 エンコードド・マスタ・アクノリッジ信号

### タイマ・ユニット・シグナル

SPKR	191	出 力	タイマ1, カウンタ2の出力でスピーカ・ドライブ信号
SLOWH#	192	出 力	タイマ2, カウンタ2の出力でスロー・ダウン CPU 信号

### インタラプト・コントローラ・シグナル

IRQ[15:9] IRQ8# IRQ[7:3, 1]	112~194 193 135~195	入 力	インタラプト・リクエスト信号
INT	89	出 力	CPU インタラプト
NMI	90	出 力	ノン・マスカブル・インタラプト

### 82374/82375 インターフェース・シグナル

EISAHOLD	101	出 力	EISA バス・コントロール要求用の EISA ホールド信号
EISAHLDA	100	入 力	EISA ホールド・アクノリッジ信号
PEREQ# /INTA#	99	入 力	PCI-EISA リクエスト/インタラプト・アクノリッジ
NMFLUSH#	98	入出力	82374, 82375間のフラッシュ・コントロール用ハンドシェイク
INTCHIP0	102	入出力	チップ間リザーブ信号
SDCPYEN [01:03]#	81~83	出 力	バイト・コピー・イネーブル信号
SDCPYEN13#	80	出 力	バイト・コピー動作方向制御信号
SDCPYUP	76	出 力	バイト・コピー動作方向制御信号
SDOE[2:0]#	73~75	出 力	システム・データ・アウトプット・イネーブル
SDLE[3:0]#	84~87	出 力	システム・データ・ラッチ・イネーブル

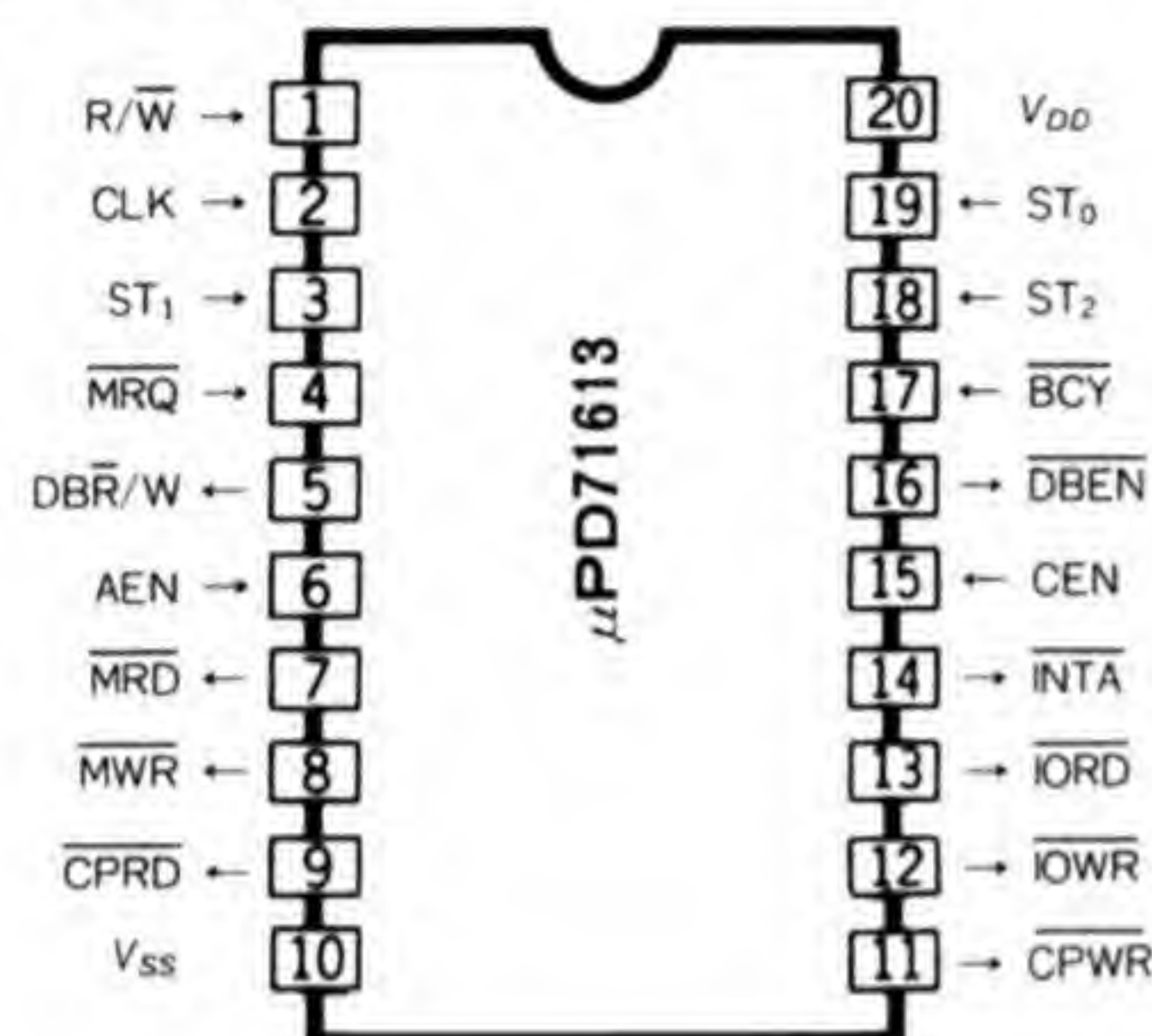
### その他

SALE#	176	出 力	SA ラッチ・イネーブル信号
LASAOE#	175	出 力	LA-SA アドレス出力イネーブル
SALAOE#	174	出 力	SA-LA アドレス出力イネーブル
FERR#	91	入 力	ニューメリック・コプロセッサ・エラー
IGNNE#	92	出 力	イグノア・エラー
LBIOCS#	173	出 力	ラッチド BIOS チップ・セレクト
KYBDCS#	172	出 力	キーボード・チップ・セレクト
ALTRST#	93	出 力	オルタネート・リセット信号
ALTA20	94	出 力	オルタネート A20
ABFULL	171	入 力	補助バッファ・フル信号
RTCALE	170	出 力	リアルタイム・クロック・アドレス・ラッチ・イネーブル
RTCRD#/ PIRQ3 #	169	入出力	リアル・タイム・クロック・リード・コマンド PCI インタラプト・リクエスト 3
RTCWR#/ PIRQ2#	168	入出力	リアル・タイム・クロック・ライト・コマンド PCI インタラプト・リクエスト 2
FDCCS#/ PIRQ1#	167	入出力	フロッピー・ディスク・コントローラ・チップ・セレクト PCI インタラプト・リクエスト 1
DSKCHG	166	入 力	FD コントローラに直結するディスク・チェンジ信号
DLIGHT#/ PIRQ0#	165	入出力	固定ディスク・アクティビティ・ライト信号 PCI インタラプト・リクエスト 0
CRAMRD#	164	出 力	コンフィグレーション RAM リード・コマンド信号
CRAMWR#	163	出 力	コンフィグレーション RAM ライト・コマンド信号
XBUSTR#	162	出 力	X-バス・データ送信/受信
XBUSOE#	161	出 力	X-バス・データ出力イネーブル
GPCS[2:0]# /ECS[2:0]	155~160	出 力	汎用チップ・セレクト信号 チップ・セレクト・エンコード信号



# SBC (System Bus Controller)

## ■ ピン接続



## ■ 特 徴

- ・ V60 システム・バスをサポートするシステム・バス・コントローラ
- ・ V60 からのステータス信号およびタイミング信号を受けて、コプロセッサ、メモリおよび I/O ペリフェラルの各制御コマンドを生成、出力する (3 ステート)  
リード/ライト・ストロブ信号  
インタラプト・アクノリッジ信号  
データ・バス・コントロール信号
- ・ 大出力ドライブ電流 (16 mA)

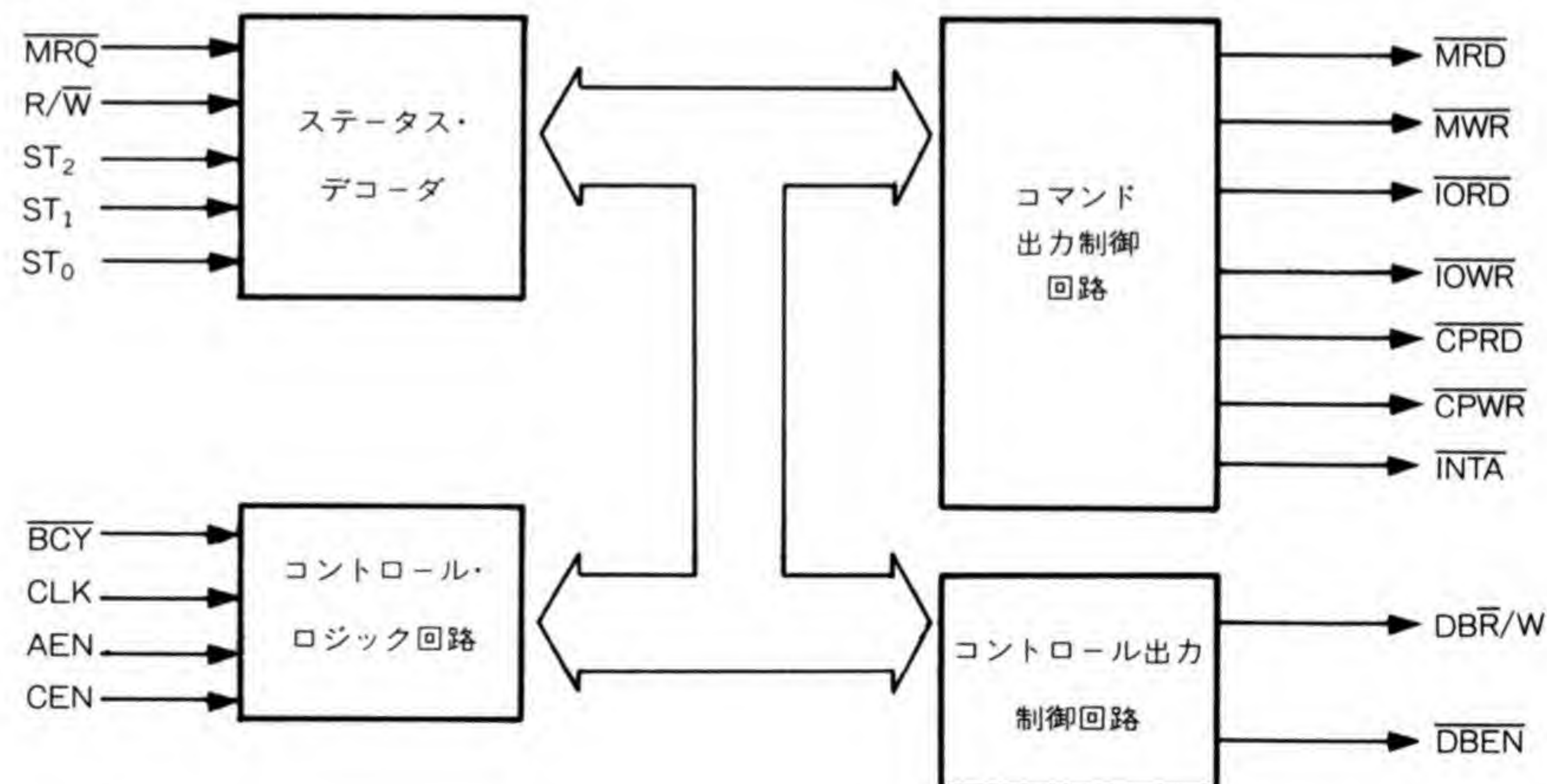
## ■ 最大定格

項 目	記 号	定 格	単 位
電源電圧	$V_{DD}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-1.0 \sim V_{DD} + 1.0$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	$-40 \sim +85$	°C
保存温度	$T_{STG}$	$-60 \sim +150$	°C

## ■ DC特性

記号	測 定 条 件	max/min*	単 位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 8 \text{ mA}$	0.45	V
$V_{OH}$	$I_{OH} = 4 \text{ mA}$	$V_{CC} - 0.8^*$	V
$I_{OL}$		$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 1$	$\mu\text{A}$
$C_{IN}$		12	pF

## ■ ブロック図





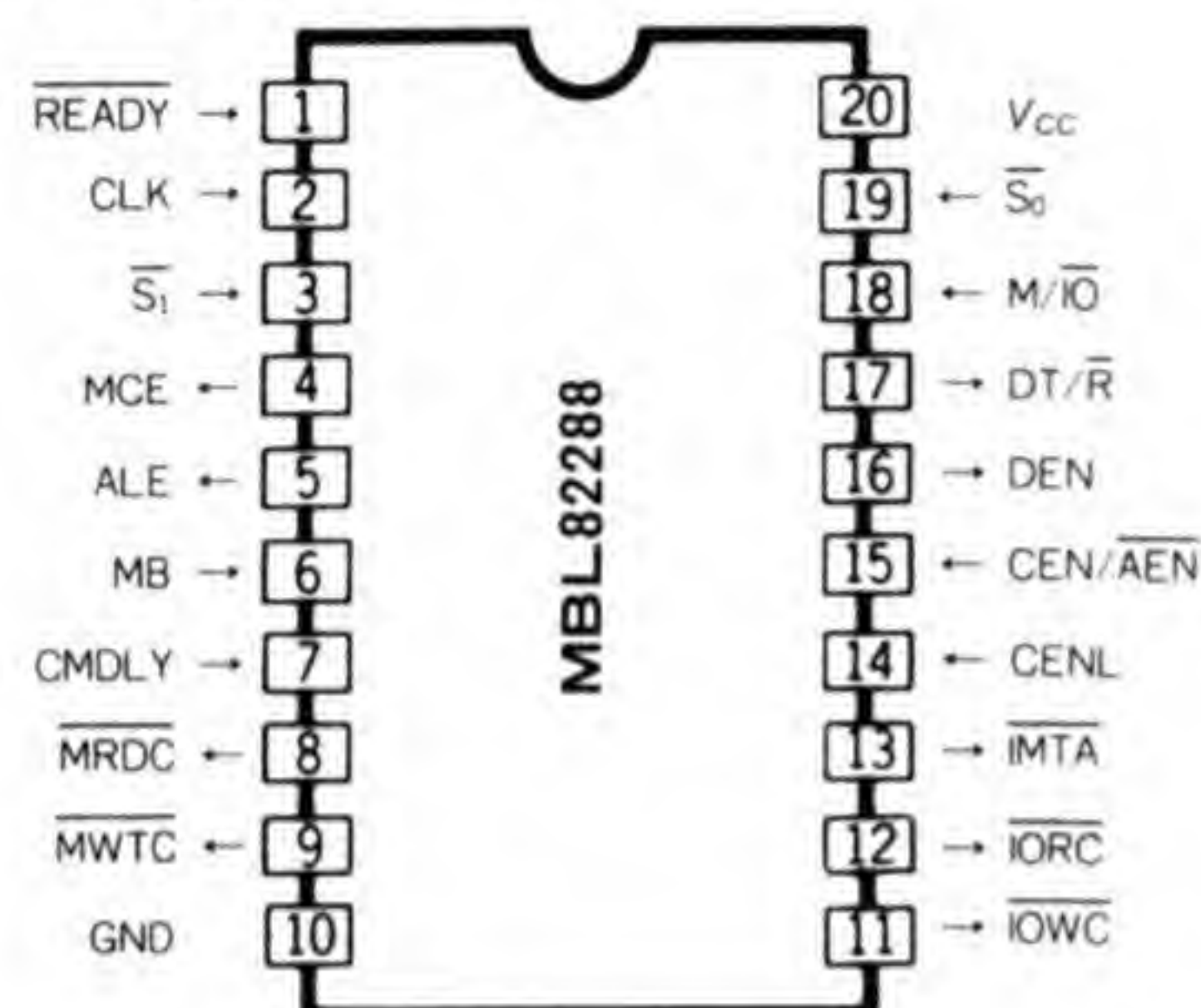
## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
ST <sub>0</sub> ~ST <sub>2</sub>	ステータス信号	19, 3, 18	入 力	CPU からのステータス信号を入力
$\overline{\text{MRQ}}$	メモリ・リクエスト	4	入 力	CPU からの $\overline{\text{MRQ}}$ 信号を入力
R/ $\overline{\text{W}}$	リード/ライト	1	入 力	CPU からの R/ $\overline{\text{W}}$ 信号を入力
$\overline{\text{BCY}}$	バス・サイクル	17	入 力	CPU からの $\overline{\text{BCY}}$ 信号を入力
CLK	クロック	2	入 力	CPU と同じクロックを供給
AEN	アドレス・イネーブル	6	入 力	コマンド出力バッファ制御信号. AEN="H" で出力イネーブル, AEN="L" でコマンド出力端子をハイ・インピーダンスにする
CEN	コマンド・イネーブル	15	入 力	コマンド出力制御信号. CEN="H" のときコマンド信号および DBEN 信号をアクティブにし, CEN="L" のときイン・アクティブにする
$\overline{\text{MRD}}$	メモリ・リード	7	出 力	メモリ・リード信号
$\overline{\text{MWR}}$	メモリ・ライト	8	出 力	メモリ・ライト信号
$\overline{\text{IORD}}$	I/O リード	13	出 力	I/O リード信号
$\overline{\text{IOWR}}$	I/O ライト	12	出 力	I/O ライト信号
$\overline{\text{CPRD}}$	コプロセッサ・リード	9	出 力	コプロセッサ・リード信号
$\overline{\text{CPWR}}$	コプロセッサ・ライト	11	出 力	コプロセッサ・ライト信号
$\overline{\text{INTA}}$	インタラプト許可	14	出 力	割り込み要求に対する CPU からの割り込み許可信号を出力
DBEN	データ・バス・イネーブル	16	出 力	データ・バス・バッファの制御信号. DBEN="L" のとき, CPU とメモリ・周辺デバイス間のデータ転送が可能となるようにする
DB $\overline{\text{R}}$ /W	データ・バス・リード/ライト	5	出 力	データ・バスの入出力モード制御信号. DB $\overline{\text{R}}$ /W="H" のとき CPU からデータを出力する CPU ライト・モード, DB $\overline{\text{R}}$ /W="L" のとき外部からデータを読み込む CPU リード・モードを示す
V <sub>DD</sub>	電源	20	—	電源
V <sub>SS</sub>	グラウンド	10	—	グラウンド



# BC [Bus Controller]

## ■ ピン接続



## ■ 特 徴

- ・ 80286用バス・コントローラ
- ・ マルチバスおよび非マルチバスの2タイプのバスをサポートしている
- ・ アドレス・ラッチの制御, データ・トランシーバの制御、標準レベルのコマンド出力を行うために使用される
- ・ ローカルおよびシステム・バスのためのコマンドおよびコントロール信号を生成する
- ・ データ・バスはデータ・イネーブルおよび方向制御

## ■ 最大定格

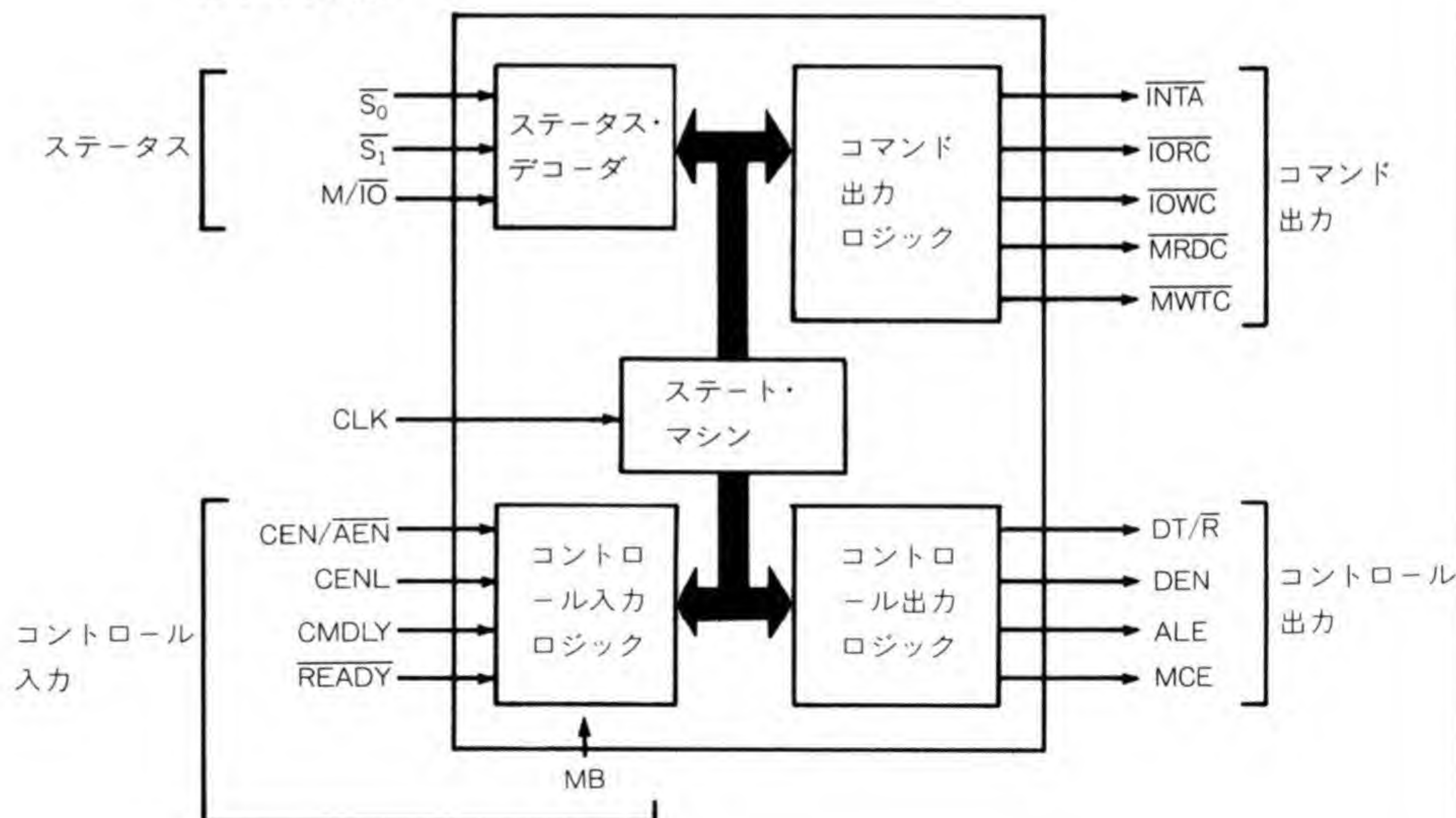
項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
消費電力	$P_D$	1	W
動作温度	$T_{OPR}$	0~+70	°C
保存温度	$T_{STG}$	-65~+150	°C

## ■ DC特性

( $T_a = 0 \sim +70^{\circ}\text{C}$   $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測 定 条 件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 16\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 1\text{mA}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0.45 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		10	pF

## ■ ブロック図





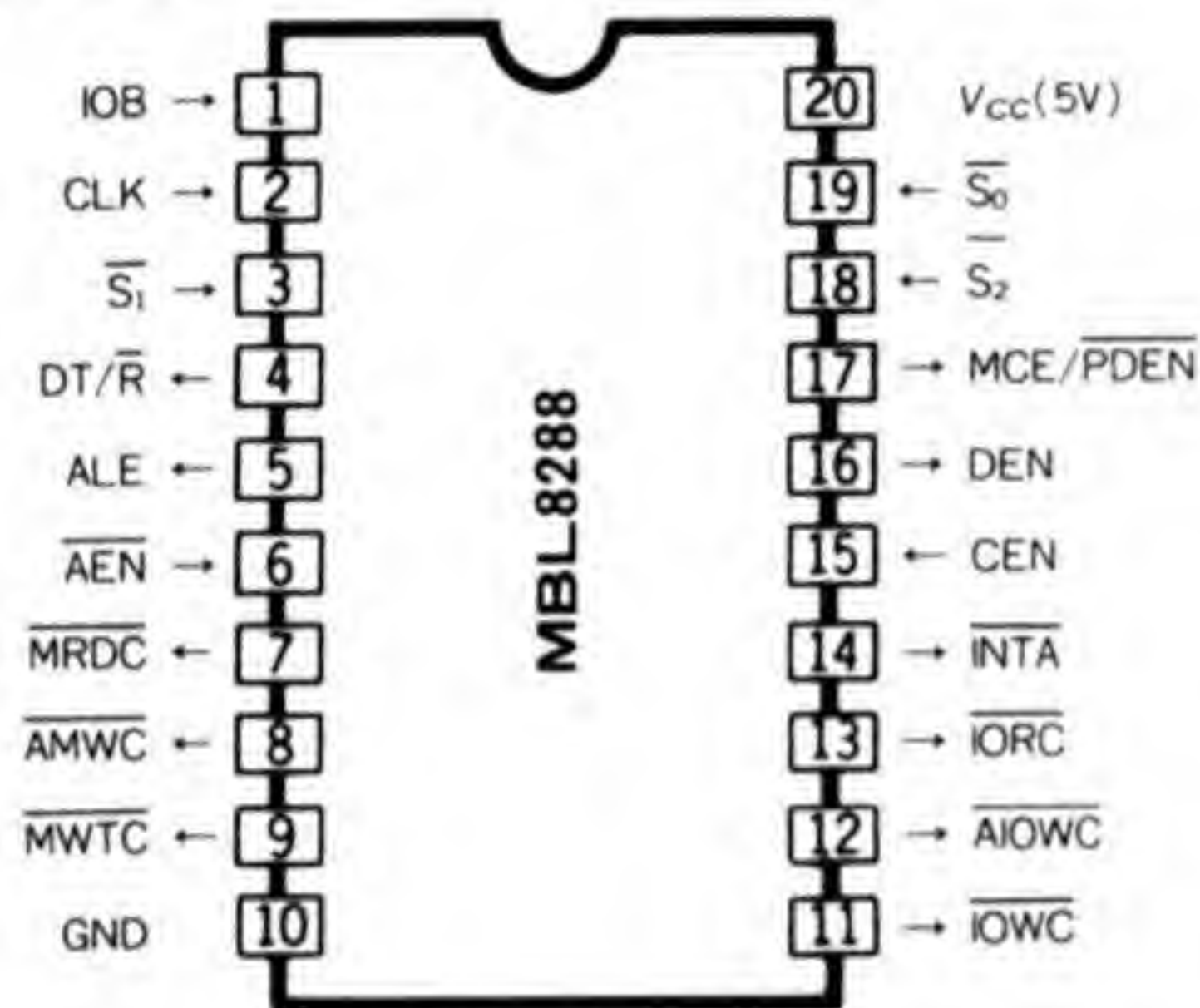
## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
CLK	クロック	2	入 力	80286システムにおける82288の基本的なタイミング制御を行う。この入力の周波数は内部プロセッサ・クロック周波数の2倍
$\overline{S_0}, \overline{S_1}$	バス・サイクル・ステータス	19, 3	入 力	バス・サイクルを開始し、 $M/\overline{IO}$ と共にバス・サイクルのタイプを決定
$M/\overline{IO}$	メモリ/IO セレクト	18	入 力	現在のバス・サイクルが、メモリ空間またはI/O空間のどちらで実行されているのかを決定
MB	モード・セレクト	6	入 力	コマンドおよびコントロール出力のタイミングを決定
CENL	コマンド・イネーブル・ラッチ	14	入 力	バス・コントローラに現在のバス・サイクルを開始させるためのバス・コントローラの選択信号
CMDLY	コマンド・ディレイ	7	入 力	コマンドの開始を遅らせる信号
$\overline{READY}$	レディ	1	入 力	現在のバス・サイクルの終了を示す
CEN/ AEN	コマンド・イネーブル/ アドレス・イネーブル	15	入 力	バス・コントローラのコマンドおよびDEN出力を制御。この入力はCLKに同期させる必要はないが、同期入力が確実に応答できるように、指定されているセットアップおよびホールド・タイムが必要
ALE	アドレス・ラッチ・イネーブル	5	出 力	80286から出力されるアドレスを外部のアドレス・ラッチでラッチするために使用
MCE	マスタ・カスケード・イネーブル	4	出 力	マスタの8259A割り込みコントローラからのカスケード・アドレスを、ALEで制御されるアドレス・ラッチでラッチするためにCPUのアドレス・バスに出力してもよいことを示す
DEN	データ・イネーブル	16	出 力	データ・バスに接続されているデータ・トランシーバをイネーブルにするタイミングを決定
DT/ $\overline{R}$	データ・トランスミット/レシーブ	17	出 力	データ・バス上のデータの入出力の方向を決定
$\overline{IOWC}$	I/O ライト・コマンド	11	出 力	I/O デバイスへのデータがデータ・バス上に出力されていることを示す
$\overline{IORC}$	I/O リード・コマンド	12	出 力	I/O デバイスにデータをデータ・バス上へ出力することを指示する
$\overline{MWTC}$	メモリ・ライト・コマンド	9	出 力	メモリ・デバイスへのデータがデータ・バス上に出力されていることを示す
$\overline{MRDC}$	メモリ・リード・コマンド	8	出 力	メモリ・デバイスにデータをデータ・バス上へ出力することを指示する
$\overline{INTA}$	割り込み応答	13	出 力	割り込み要求が認められたことを、割り込みを発生したデバイスに知らせる
$V_{CC}$	電源	20	—	+ 5 V 電源
GND	グラウンド	10	—	グラウンド



# BC [Bus Controller]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~5.5	V
消費電力	$P_D$	1.5	W
動作温度	$T_{OPR}$	0~+70	°C
保存温度	$T_{STG}$	-65~+150	°C

## ■ DC特性

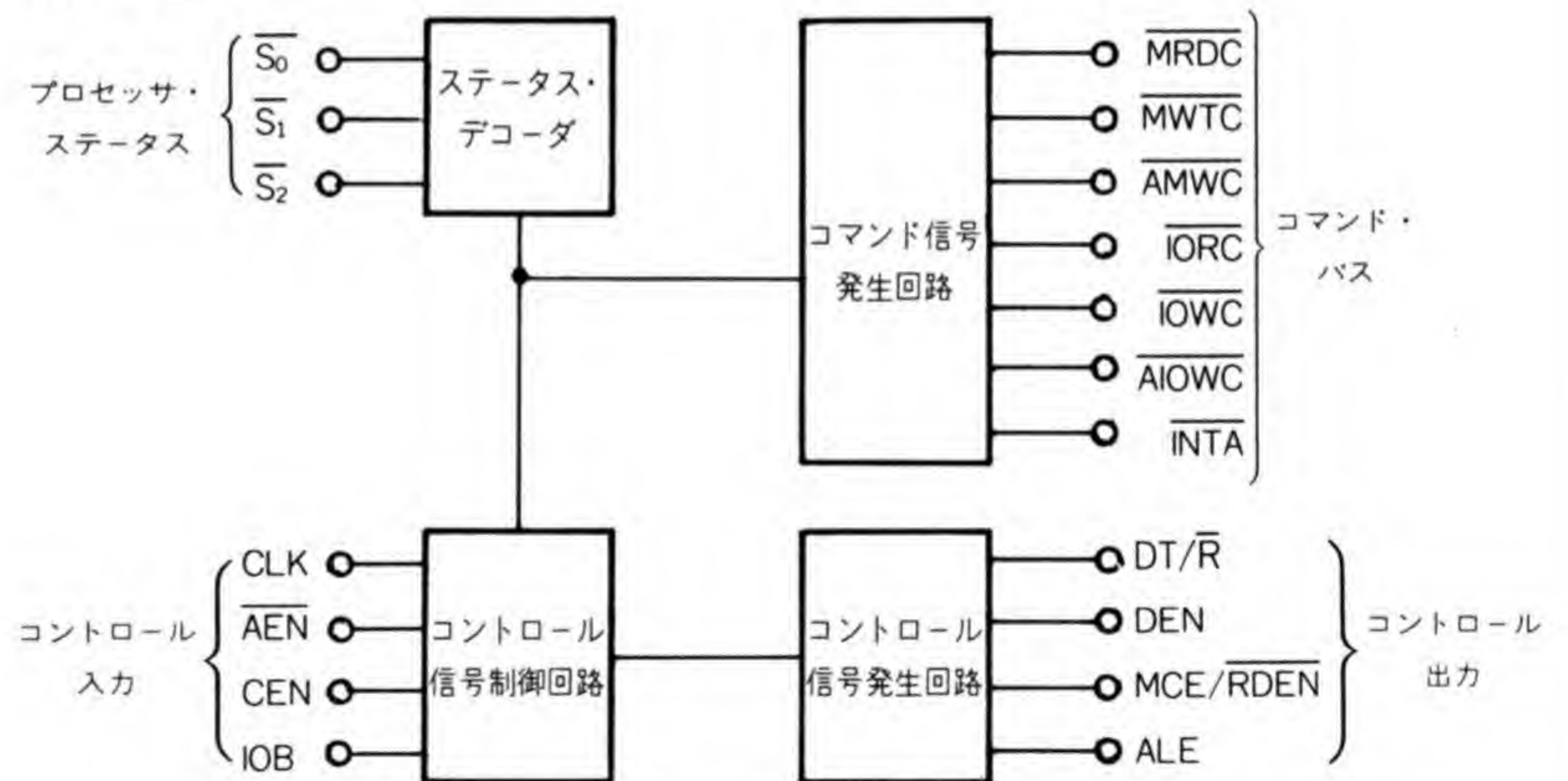
( $T_a=0\sim+70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=16\text{mA}$	0.5	V
$V_{OH}$	$I_{OH}=1\text{mA}$	2.4*	V
$I_{OL}$	$V_{OUT}=0.4\sim 5.25\text{V}$	100	$\mu\text{A}$
$I_{IL}$	$V_{IN}=V_{CC}$	50	$\mu\text{A}$

## ■ 特徴

- ・ 8086/8088システム用バス・コントローラ
- ・ 広範囲のシステム構成に適用可能
- ・ 8086/8088または8089の出力するステータス信号を解読する
- ・ バス・アービタからの制御信号の入力端子を備えており、マルチ・マスタ構成可能
- ・ I/Oバスおよびシステム・バスの制御可能
- ・ 3ステート・コマンド・ドライバ内蔵
- ・ アドバンスト・ライト・コマンド信号発生

## ■ ブロック図





■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
$\overline{S_0}, \overline{S_1}, \overline{S_2}$	ステータス入力	19, 3, 18	入 力	CPUが出力するステータス信号( $\overline{S_2}, \overline{S_1}, \overline{S_0}$ )の入力端子。8288はこのステータス信号を解釈し適当なタイミングでコマンド信号、コントロール信号を発生する
CLK	クロック	2	入 力	8284(クロック・ジェネレータ/ドライバ)が出力するクロック信号の入力端子
$\overline{AEN}$	アドレス・イネーブル	6	入 力	I/Oバス・モード( $IOB="H"$ )にあるとき、I/Oコマンドは $\overline{AEN}$ 信号に関係なく有効。システム・バス・モード( $IOB="L"$ )にあるとき、 $\overline{AEN}="H"$ ではI/Oコマンドとメモリ・コマンドは3ステートである。 $\overline{AEN}="L"$ ではI/Oコマンドとメモリ・コマンドは両方とも有効
CEN	コマンド・イネーブル	15	入 力	CEN端子を“L”にすると、8288のコマンド出力およびDEN、 $\overline{PDEN}$ コントロール出力はインアクティブ状態になる。“H”にすると上記出力が有効となる
IOB	I/Oバス・モード	1	入 力	8288の使用バス・モードおよびMCE/ $\overline{PDEN}$ 端子の機能を決定するための選択端子
$\overline{MRDC}$	メモリ・リード・コマンド	7	出 力	メモリ・デバイスのリード・ストロブ信号
$\overline{MWTC}$	メモリ・ライト・コマンド	9	出 力	メモリ・デバイスのライト・ストロブ信号
AMWC	アドバンス・メモリ・ライト・コマンド	8	出 力	メモリ・デバイスのライト・ストロブ信号
IORC	I/Oリード・コマンド	13	出 力	I/Oデバイスのリード・ストロブ信号
IOWC	I/Oライト・コマンド	11	出 力	I/Oデバイスのライト・ストロブ信号
AIOWC	I/Oライト・コマンド	12	出 力	I/Oデバイスのライト・ストロブ信号
$\overline{INTA}$	割り込み応答	14	出 力	割り込み要求したデバイスのアクノリッジ信号
DT/ $\overline{R}$	データ方向	4	出 力	DT/ $\overline{R}$ 信号はバス・トランシーバのデータ転送方向をコントロールする信号
DEN	データ・イネーブル	16	出 力	DEN信号はローカル・バスとシステム・バスに介在するデータ・トランシーバをイネーブルする信号
MCE/ $\overline{PDEN}$	マスタ・カスケード・イネーブル	17	出 力	MCE/ $\overline{PDEN}$ 端子は二つの機能(MCE信号出力、 $\overline{PDEN}$ 信号出力がある)。二つの機能はIOB選択端子により選択される
ALE	アドレス・ラッチ・イネーブル	5	出 力	アドレス・ラッチ用のストロブ信号
$V_{CC}$	電源	20	—	電源
GND	グラウンド	13	—	グラウンド



The diagram shows the top view of the 68000 microprocessor package. The pins are numbered 1 through 132. The functions are as follows:

- Pin 1:** V<sub>SS</sub>
- Pin 2:** A11
- Pin 3:** A10
- Pin 4:** A9
- Pin 5:** A8
- Pin 6:** A7
- Pin 7:** A6
- Pin 8:** A5
- Pin 9:** A4
- Pin 10:** A3
- Pin 11:** A2
- Pin 12:** A1
- Pin 13:** A0
- Pin 14:** V<sub>SS</sub>
- Pin 15:** NC
- Pin 16:** V<sub>DD</sub>
- Pin 17:** NC
- Pin 18:** D0
- Pin 19:** D8
- Pin 20:** D1
- Pin 21:** D9
- Pin 22:** V<sub>SS</sub>
- Pin 23:** D2
- Pin 24:** D10
- Pin 25:** D3
- Pin 26:** D11
- Pin 27:** D4
- Pin 28:** D12
- Pin 29:** D5
- Pin 30:** D13
- Pin 31:** D6
- Pin 32:** NC
- Pin 33:** V<sub>SS</sub>
- Pin 34:** V<sub>DD</sub>
- Pin 35:** D14
- Pin 36:** D7
- Pin 37:** D15
- Pin 38:** NPERR#
- Pin 39:** NPBUSY#
- Pin 40:** NPCS#
- Pin 41:** NPRESET
- Pin 42:** T0#
- Pin 43:** US0#
- Pin 44:** US1#
- Pin 45:** PREEMPT#
- Pin 46:** RFRQ#
- Pin 47:** V<sub>DD</sub>
- Pin 48:** UCMD2#
- Pin 49:** UCMD1#
- Pin 50:** V<sub>SS</sub>
- Pin 51:** V<sub>DD</sub>
- Pin 52:** BURST#
- Pin 53:** BSTO#
- Pin 54:** V<sub>SS</sub>
- Pin 55:** OARB3
- Pin 56:** OARB2
- Pin 57:** OARB1
- Pin 58:** OAR0
- Pin 59:** ARB3
- Pin 60:** ARB2
- Pin 61:** ARB1
- Pin 62:** ARB0
- Pin 63:** ARB/GNT#
- Pin 64:** FDACK#
- Pin 65:** TC#
- Pin 66:** V<sub>DD</sub>
- Pin 67:** V<sub>SS</sub>
- Pin 68:** PU
- Pin 69:** REFRESH#
- Pin 70:** NC
- Pin 71:** IRQ13
- Pin 72:** PBUSY#
- Pin 73:** INTR
- Pin 74:** NMI#
- Pin 75:** PRDYI#
- Pin 76:** HOLD
- Pin 77:** PU
- Pin 78:** V<sub>DD</sub>
- Pin 79:** HLDA
- Pin 80:** PU
- Pin 81:** PM/IO#
- Pin 82:** V<sub>SS</sub>
- Pin 83:** NC
- Pin 84:** BHE#
- Pin 85:** S1#
- Pin 86:** V<sub>DD</sub>
- Pin 87:** SO#
- Pin 88:** DENSEL
- Pin 89:** S9CS#
- Pin 90:** FDRO
- Pin 91:** CDEN#
- Pin 92:** OPMT#
- Pin 93:** DMA#
- Pin 94:** CLK2
- Pin 95:** CLK1
- Pin 96:** PU2
- Pin 97:** PU
- Pin 98:** CLK1
- Pin 99:** V<sub>SS</sub>
- Pin 100:** V<sub>DD</sub>
- Pin 101:** PU
- Pin 102:** PU
- Pin 103:** RESET
- Pin 104:** PU
- Pin 105:** NC
- Pin 106:** PBA#
- Pin 107:** INTA#
- Pin 108:** PU
- Pin 109:** PU
- Pin 110:** PU
- Pin 111:** PU
- Pin 112:** PU
- Pin 113:** CLK3
- Pin 114:** CLK2
- Pin 115:** V<sub>DD</sub>
- Pin 116:** V<sub>SS</sub>
- Pin 117:** LBEN#
- Pin 118:** A23
- Pin 119:** A22
- Pin 120:** A21
- Pin 121:** A20
- Pin 122:** A19
- Pin 123:** V<sub>SS</sub>
- Pin 124:** A18
- Pin 125:** A17
- Pin 126:** A16
- Pin 127:** A15
- Pin 128:** A14
- Pin 129:** A13
- Pin 130:** A12
- Pin 131:** V<sub>DD</sub>
- Pin 132:** NC

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2\text{ mA}$	0.4	V
$V_{OH}$	$I_{IL}=2\text{ mA}$	2.4*	V
$I_{OL}$	$V_{OUT}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

■ ブロック図

The diagram illustrates the internal architecture of the 8086 system, showing the following components and their connections:

- バス・インターフェース・ユニット (Bus Interface Unit):** Receives address and data signals from the 8086 CPU (A(16:23), A(0:15), D(0:15), BHE#, PM/IO, SO#, S1#, US0#, US1#, UCMD1#, UCMD2#).
- 数値計算インターフェース・フェーズ (Numeric Data Interface Phase):** Receives control signals from the 8086 CPU (NPCS#, NPRESET, NPERR#, NPBUSY#, PBUSY#, IRQ13).
- CPU コントロール (CPU Control):** Receives control signals from the 8086 CPU (RESET, NMI#, PRDY#).
- 8259 PIC コントロール (8259 PIC Control):** Receives control signals from the 8086 CPU (59CS#, INTR, INTA#).
- バス・コントロール・ロジック (Bus Control Logic):** Receives control signals from the 8086 CPU (HOLD, HLDA, FDRQ, FDACK#, DENSEL, TC#, REFRESH#, RFRQ#).
- 8チャンネル DMA コントローラ (8-Channel DMA Controller):** Receives control signals from the 8086 CPU (LBEN#, CDEN#, PBA#).
- セントラル・アービトレーション・コントロール・ポイント (CACP) (Central Arbitration Control Point):** Receives control signals from the 8086 CPU (OARB(0:3), ARB(0:3), OPMT#, PREEMPT#, ARB/GNT#, BSTO#, BURST#, TO#, DMA#).



■端子機能

端子名	ピン番号	入出力	機能
A00-23	13~2, 130~124, 122~118	A0~15 入出力 A16~23 出力	ローカル・アドレス・バス。A16~23は出力のみで、DMAコントローラがバス・マスタの時にドライブされる。A0~15は双方向バスである
D0~15	18~21, 23~31 35~37	入出力	プロセッサのローカル・データ・バス
S0#, S1#	87, 85	入出力	DMAステータス・ライン
BHE#	84	出力	バイト・ハイ・イネーブル信号。CPUのBHE#と接続する
PM/IO#	81	入出力	CPUメモリI/Oインジケータ
US0#, US1#	43, 44	入力	マイクロ・チャンネル・ステータス端子
OARB0~3	58~55	出力	DMA/CACPアービトレーション・バス出力
PBA#	107	出力	プロセッサ・バス・アクセス。CPUバスが演算用コプロセッサまたはDMA/CACPレジスタにアクセスしていることを示す
ARB3~0	59~62	入力	DMA/CACPアービトレーション・バス入力
OPMT#	92	出力	プリエンプト・バス・マスタ
PREEMPT#	45	入力	全マイクロ・チャンネル・マスタのPREEMPT#のワイヤード・オア
ARB/GNT#	63	出力	アービトレーション・サイクル・インジケータ
BSTO#	53	出力	バースト出力
BURST#	52	入力	バースト・リクエスト入力
HOLD HLDA	76 79	出力 入力	CPUへのHOLD, HOLDアクノリッジ信号
FDRQ FDACK#	90 64	入力 出力	フロッピDMAリクエスト フロッピDMAアクノリッジ
TC#	65	出力	DMA転送終了
UCMD1# UCMD2#	49 48	入力	マイクロ・チャンネル・コマンド入力端子でマイクロ・チャンネルのCMD#信号でドライブされる
RFRQ#	46	入力	リフレッシュ・サイクル・リクエスト信号

端子名	ピン番号	入出力	機能
REFRESH#	69	出力	リフレッシュ・インジケータ
59CS#	89	出力	インタラプト・コントローラ・チップ・セレクト (8259)
DENSEL	88	入力	マザーボードFDC用のデンシティ選択信号
CDEN#	91	出力	カード・セットアップ・イネーブル
CLK1, CLK2 CLK3	95, 98, 94 114, 113	入力	クロック入力
RESET	104	入力	同期リセット入力
INTR, INTA#	73, 108	入力	インタラプト・リクエスト, インタラプト・アクノリッジ
NMI#	74	入出力	ノン・マスカブル・インタラプト信号
PRDYI#	75	入力	マイクロ・プロセッサ・レディ同期入力
NPCS#	40	出力	演算用コプロセッサのチップ・セレクト
NPRESET	41	出力	演算用コプロセッサ・リセット
NPERR#	38	入力	演算用コプロセッサ・エラー入力
NPBUSY#	39	入力	演算用コプロセッサ・ビジー
PBUSY#	72	出力	プロセッサ・ビジー出力
IRQ13	71	出力	演算用コプロセッサ・エラー・インタラプト
LBEN#	117	出力	ローカル・バス・イネーブル
DMA#	93	出力	バス・マスタ用DMA/CACP
TO#	42	出力	バス・タイムアウト出力



TOP VIEW

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=4\text{ mA}$	0.4	V
$V_{OH}$	$I_{IL}=4\text{ mA}$	2.4*	V
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$

- ・80386, 80386SX用のマイクロ・チャンネル・バス・コントロール信号を生成
- ・マイクロ・チャンネル・コンパチブルなバス・コントローラ
- ・マイクロ・チャンネル上の8, 16, 32ビットのデータ転送をサポート
- ・キャッシュ・コントローラ82385とのインターフェースを持つ



■端子機能

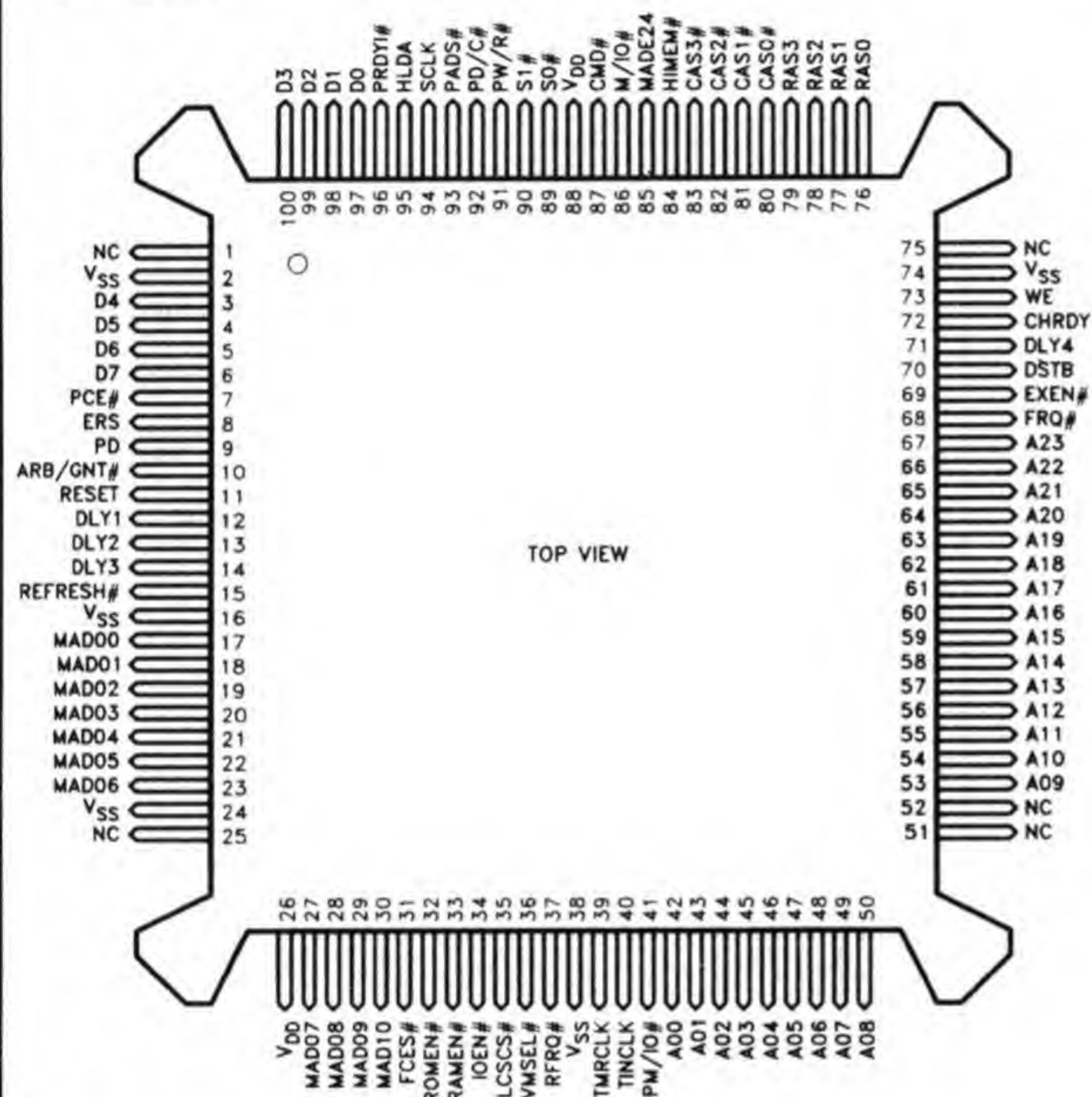
端子名	ピン番号	入出力	機能
RSTRQ#	87	入力	ソフトウェア・リセット
RSTCPU	91	出力	CPU リセット
PCE	82	入力	パリティ・チェック・イネーブル
P0	83	入力	DRAM ビット 0 ~ 7 のパリティ・エラー
P1	84	入力	DRAM ビット 8 ~ 15 のパリティ・エラー
P2	85	入力	DRAM ビット 16 ~ 23 のパリティ・エラー
P3	86	入力	DRAM ビット 24 ~ 31 のパリティ・エラー
PCHCK#	90	出力	パリティ・エラー出力
IOEN#	79	入力	マザーボード I/O デバイス・アドレス・イネーブル
CHRDY	92	出力	チャンネル・レディ・リターン信号
FDACK#	81	入力	FDC DACK#
IOR	97	出力	マザーボード・デバイスへの I/O リード
IOW	98	出力	マザーボード・デバイスへの I/O ライト
VMWR#	96	出力	VGA へのメモリ・ライト・ストロブ
VMRD#	95	出力	VGA へのメモリ・リード・ストロブ
INTA#	94	出力	8259 への INTA#
A0	9	入出力	CPU と DMA アドレス 0
A1	10	入出力	CPU と DMA アドレス 1
BHE#	100	入力	CPU と DMA からのバイト・ハイ・イネーブル信号
BE0~3#	11, 12, 14, 15	入力	80386 からのバイト・イネーブル・ビット 0 ~ 3
UA0	3	入出力	アンバッファ・マイクロ・チャンネル・アドレス・ビット 0
UA1	4	入出力	アンバッファ・マイクロ・チャンネル・アドレス・ビット 1
UBHE#	16	入出力	アンバッファ・マイクロ・チャンネル・システム・バス・ハイ・イネーブル
UBE0~3#	5 ~ 8	入出力	アンバッファ・マイクロ・チャンネル・バイト・イネーブル・ビット 0 ~ 3
TR32	99	入力	マイクロ・チャンネルからのトランスレート 32
SAL	18	出力	システム・アドレス・バス用のラッチ・イネーブル信号
BEDIR	17	出力	UBE0~3# の方向制御信号
PBA#	48	入力	DMA または数値計算用コプロセッサ選択表示信号
ROMEN#	49	入力	BIOS ROM 選択入力
DS16RTN	50	入力	マイクロチャンネル・データ・サイズ 16
DS32RTN	53	入力	マイクロ・チャンネル・データ・サイズ 32
ARB/GNT#	54	入力	マイクロ・チャンネル ARB/-GNT ステータス
REFRESEH#	55	入力	リフレッシュ・インジケータ
DMA#	56	入力	DMA がバスを占有していることを示す
HLDA	57	入力	CPU HLDA 入力
WDL	36	出力	データ・バス D0~31 のラッチ・イネーブル出力
DBE1#	43	出力	CPU D0~7 上のデータ・ドライブ用出力イネーブル
DBE2#	44	出力	CPU D8~15 上のデータ・ドライブ用出力イネーブル
DWHE#	45	出力	CPU D16~31 上のデータ・ドライブ用出力イネーブル
SBLW#	41	出力	マイクロ・チャンネル D0~15 上のデータ・ドライブ用出力イネーブル
SBHW#	42	出力	マイクロ・チャンネル D16~31 上のデータ・ドライブ用出力イネーブル

端子名	ピン番号	入出力	機能
MDIR	32	出力	CPU データ・バスと DRAM メモリ・バス間の転送方向制御信号
MLW#	29	出力	CPU データ・バス D0~15 と DRAM メモリ・バス間のトランシーバ出力イネーブル信号
MHW#	30	出力	CPU データ・バス D16~31 と DRAM メモリ・バス間のトランシーバ出力イネーブル信号
ROMOE#	73	出力	BIOS ROM 用の出力イネーブル信号
SWAP1#	19	出力	マイクロ・チャンネル・データ・バス 0 ~ 7 と 8 ~ 15 間のデータ転送用トランシーバ・イネーブル
SWAP2#	20	出力	マイクロ・チャンネル・データ・バス 0 ~ 7 と 16 ~ 23 間のデータ転送用トランシーバ・イネーブル
SWAP3#	21	出力	マイクロ・チャンネル・データ・バス 8 ~ 15 と 24 ~ 31 間のデータ転送用トランシーバ・イネーブル
SWAP4#	22	出力	マイクロ・チャンネル・データ・バス 0 ~ 7 と 24 ~ 31 間のデータ転送用トランシーバ・イネーブル
SWDIR	23	出力	マイクロ・チャンネル・データ・バス・トランシーバ用方向制御
DBL1	33	出力	マイクロ・チャンネル・データ・バス 0 ~ 7 のラッチ・イネーブル
DBL2	34	出力	マイクロ・チャンネル・データ・バス 8 ~ 15 のラッチ・イネーブル
DBL3	35	出力	マイクロ・チャンネル・データ・バス 16 ~ 23 のラッチ・イネーブル
SCLK	58	入力	マイクロ・プロセッサ・クロック
RESET	59	入力	同期リセット入力
RDYRTN#	80	入力	マイクロ・チャンネルからのチャンネル・レディ・リターン信号
PRDYO#	93	出力	マイクロ・プロセッサ・レディ信号
FP	68	入力	プロセッサ速度選択 (0: 16MHz, 1: 20MHz)
PRDYI#	60	入力	マイクロ・プロセッサ・レディ同期入力
FRC#	61	入力	ファスト ROM サイクル選択
RAMEN#	62	入力	システム・ボードの DRAM アクセス表示信号入力
FCE#	63	入力	BC と CPU システム・ボードの DRAM アクセスとの切り離し指示信号入力
UM/IO#	64	入力	マイクロ・チャンネル・メモリ I/O ステータス
PD/C#	65	入力	CPU D/C#出力を接続
PW/R#	66	入力	CPU W/R#出力を接続
PADS#	67	入力	CPU ADS#出力を接続
PNA#	71	出力	アドレス・パイプ・ライン用の次アドレス信号
S0#, S1#	69, 70	入出力	DMA ステータス・ライン
UADL#	78	入出力	マイクロ・チャンネル・アドレス・ラッチ信号
UMMCMD#	40	出力	マイクロ・チャンネル・マッチド・メモリ・コマンド信号
UCMD#	72	入出力	マイクロ・チャンネル・コマンド信号
US0#, US1#	76, 77	入出力	マイクロ・チャンネル・ステータス
RSEL1, RSEL0	27, 31	入力	ハードウェアによる強制リカバリ用の信号
FIN	26	入力	非同期のキャッシュ・フラッシュ・リクエスト入力信号
FLUSH	46	出力	82385 に対する同期キャッシュ・フラッシュ・リクエスト
SNOOP#	47	入出力	キャッシュ・コントローラへの同期ストロブ信号
PM/IO#	28	入力	CPU M/IO#出力
WS#	39	入力	ウェイト・ステート追加信号



# Address Bus Controller

## ■ ピン接続



NOTE:  
NC = No Connect

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

## ■ DC 特性

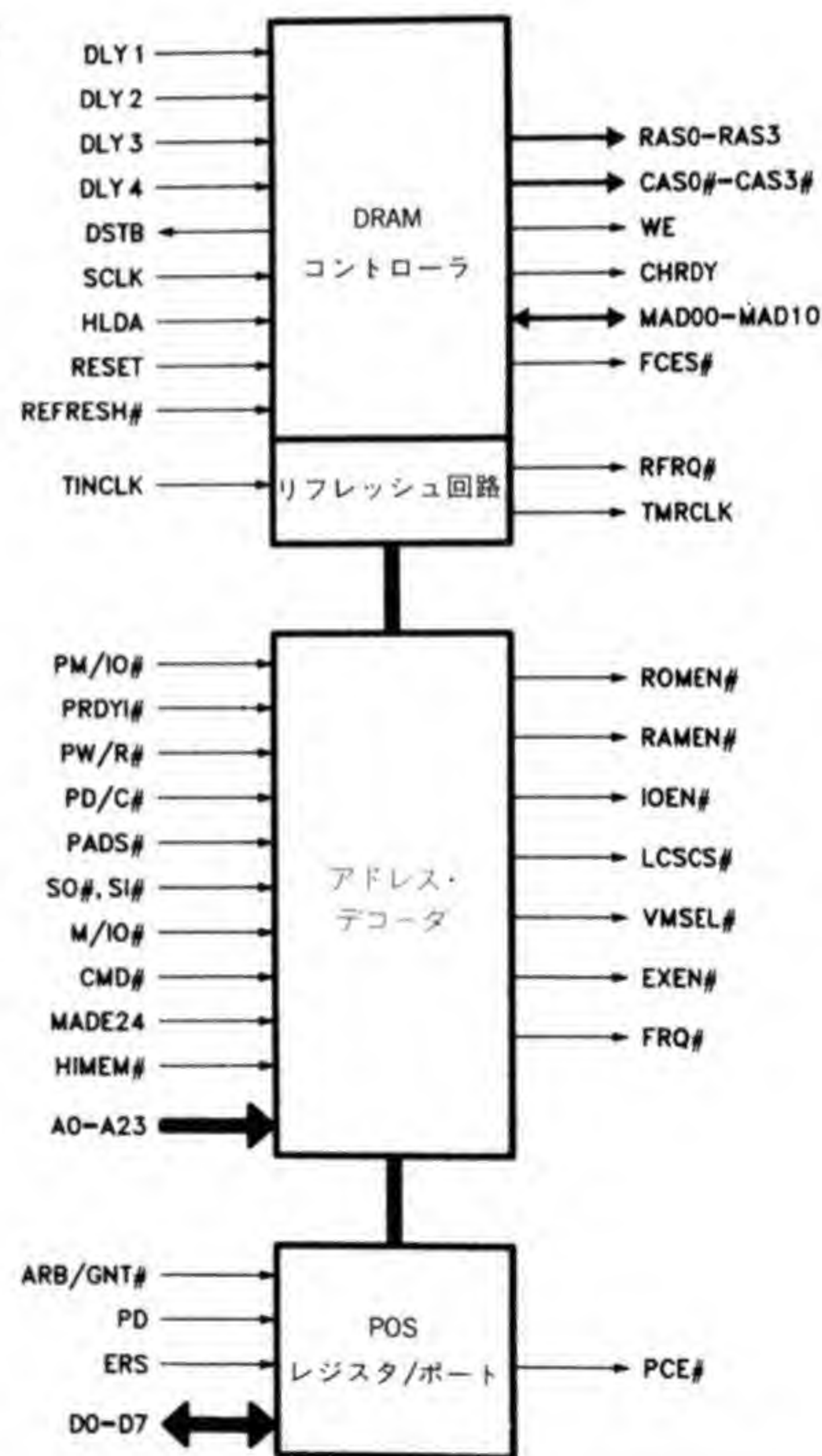
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 4\text{mA}$	0.4	V
$V_{OH}$	$I_{IL} = 4\text{mA}$	2.4*	V
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$

## ■ 特徴

- ・ ページ・インタリーブ・メモリを4バンクまでコントロール可能なDRAMコントローラ
- ・ 256K, 1M, 4MのDRAMコントロール可能
- ・ マザー・ボード上のデバイス用のアドレス・デコーディング機能もサポート
- ・ リフレッシュ・タイマ内蔵
- ・ I/Oポート, レジスタ類を内蔵
- ・ 82307DMAコントローラへのリフレッシュ要求信号生成

## ■ ブロック図





■端子機能

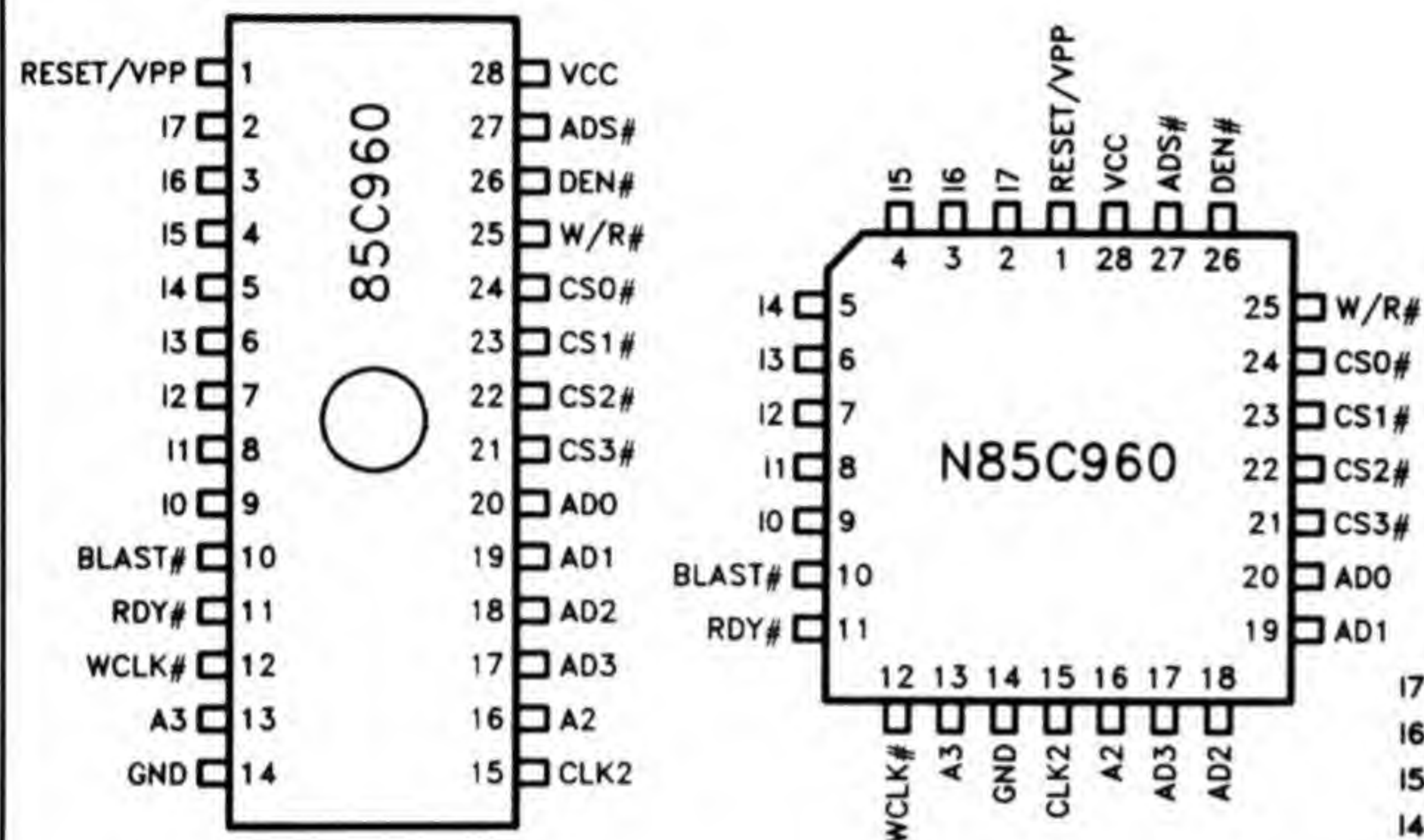
端子名	ピン番号	入出力	機能
A00~23	42~50, 53~67	入力	マイクロ・チャンネル・アドレス00~23
HIMEM#	84	入力	マイクロ・チャンネル・アドレス24から31=FF (アクティブ・ロウ)
MADE24	85	入力	マイクロ・チャンネル・アドレス24から31=00 (ア クティブ・ハイ)
ROMEN#	32	出力	EPROM イネーブル
RAMEN#	33	出力	DRAM イネーブル
IOEN#	34	出力	マザーボード I/O デバイス・イネーブル
LCSCS#	35	出力	LCS (82306) 用チップ・セレクト信号
VMSEL#	36	出力	VGA メモリ・スペース選択
S0#, S1#	89, 90	入力	マイクロ・チャンネルの S0#, S1#信号入力
PM/IO#	41	入力	マイクロ・プロセッサ M/IO#信号入力
PW/R#	91	入力	マイクロ・プロセッサ W/R#信号入力
PD/C#	92	入力	マイクロ・プロセッサ D/C#信号入力
PADS#	93	入力	マイクロ・プロセッサ ADS#信号入力
SCLK	94	入力	マイクロ・プロセッサ CLK2 信号入力
HLDA	95	入力	プロセッサからの HLDA 信号入力
PRDYI#	96	入力	プロセッサからの READY#信号入力
M/IO#	86	入力	マイクロ・チャンネルの M/IO#信号入力
CMD#	87	入力	マイクロ・チャンネルの CMD 信号入力
WE	73	出力	DRAM ライト・イネーブル出力
RAS0~3	76~79	出力	DRAM RAS ストロープ
CAS# 0~3	80~83	出力	DRAM CAS ストロープ・イネーブル
HAD00~10	17~23 27~30	入出力	DRAM アドレス・バス
DSTB	70	出力	ディレイ・ラインへの出力信号
DLY1~4	12~14, 71	入力	ディレイ・ラインからの入力
CHRDY	72	出力	DRAM レディ信号

端子名	ピン番号	入出力	機能
REFRESH	15	入力	リフレッシュ動作中を示す
FCES#	31	出力	BC に対する CPU のシステム・ボード・メモリ へのアクセス切り離し要求
TINCLK	40	入力	リフレッシュ・タイマ用の14.3MHz クロック
RFRQ#	37	出力	リフレッシュ要求
TMRCLK	39	出力	14.3MHz クロックの12分周出力 (1.19MHz)
FRQ#	68	出力	非同期キャッシュ・フラッシュ要求信号
EXEN#	69	出力	ポート 00E2~00E7 用のリード/ライト・スト ロープ信号
ERS	8	入力	ポート 00E2~00E7 用のサンプリング・ストロ ープ信号
PD	9	入力	POS レジスタ選択信号
ARB/GNT#	10	入力	マイクロ・チャンネルの ARB/GNT#信号入力
D0~7	97~100 3~6	入出力	データ・バス
PCE#	7	出力	パリティ・チェック・イネーブル
RESET	11	入力	同期リセット入力



# 80960 K-SERIES Bus Control $\mu$ PLD

## ■ ピン接続



# = Active Low Signals

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-2.0 ~ +7.0	V
プログラム電圧	$V_{PP}$	-2.0 ~ +13.5	V
入力電圧	$V_{IN}$	-0.5 ~ $V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	-10 ~ +85	°C
保存温度	$T_{STG}$	-65 ~ +150	°C

## ■ DC 特性

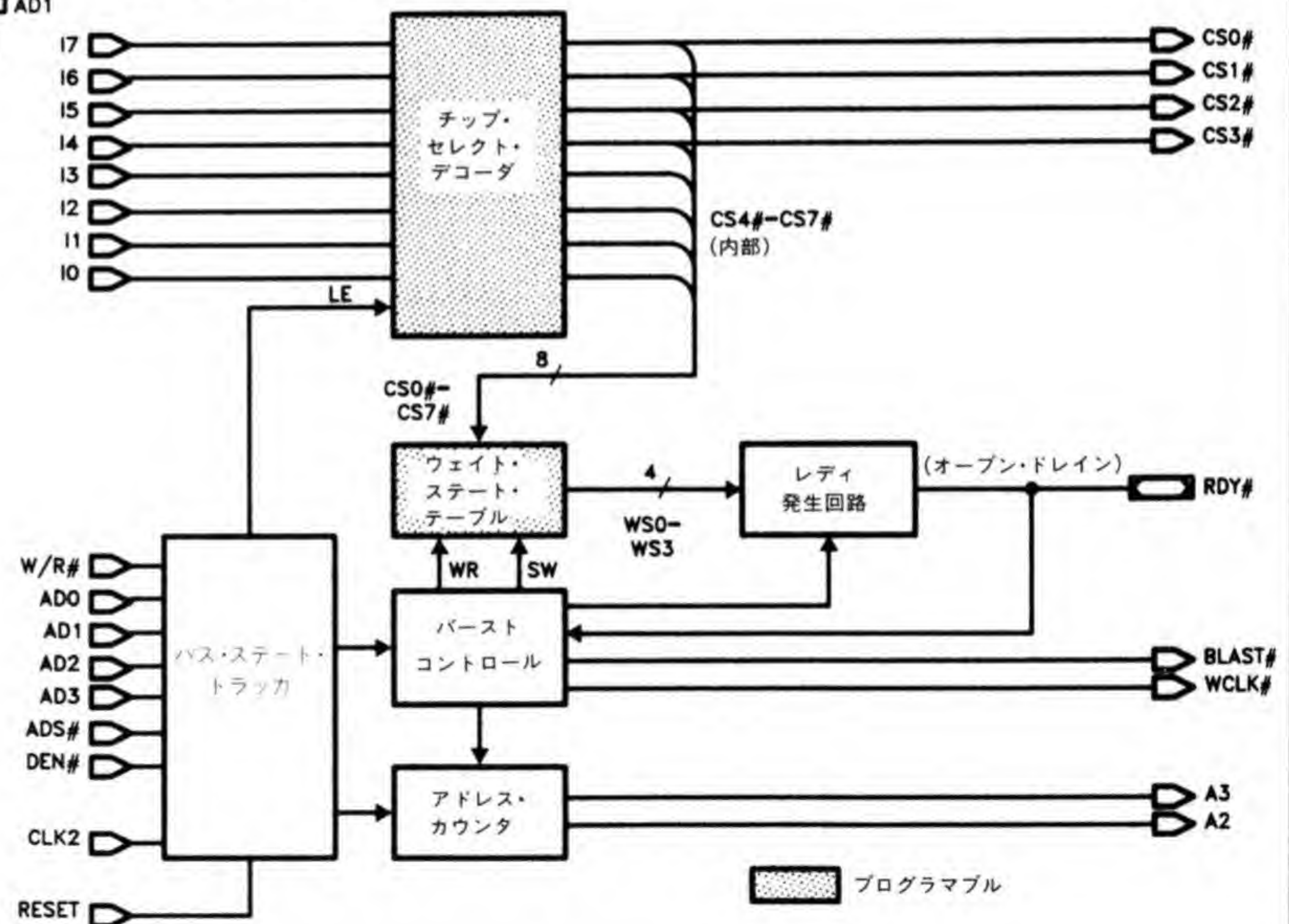
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 4\text{mA}$	0.4	V
$V_{OH}$	$I_{IL} = 4\text{mA}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$

## ■ 特徴

- ・ 80960用のアドレス・デコード、レディ・コントロール、バースト・ロジックをサポートするシングル・チップのコントローラ
- ・ UVイレーザブルまたはワнтаム・プログラマブル・デバイス
- ・ バースト・ロジックは、標準および新“バースト・モード”の両方のメモリ、周辺デバイスに対応
- ・ レディ/タイミング・コントロールは0~15ウェイト・ステートをサポート

## ■ ブロック図





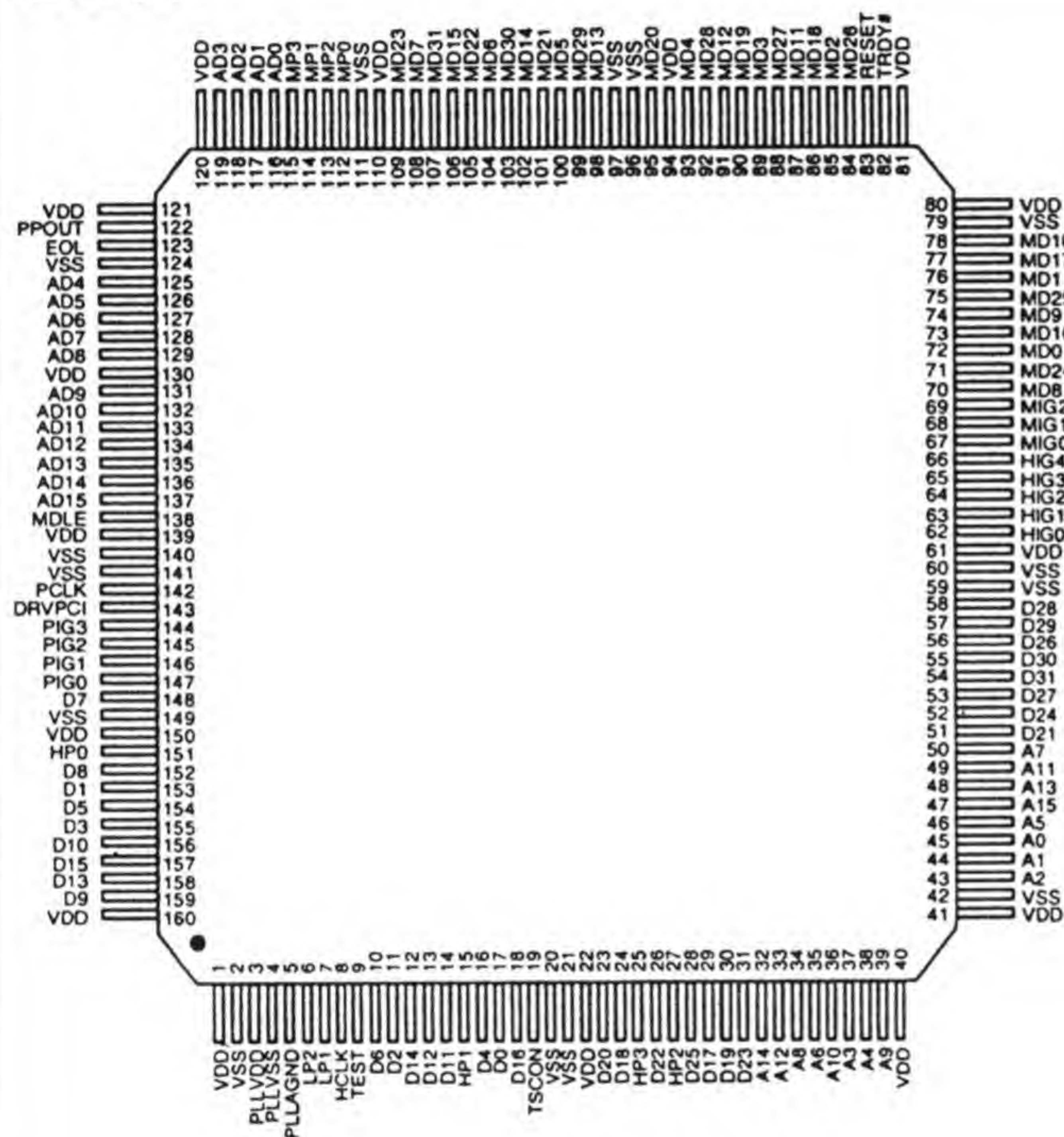
## ■端子機能

端子名	名称	ピン番号	入出力	機能
RESET	リセット	1	入力	内部回路のリセット入力。CLK2 の 4 サイクル以上 “ハイ” のときリセットされる
I7~I0	インプット 7 ~ 0	2 ~ 9	入力	プログラムされたデコード・ロジック・アレイへのアドレス・レンジ入力信号
CLK2	システム・クロック	15	入力	85C960 動作用のシステム・クロックで、80960 の CLK2 を接続する
AD3~AD0	アドレス 3 ~ 0	17~20	入力	アドレッシングおよびバースト・アクセス・デコード用の情報をローカル・バス (L-Bus) から供給する LAD0~LAD3 によってドライブされる
W/R#	ライト/リード	25	入力	コントローラからのライト/リード信号接続端子。“ロウ” のときリードを示し、“ハイ” のときライトを示す
DEN#	データ・イネーブル	26	入力	コントローラからのデータ・イネーブル信号で、データが L-Bus 上にあることを示す
ADS#	アドレス/データ・ストロープ	27	入力	80960 からの入力信号で L-Bus 上のデータがアドレスかデータかを示す。“ロウ” のときはアドレス情報が変化中であることを示す
BLAST#	バースト・ラスト	10	出力	“ロウ” のときは、現在のリード/ライト・アクセスがバースト・トランザクションのラスト・アクセスであることを示している
WCLK#	ライト・クロック	12	出力	バースト・モード・アクセスをサポートしないメモリに対し供給するライト・イネーブル・ストロープ
A3, A2	アドレス出力 3, 2	13, 16	出力	メモリ・アドレスの下位アドレスに接続して用いる。バースト・トランザクション時にサイクル出力する
CS3#~CS0#	チップ・セレクト 3 ~ 0	21~24	出力	I7~I0 のデコード出力
RDY#	レディ	11	入出力	双方向のオープン・ドレイン端子でコントローラのレディ信号に接続して使用する



## LBX (Local Bus Accelerator)

## ■ ピン番号



## ■ DC 特性

(T<sub>a</sub> = 0 ~ 85°C, V<sub>CC</sub> = 5 V ± 5%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 3 mA	0.4	V
V <sub>OH</sub>	I <sub>IL</sub> = 1 mA	2.4*	V
I <sub>IL</sub>		±10	μA
C <sub>IN</sub>		4.6	pF

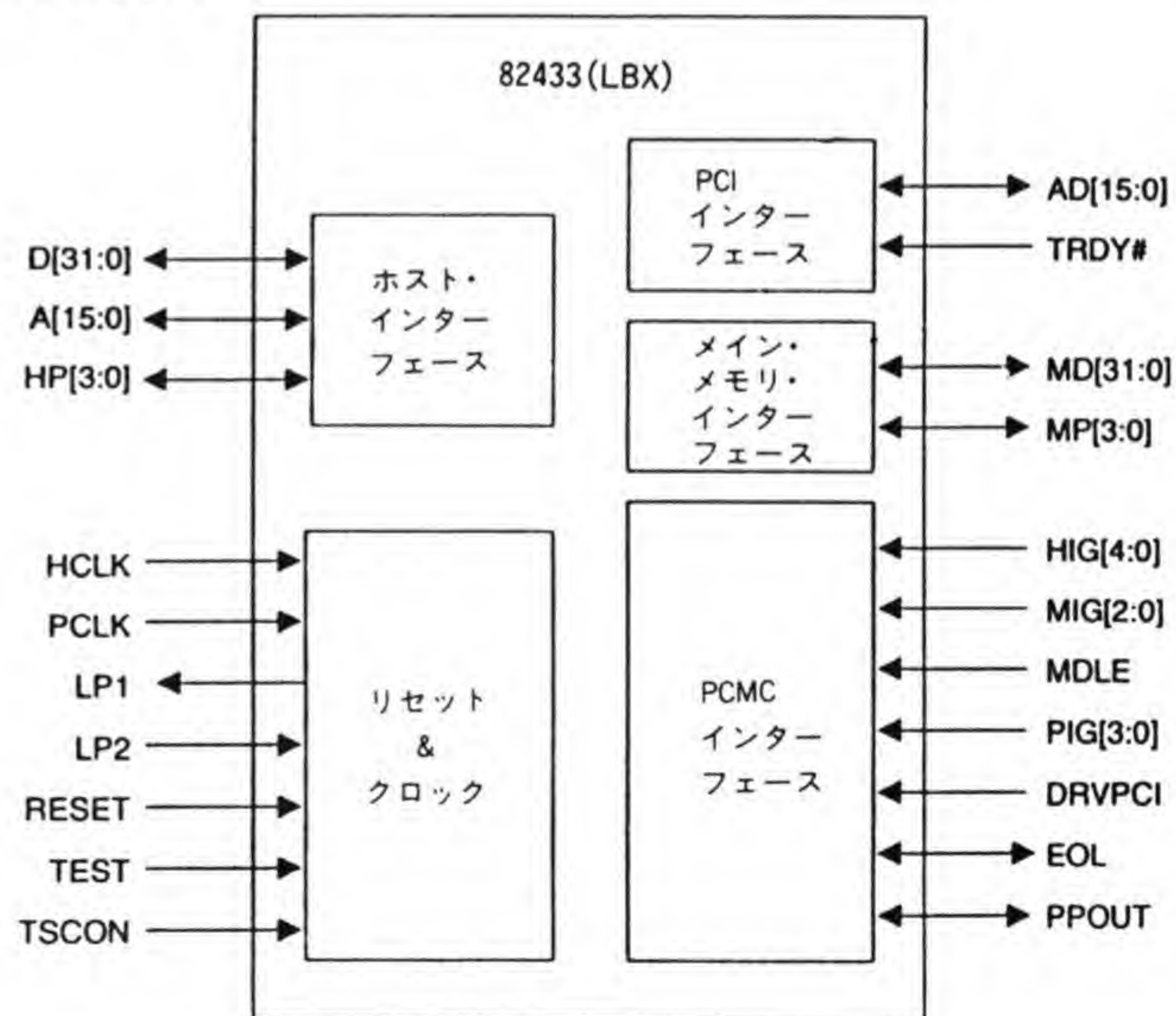
## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3 ~ +7.0	V
入力電圧	V <sub>IN</sub>	-0.3 ~ V <sub>CC</sub> + 0.3	V
動作温度	T <sub>OPR</sub>	0 ~ +85	°C
保存温度	T <sub>STG</sub>	-40 ~ +125	°C

## ■ 特徴

- ・ 64ビットの66MHz Pentium プロセッサ・データ・バスに対応
  - 64ビットの CPU/キャッシュとメイン・メモリ間データ・バス
  - 32ビットの CPUバスと PCI ローカル・バス間データ・バス
  - 32ビットの PCI ローカル・バスとメイン・メモリ間データ・バス
- ・ 五つのライト・ポストイング/リード・プリフェッチ・バッファにより、CPU および PCI マスターのパフォーマンスを向上
- ・ デュアル・ポート・アーキテクチャによりホスト、PCI バスの同時動作が可能
- ・ 66MHz の CPU クロック、33MHz の PCI クロックとの同期動作
- ・ ホスト・バスおよび PCI バスからのバースト・リード/ライトをサポート
- ・ ホスト・バスおよびメモリ・バス用のバイト・パリティ機能サポート
  - ホスト・メモリ転送用のパリティ発生オプション
  - ホスト・データ・バス上のセカンダリ・キャッシュのパリティ・チェック・オプション
  - ホストおよび PCI メモリ読み出し時のパリティ・チェック
  - PCI からメモリ書き込み時のパリティ発生

## ■ ブロック図





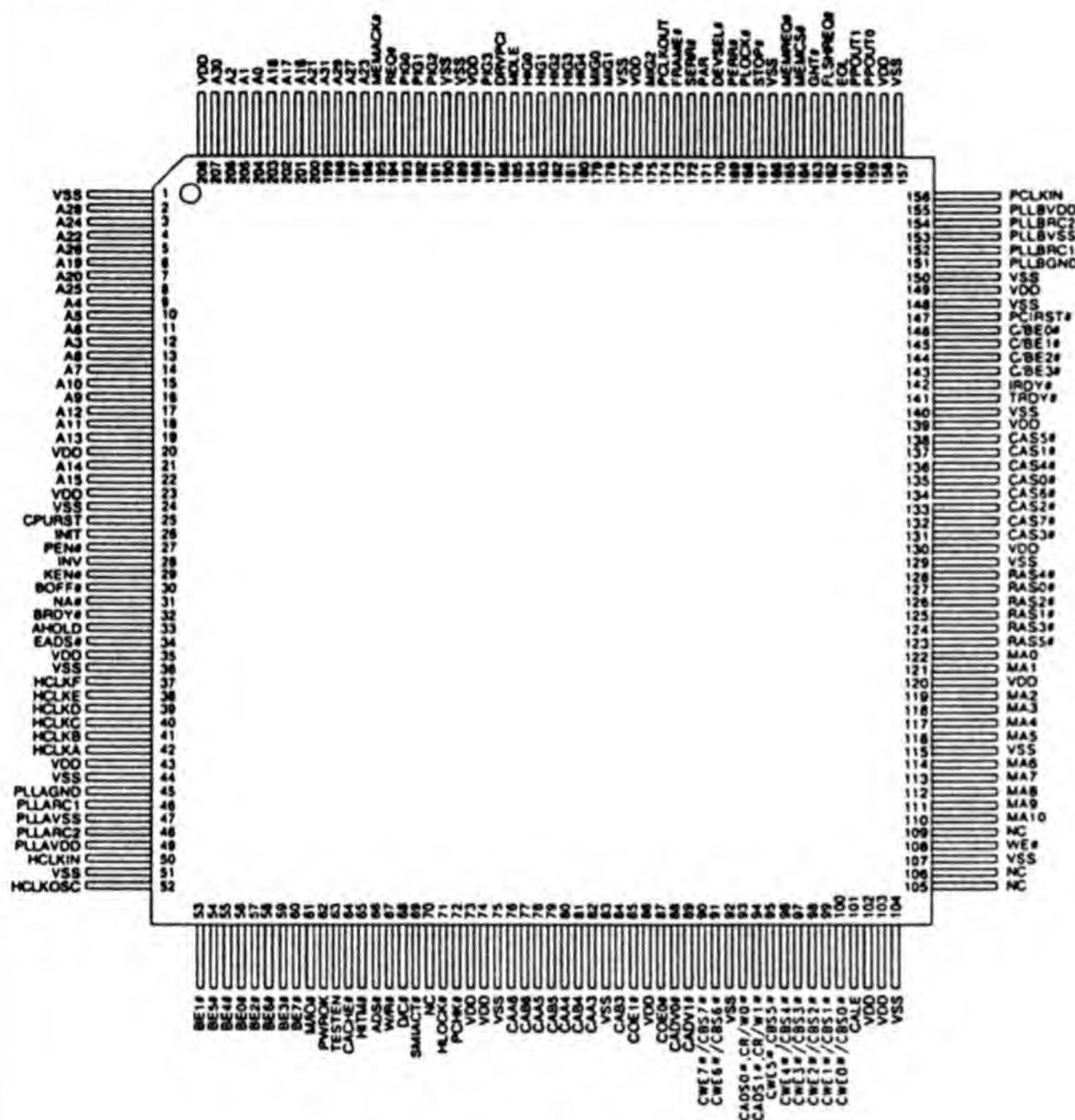
## ■ 端子機能

端 子 名	ピン番号	入 出 力	インターフェース	機 能
A15～A0	32～50	入出力	ホスト	双方向のアドレス・バス
D31～D0	10～159	入出力	ホスト	双方向のホスト・データ・バス
HP3～HP0	25～151	入出力	ホスト	双方向のホスト・データ・バス用パリティ
MD31～MD0	70～109	入出力	DRAM	双方向のメイン・メモリ (DRAM) データ・バス
MP3～MP0	112～115	入出力	DRAM	双方向のメイン・メモリ (DRAM) データ・バス用パリティ
AD15～AD0	116～137	入出力	PCI	双方向 PCI バス用の双方向アドレスおよびデータ・バス
TRDY#	82	入 力	PCI	選択デバイスのレディ信号
HIG4～HIG0	62～66	入 力	PCMC	ホスト・インターフェース・グループ信号で、PCMC (82434) から入力される
MIG2～MIG0	67～69	入 力	PCMC	メモリ・インターフェース・グループ信号で、PCMC (82434) から入力される
PIG3～PIG0	144～147	入 力	PCMC	PCI インターフェース・グループ信号で、PCMC (82434) から入力される
MDLE	138	入 力	PCMC	メモリ・データ・ラッチ・イネーブル
DRVPCI	143	入 力	PCMC	PCI アドレス/データ・バス上のデータがアドレスかデータかを示すドライブ PCI バス信号
EOL	123	入出力	PCMC	エンド・オブ・ライン信号
PPOUT	122	入出力	PCMC	AD15-AD0 用パリティ信号で、入出力信号は PIG3-PIG0 のコマンドに依存する
HCLK	8	入 力	—	ホスト・クロック信号入力
PCLK	142	入 力	—	PCI クロック信号入力
RESET	83	入 力	—	リセット信号入力
LP1	7	出 力	—	PLL フィルタ接続用端子
LP2	6	入 力	—	PLL フィルタ接続用端子
TEST	9	入 力	—	テスト端子、常時“L”に接続して使用
TSCON	19	入 力	—	トライ・ステート・コントロール端子、常時“H”に接続して使用



# PCMC (PCI, Cache, and Memory Controller)

## ■ ピン番号



## ■ DC 特性

( $T_a = 0 \sim 85^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 3\text{mA}$	0.4	V
$V_{OH}$	$I_{IL} = 1\text{mA}$	2.4*	V
$I_{IL}$		$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f_c = 1\text{MHz}$	12	pF

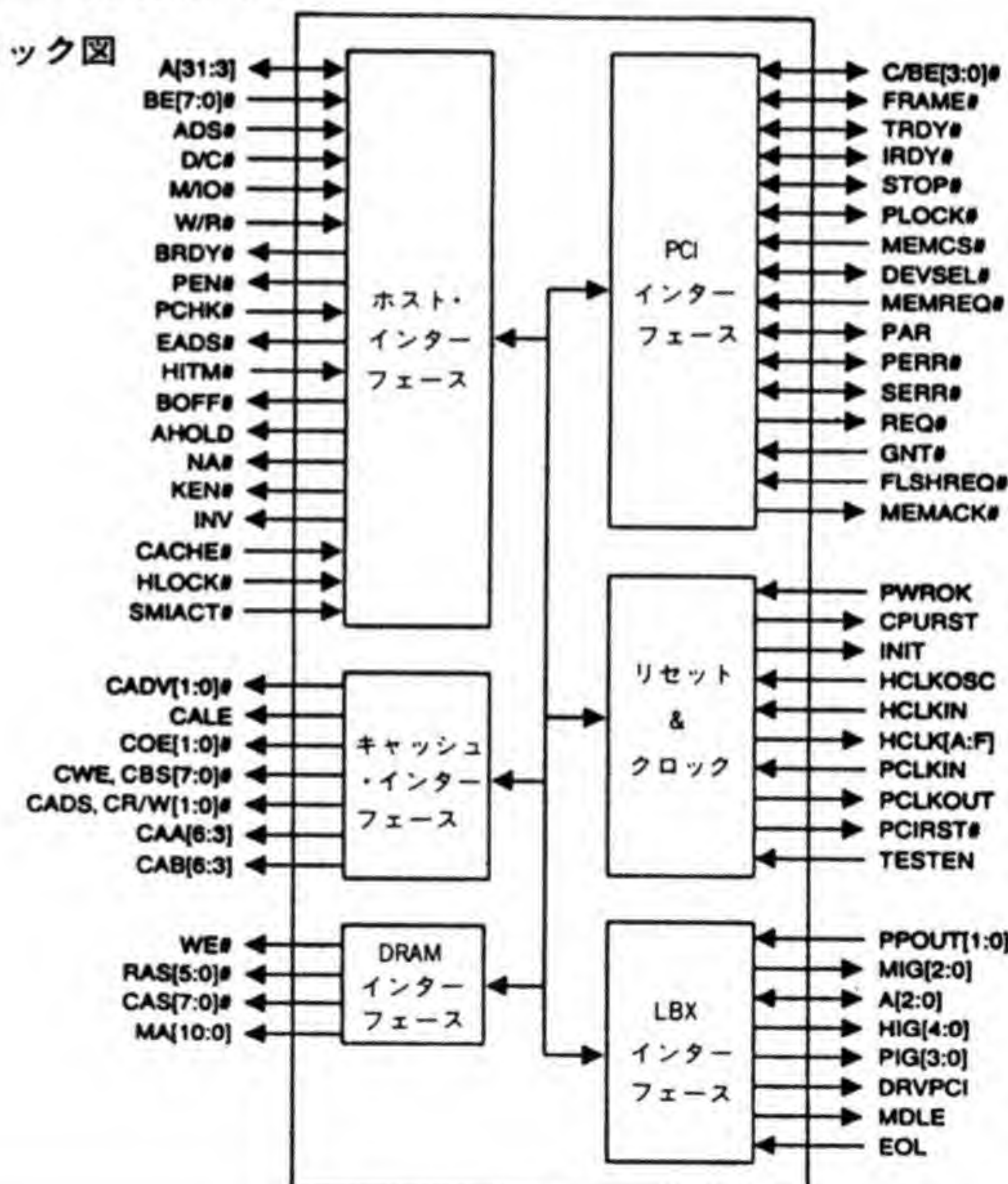
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +6.5$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim +85$	$^\circ\text{C}$
保存温度	$T_{STG}$	$-55 \sim +150$	$^\circ\text{C}$

## ■ 特徴

- ・ 64ビットの60/66MHz Pentium プロセッサに対応
- ・ Pentium プロセッサのパイプライン・アドレッシング機能をサポート
- ・ ライト・ポスティング/リード・プリフェッチ・バッファにより、高性能な CPU/PCI/メモリ・インターフェースを実現
- ・ Pentium プロセッサ・プライマリ・キャッシュのライト・スルーまたはライト・バック機能をサポート
- ・ セカンド・レベル・キャッシュ・コントローラ内蔵
  - ーライト・スルーおよびライト・バック機能をサポート
  - ーダイレクト・マップ機構, 256K バイトおよび512K バイトのキャッシュ・サイズ
- ・ 2M~192M バイト・メイン・メモリ空間の DRAM コントローラ内蔵
- ・ ホスト/PCI ブリッジ機能内蔵
  - ーCPU サイクルから PCI バス・サイクルへの変換
  - ーCPU~メイン・メモリおよび PCI~PCI トランザクションの同時動作可能
  - ーCPU~セカンド・レベル・キャッシュおよび PCI~メイン・メモリ・トランザクションの同時動作可能

## ■ ブロック図





## ■ 端子機能

### ホスト・インターフェース

端子名	ピン番号	入出力	機能
A[31:0]	2~207	入出力	双方向のホスト・アドレス・バス
BE[7:0]#	53~60	入力	バイト・イネーブル信号
ADS#	66	入力	アドレス・ストローブ信号入力
BRDY#	32	出力	バースト・レディ信号
NA#	31	出力	ネクスト・アドレス信号
AHOLD	33	出力	アドレス・ホールド信号
EADS#	34	出力	外部アドレス・ストローブ
INV	28	出力	無効(INVALID)信号
BOFF#	30	出力	バックオフ信号
HITM#	65	入力	ヒット・モディファイ信号
M/IO# D/C# W/R#	61 68 67	入力	バス・サイクル・タイプ表示信号 メモリ入出力, データ/コントロール, ライト/リード
HLOCK#	71	入力	ホスト・バス・ロック信号
CACHE#	64	入力	キャッシュ・リード/ライト表示信号
KEN#	29	出力	キャッシュ・イネーブル信号
SMIACK#	69	入力	システム・マネージメント・インタラプト・アクティブ信号
PEN#	27	出力	パリティ・イネーブル信号
PCHK#	72	入力	データ・パリティ・チェック信号

### DRAM インターフェース

RAS[5:0]#	123~128	出力	MA ライン上の列アドレス・ラッチ信号
CAS[7:0]#	131~138	出力	MA ライン上の行アドレス・ラッチ信号
WE#	108	出力	DRAM ライト・イネーブル信号
MA[10:0]	110~122	出力	DRAM マルチプレックス・アドレス信号

### キャッシュ・インターフェース

CALE	101	出力	キャッシュ・アドレス・ラッチ・イネーブル信号
CADS[1:0]# CR/WI[1:0]#	94, 93	出力	キャッシュ・アドレス・ストローブ キャッシュ・リード/ライト
CADV[1:0]#	89, 88	出力	キャッシュ・アドバンス信号
CAA[6:3] CAB[6:3]	76~84	出力	キャッシュ・アドレス信号
COE[1:0]#	85, 87	出力	キャッシュ・アウトプット・イネーブル
CWE[7:0]#/ CBS[7:0]#	90~100	出力	キャッシュ・ライト・イネーブル信号 キャッシュ・バイト・セレクト信号

### PCI バス・インターフェース

端子名	ピン番号	入出力	機能
C/BE[3:0]	143~146	入出力	PCI バス・コマンド/バイト・イネーブル
FRAME#	173	入出力	アクセスの始まり, 継続を示すサイクル・フレーム信号
IRDY#	142	入出力	イニシエータ・レディ信号
TRDY#	141	入出力	ターゲット・レディ信号
DEVSEL#	170	入出力	デバイス・セレクト信号
STOP#	167	入出力	ターゲットからイニシエータへのトランザクション停止要求
PLOCK#	168	入出力	PCI ロック信号
REQ#	194	出力	PCI バス要求信号
GNT#	163	入力	PCI バス要求許可信号
MEMCS#	164	入力	メイン・メモリ・チップ・セレクト
FLSHREQ#	162	入力	フラッシュ・リクエスト信号
MEMREQ#	165	入力	メモリ・リクエスト信号
MEMACK#	195	出力	MEMREQ#または FLSHREQ#へのメモリ・アクノリッジ
PAR	171	入出力	AD[31:0] と C/BE[3:0] の偶パリティ信号
PERR#	169	入出力	パリティ・エラー信号
SERR#	172	入出力	システム・エラー信号

### LBX インターフェース

HIG[4:0]	180~184	出力	ホスト・インターフェース・グループ信号
MIG[2:0]	175~179	出力	メモリ・インターフェース・グループ信号
MDLE	185	出力	メモリ・データ・ラッチ・イネーブル信号
PIG[3:0]	187~193	出力	PCI インターフェース・グループ信号
DRVPCI	186	出力	PCI ドライブ信号
EOL	161	入力	エンド・オブ・ライン表示信号
PPOUT[1:0]	160, 159	入力	PCI パリティ出力信号

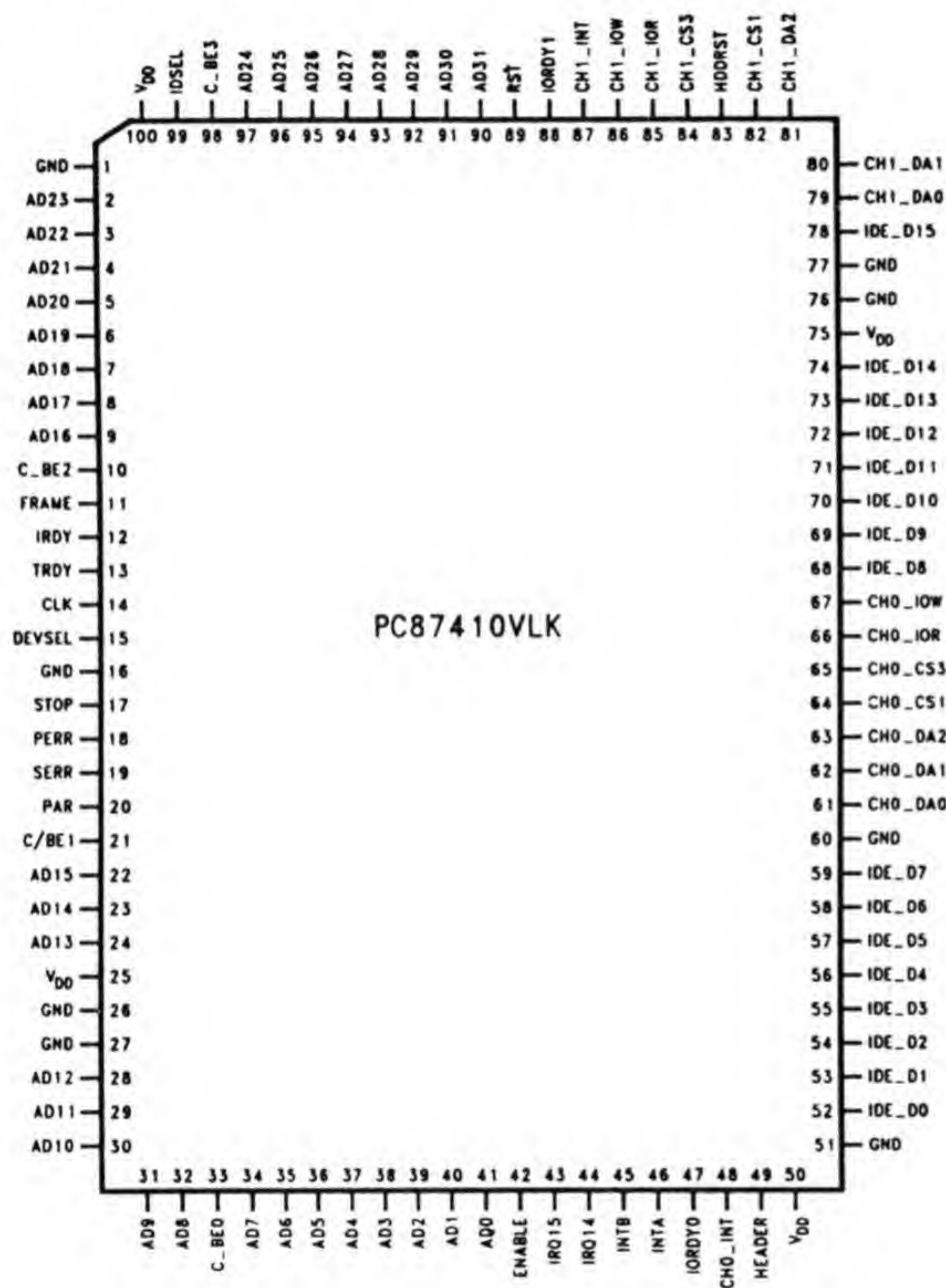
### リセット & クロック

HCLKOSC	52	入力	60/66.667MHz のオシレータ信号入力
HCLKA- HCLKF	42~37	出力	ホスト・クロック出力
HCLKIN	50	入力	ホスト・クロック入力
CPURST	25	出力	CPU リセット信号
INIT	26	出力	イニシャライズ出力
PWROK	62	入力	パワー OK 信号
PCLKOUT	174	出力	PCI クロック出力
PCLKIN	156	入力	PCI クロック入力
PCIRST#	147	出力	PCI リセット信号
TESTEN	63	入力	テスト・イネーブル



## PCI-IDE Interface Controller

## ■ ピン番号



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +165$	°C

## ■ DC 特性

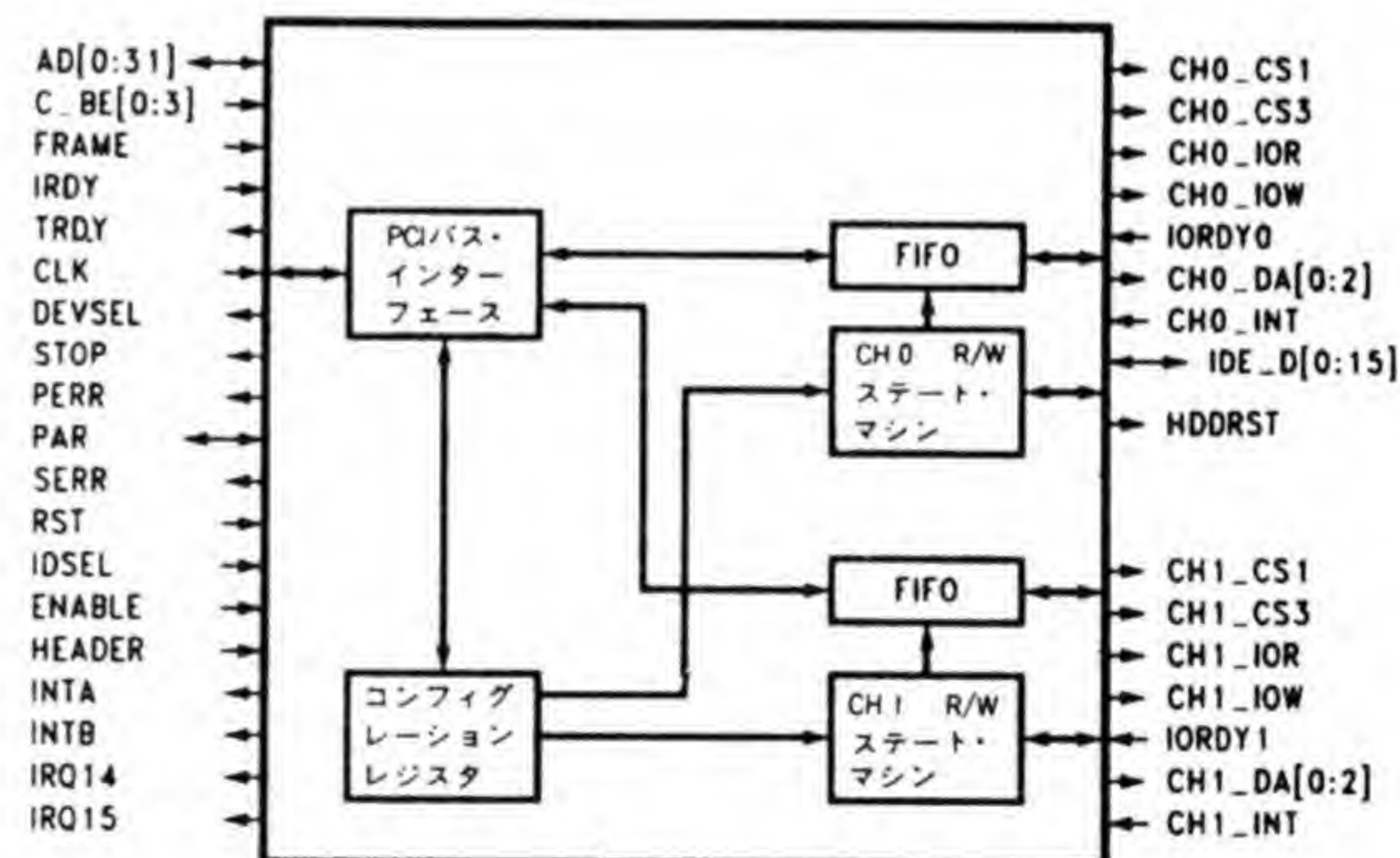
(T<sub>a</sub> = 0 ~ 70°C, V<sub>CC</sub> = 5 V ± 10 %)

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 8 \text{ mA}$	0.4	V
$V_{OH}$	$I_{IH} = 8 \text{ mA}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	±10	μA
$I_{IH}$	$V_{IN} = 0 \sim V_{CC}$	±10	μA

## ■ 特 徴

- ・ PCI 規格 rev2.0 (1993/4月) 準拠
- ・ プログラマブルなベース・アドレス・レジスタを内蔵
- ・ 32ビットの PCI ローカル・バスと IDE ドライブとをインターフェースする
- ・ ANSI ATA 仕様の IDE PIO タイミング・モード0, 1, 2をサポートする
- ・ 拡張 IDE (IDE-2 or ATA-2) 仕様のモード3 (11MB/s) をサポート可能
- ・ 二つの IDE-2チャンネルをサポート (各チャンネルが2デバイスをサポート)
- ・ チャンネル毎に、リード/ライトのリカバリ・タイミングおよびコマンドがプログラマブル
- ・ コマンド・レジスタおよびデータ・レジスタのタイミング動作が独立
- ・ 12mA ドライバ内蔵

## ■ ブロック図





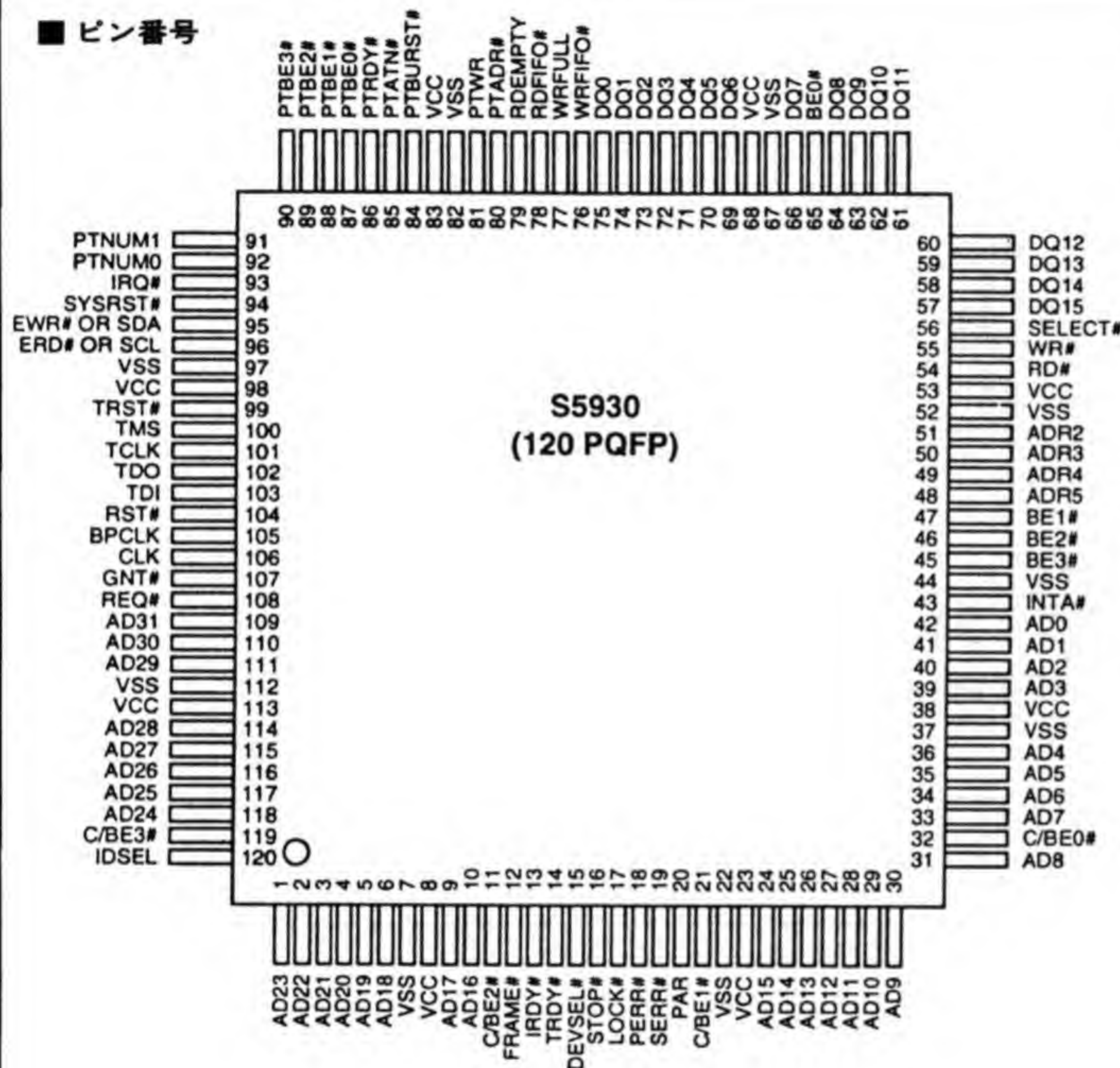
■ 端子機能

端子名	ピン番号	入出力	インターフェース	機能
AD[31:0]		入出力	PCI	双方向のアドレスおよびデータ・バス
C/BE[3:0]	98, 10, 21, 33	入力	PCI	コマンド/バイト・イネーブル
PAR	20	入出力	PCI	AD[31:0] と C/BE[3:0] の偶パリティ信号
FRAME#	11	入力	PCI	アクセスの始まり, 継続を示すサイクル・フレーム信号
TRDY#	13	出力	PCI	ターゲット・レディ信号
IRDY#	12	入力	PCI	イニシエータ・レディ信号
STOP#	17	出力	PCI	ターゲットからイニシエータへのトランザクション停止要求信号
DEVSEL#	15	出力	PCI	デバイス・セレクト信号
IDSEL	99	入力	PCI	チップ・セレクト信号として用いられるイニシャリゼーション・デバイス・セレクト信号
PERR#	18	出力	PCI	パリティ・エラー
SERR#	19	出力	PCI	システム・エラー
INTA#, B#	46, 45	出力	PCI	割り込み要求信号 A, B
CLK	14	入力	PCI	33MHz までの動作が可能な PCI クロック入力
RST#	89	入力	PCI	PCI リセット信号
IDE_D[15:0]	52~78	入出力	IDE	8/16ビットの PCI-IDE 間の双方向データ・バス
CH0_DA[2:0]	61~63	出力	IDE	チャンネル0アドレス
CH1_DA[2:0]	79~81	出力	IDE	チャンネル1アドレス
IORDY0	47	入力	IDE	チャンネル0 I/O チャンネル・レディ
IORDY1	88	入力	IDE	チャンネル1 I/O チャンネル・レディ
CH0_IOR#	66	出力	IDE	チャンネル0 I/O リード
CH0_IOW#	67	出力	IDE	チャンネル0 I/O ライト
CH1_IOR#	85	出力	IDE	チャンネル1 I/O リード
CH1_IOW#	86	出力	IDE	チャンネル1 I/O ライト
HDDRST#	83	出力	IDE	IDE リセット信号出力
CH0_CS1#	64	出力	IDE	チャンネル0チップセレクト1
CH0_CS3#	65			チャンネル0チップセレクト3
CH1_CS1#	82	出力	IDE	チャンネル1チップセレクト1
CH1_CS3#	84			チャンネル1チップセレクト3
CH0_INT	48	入力	IDE	チャンネル0割り込み信号
CH1_INT	87			チャンネル1割り込み信号
ENABLE	42	入力	IDE	チップ・イネーブル信号
HEADER	49	入力	IDE	ヘッダ信号
IRQ14	44	出力	IDE	HEADER が “H” または未接続の時は ISA IRQ14 に等しい
IRQ15	43	出力	IDE	HEADER が “H” または未接続の時は ISA IRQ15 に等しい



# — 68 — PCI Controller

## ■ ピン番号

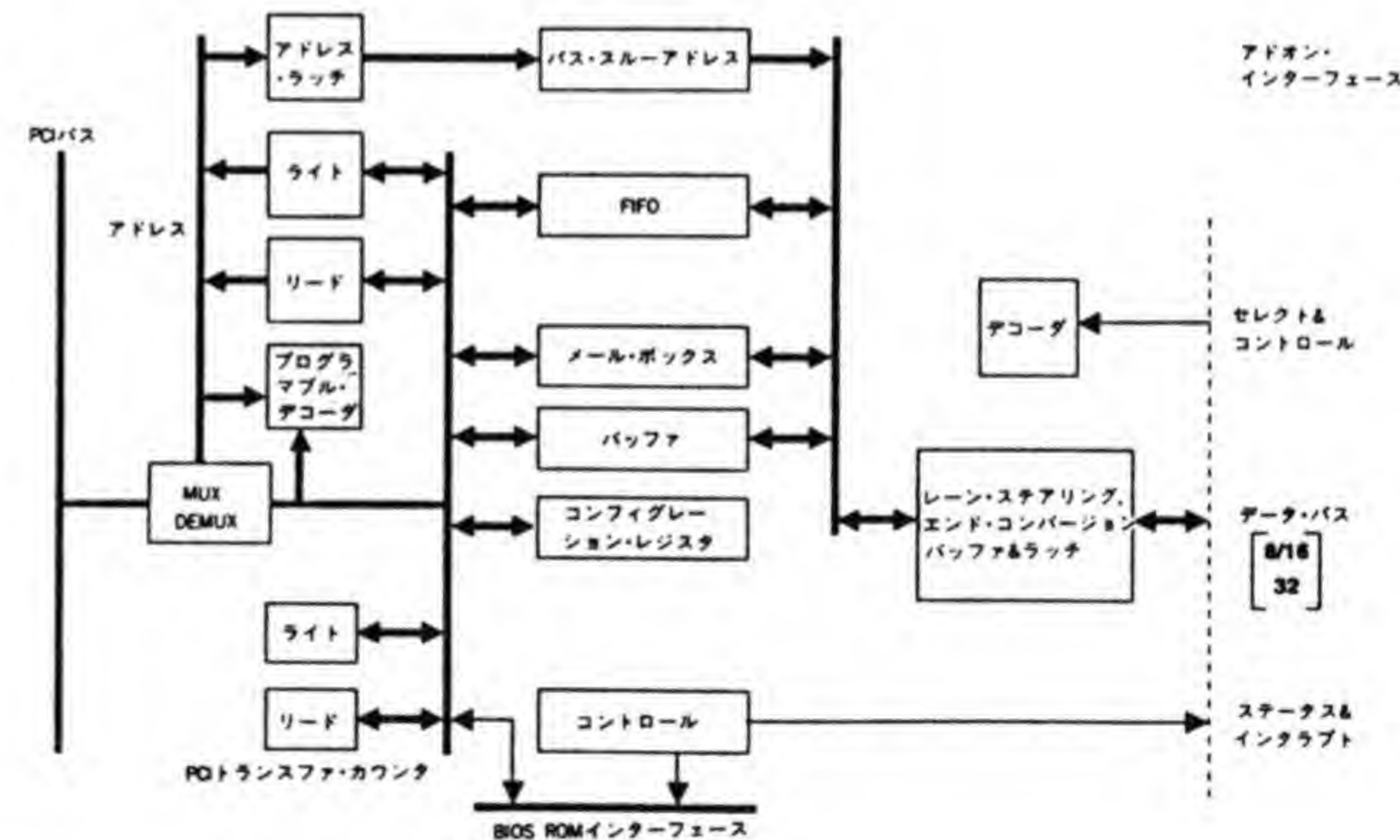


**S5930**  
(120 PQFP)

## ■ 特 徴

- ・プロセッサに依存しない汎用 PCI コントローラ
- ・オートコンフィグレーション機能をサポート
- ・マルチプレックス、バースト・モード動作
- ・33MHz までの PCI バスに対応可能 ISA スロットを直接ドライブ可能
- ・アドレスおよびデータ・パリティ機能
- ・3種類のアドレス空間：メモリ、I/O、コンフィグレーション
- ・インターフェースの異なる4種類の類似デバイス
  - S5930：16ビット・アドオン・バス、外部 Non-Volatile メモリ・インターフェースがシリアル
  - S5931：16ビット・アドオン・バス、外部 Non-Volatile メモリ・インターフェースがパラレル
  - S5932：32ビット・アドオン・バス、外部 Non-Volatile メモリ・インターフェースがシリアル
  - S5933：32ビット・アドオン・バス、外部 Non-Volatile メモリ・インターフェースがパラレル
- ・32ビット・データ・バス使用時、120M バイト/秒のスループット

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-55 \sim +125$	°C

## ■ DC 特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 3\text{mA}$	0.55	V
$V_{OH}$	$I_{IH} = 2\text{mA}$	2.4*	V
$I_{IL}$	$V_{IN} = 0.5 \sim 2.7\text{V}$	$\pm 70$	$\mu\text{A}$
$C_{IN}$		10	pF



■ 端子機能

PCI バス・インターフェース

端子名	ピン番号	入出力	機能
AD[31:0]	109~42	入出力	双方向のアドレスおよびデータ・バス
C/BE[3:0]	32, 21, 11, 119	入出力	バス・コマンド/バイト・イネーブル
PAR	20	入出力	AD[31:0]と C/BE[3:0]の偶パリティ・信号
CLK	106	入力	DC~33MHz の PCI クロック入力
RST#	104	入力	PCI リセット信号
FRAME#	12	入出力	アクセスの始まり, 継続を示すサイクル・フレーム信号
IRDY#	13	入出力	イニシエータ・レディ信号
TRDY#	14	入出力	ターゲット・レディ信号
STOP#	16	入出力	ターゲットからイニシエータへのトランザクション停止要求
LOCK#	17	入力	PCI ロック信号
IDSEL	120	入力	イニシャリゼーション・デバイス・セレクト信号
DEVSEL#	15	入出力	デバイス・セレクト信号
REQ#	108	入出力	マスターの PCI バス要求信号
GNT#	107	入出力	CPU マスターの PCI バス許可信号
PERR#	18	入出力	パリティ・エラー
SERR#	19	入出力	システム・エラー信号
INTA#	43	入出力	インタラプト A
TCLK	101	入力	テスト・クロック
TDI	103	入力	テスト・データ入力
TDO	102	出力	テスト・データ出力
TMS	100	入力	テスト・モード・セレクト
TRST#	99	入力	テスト・リセット入力

NON-VOLATILE インターフェース・シグナル

SCL	96	出力	2線式伝送インターフェース用シリアル・クロック
SDA	95	入出力	双方向のシリアル・データ/アドレス・ライン

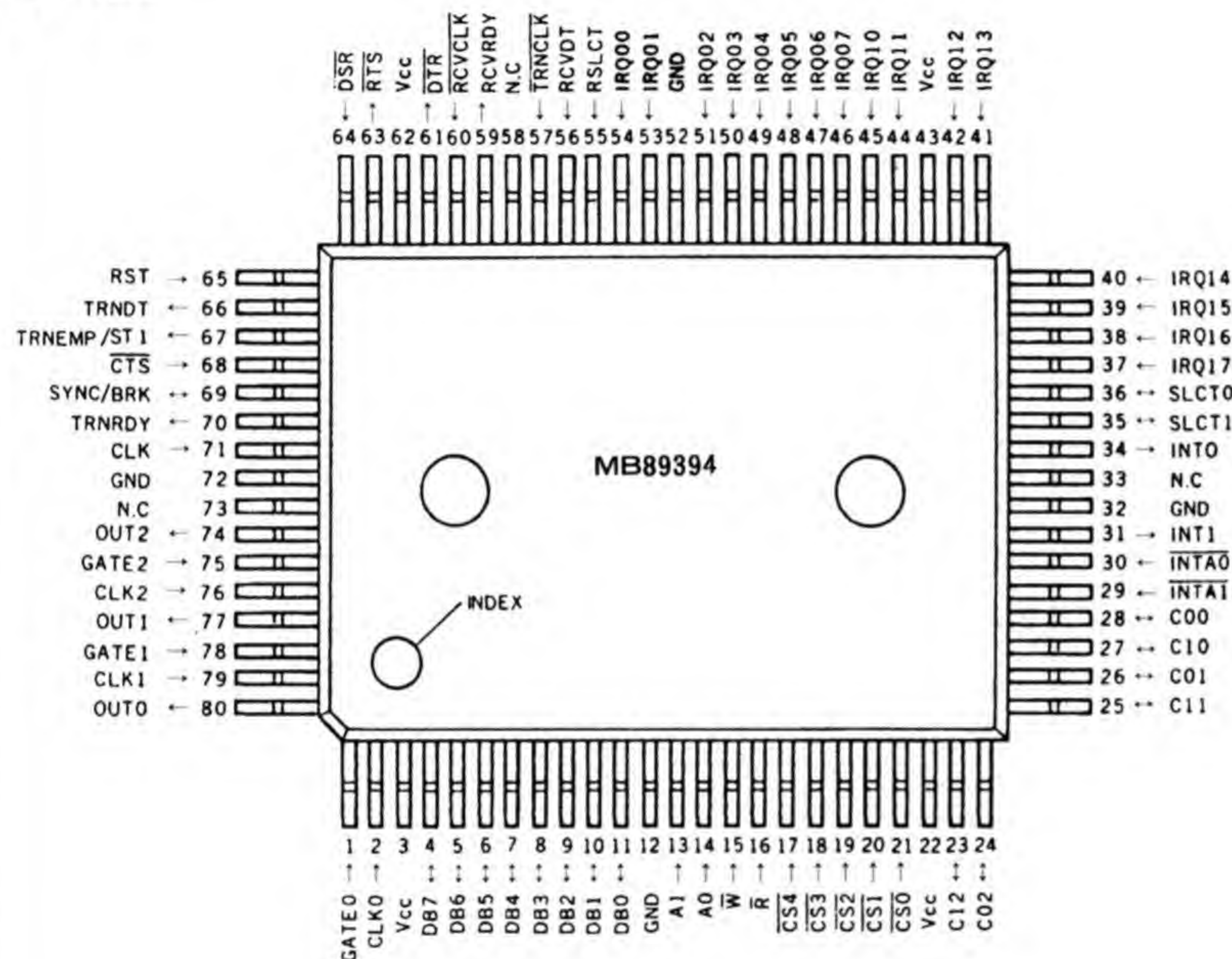
アドオン・バス・インターフェース

端子名	ピン番号	入出力	機能
DQ[15:00]	57~75	入出力	周辺デバイス用データ・バス
ADR[5:2]	48~51	入力	コントローラ・レジスタのアドレス選択ライン
BE3#/ADR1	45	入力	バイト・イネーブルまたはアドレス選択ライン
BE[2:0]#	46, 47, 65	入力	バイト・イネーブル信号
SELECT#	56	入力	アド・オン・インターフェース選択信号
WR#	55	入力	ライト・ストロブ信号
RD#	54	入力	リード・ストロブ信号
WRFIFO#	76	入力	FIFO 直接書き込み信号
RDFIFO#	78	入力	FIFO 直接読み出し信号
WRFULL	77	出力	DMA 転送時に使用するライト FIFO フル表示信号
RDEEMPTY	79	出力	リード FIFO エンプティ表示信号
PTATN#	85	出力	TRDY#信号待ちを示すバス・スルー・アテンション信号
PTBURST#	84	出力	バースト・アクセス・サイクル表示信号
PTRDY#	86	入力	バス・スルー・レディ信号
PTNUM[1:0]	91, 92	出力	ベース・アドレス・レジスタ番号表示信号
PTBE[3:0]#	87~90	出力	バス・スルー・バイト・イネーブル信号
PTADR#	80	入力	バス・スルー・アドレス入力信号
PTWR	81	出力	バス・スルー・オペレーションのリード・ライト表示信号
SYSRST#	94	出力	システム・リセット信号
BPCLK	105	出力	PCI クロック出力(バッファ経由)
IRQ#	93	出力	インタラプト出力



# MFP(Multi Function Peripheral)

## ■ピン接続



## ■特 徴

- ・ 8レベルまで優先割り込みを管理するプログラマブル・割り込みコントローラ2個内蔵
- ・ 独立した3個のカウンタをもつプログラマブル・インターバル・タイマ内蔵
- ・ シリアル・データの送受信が可能なU S A R T内蔵
- ・ プログラマブル・ボーレート・ジェネレータ内蔵のため内部で送受信クロック供給可能
- ・ 8086/8088系CPUに接続可能

## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

## ■ DC 特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 2.5\text{mA}$	3.0*	V
$I_{OFL}$	$V_{OLT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IS} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$	20	pF

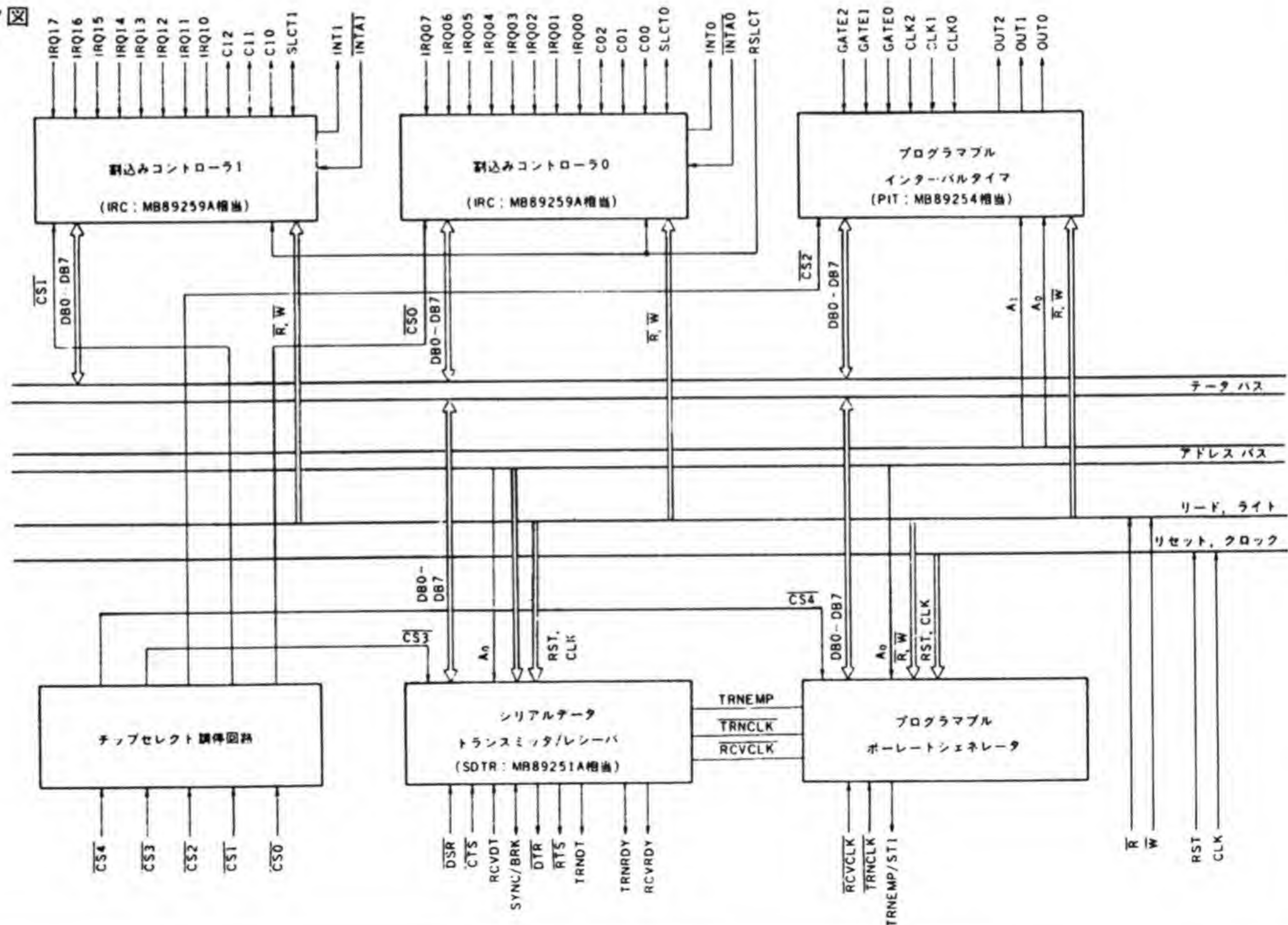


# ■各ブロック機能説明

- ・割り込みコントローラ  
MB89259 (8259) と同等の割り込みコントローラ。IRQ端子は内部プルアップ抵抗付き。
- ・プログラマブル・インターバル・タイマ  
MB89254 (8254) と同等機能を持つ。
- ・シリアル・データ・レシーバ/トランスミッタ  
MB89251A (8251A) と同等機能を持つ。

- ・プログラマブル・ポーレート・ジェネレータ  
シリアル・データ・レシーバ/トランスミッタにクロックを供給する。モード・レジスタとポーレート設定レジスタを内蔵しており、ユーザはリセット後にレジスタの値を設定する。

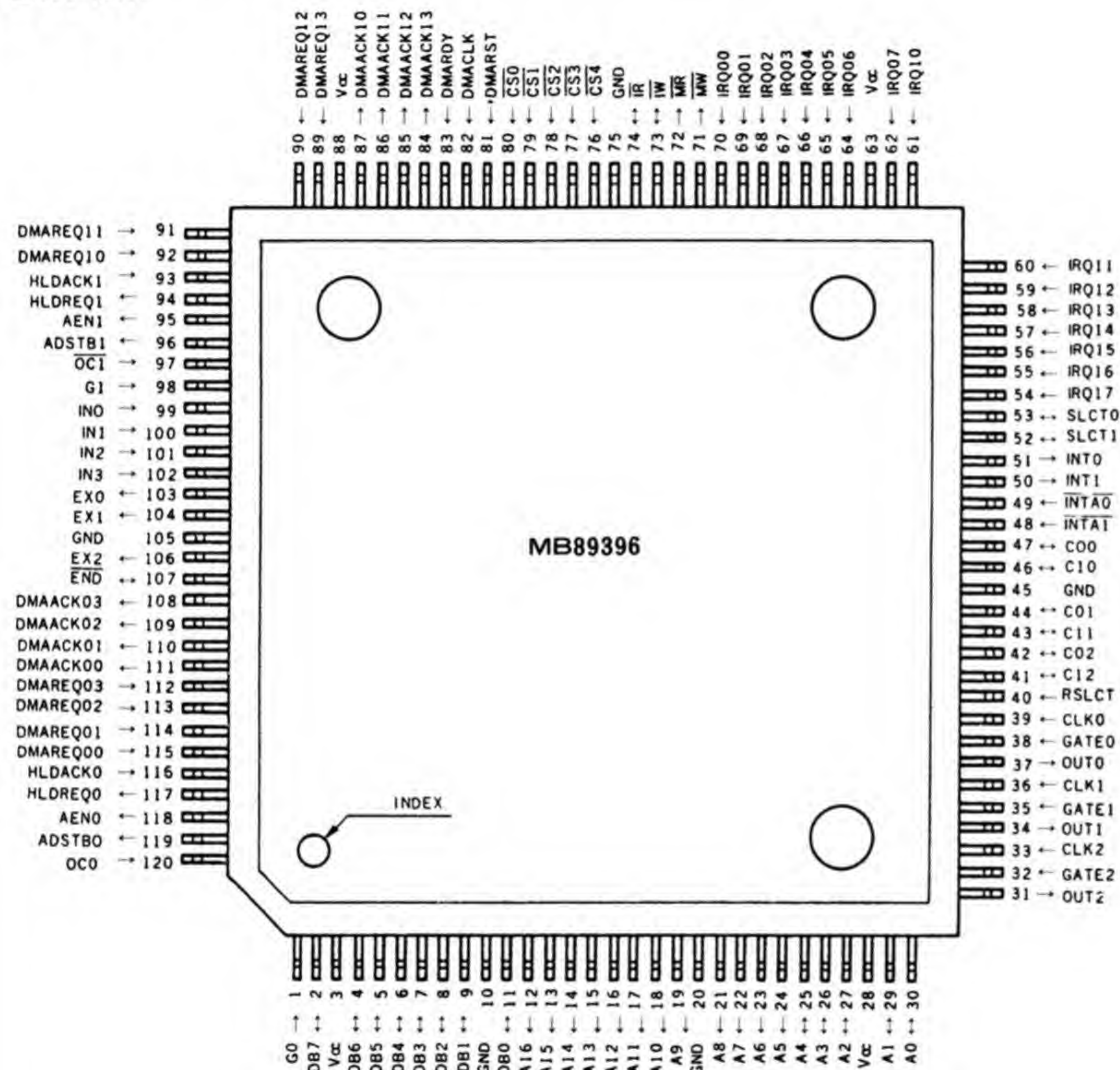
## ■ブロック図





# MFP(Multi Function Peripheral)

## ■ピン接続



## ■特 徴

- ・ 8レベルまで優先割り込みを管理するプログラマブル・割り込みコントローラ2個内蔵
- ・ 独立4チャンネルのDMAコントローラを2個内蔵
- ・ DMA C0はバイト転送用, DMA C1はワード転送用として使用
- ・ 独立した3個のカウンタをもつプログラマブル・インターバル・タイマ内蔵
- ・ DMAコントローラのデータ/アドレスを分離するアドレス・ラッチを2個内蔵
- ・ 8086/8088系CPUに接続可能

## ■最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.3$	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-55~150	°C

## ■ DC 特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL}=2.5\text{mA}$	0.45	V
$V_{OH}$	$I_{OH}=2.5\text{mA}$	3.0*	V
$I_{OFL}$	$V_{OUT}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f=1\text{MHz}$	20	pF

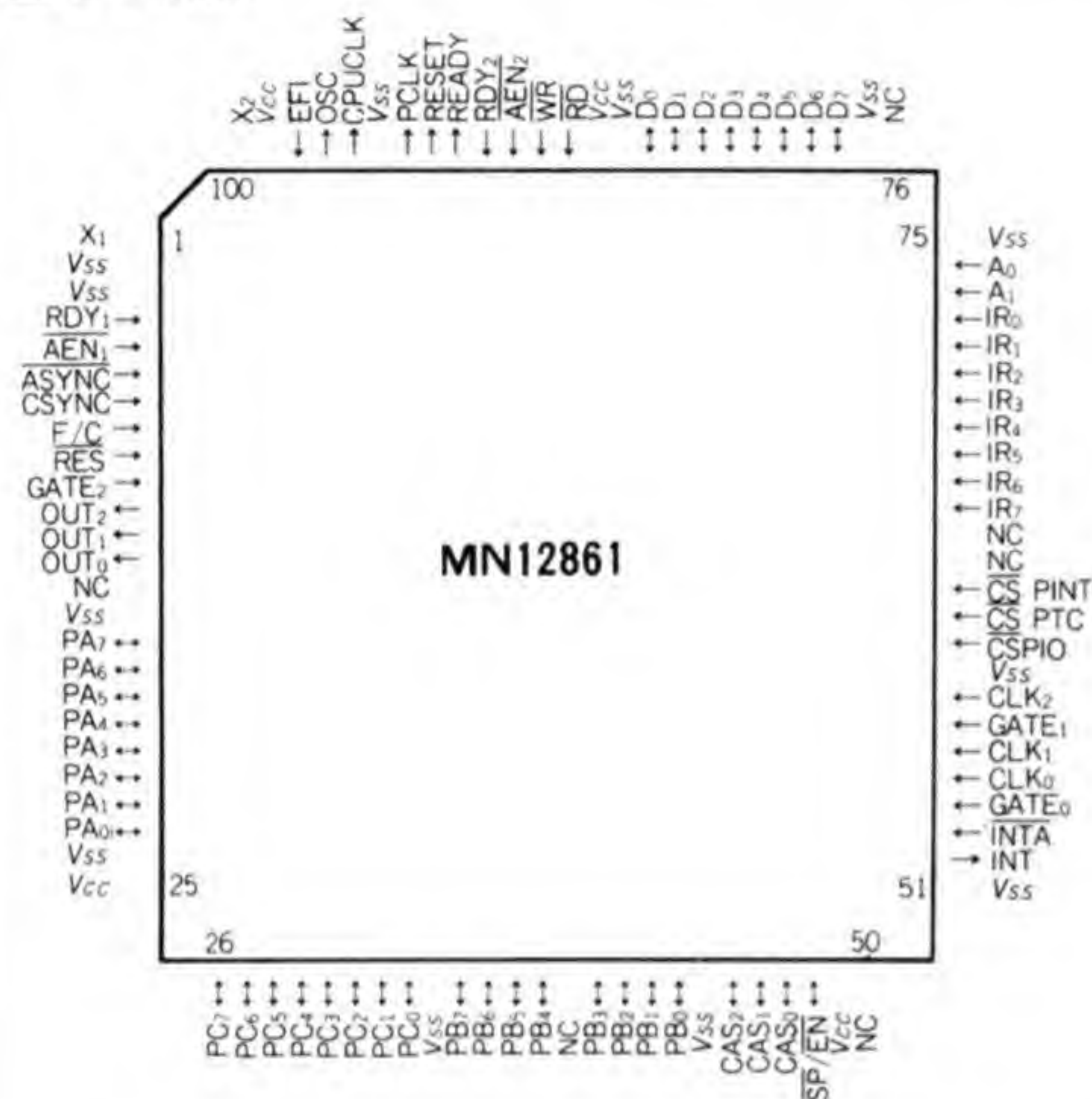






# MFP (Multi Function Peripheral)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.3$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	-20~75	°C
保存温度	$T_{STG}$	-65~150	°C

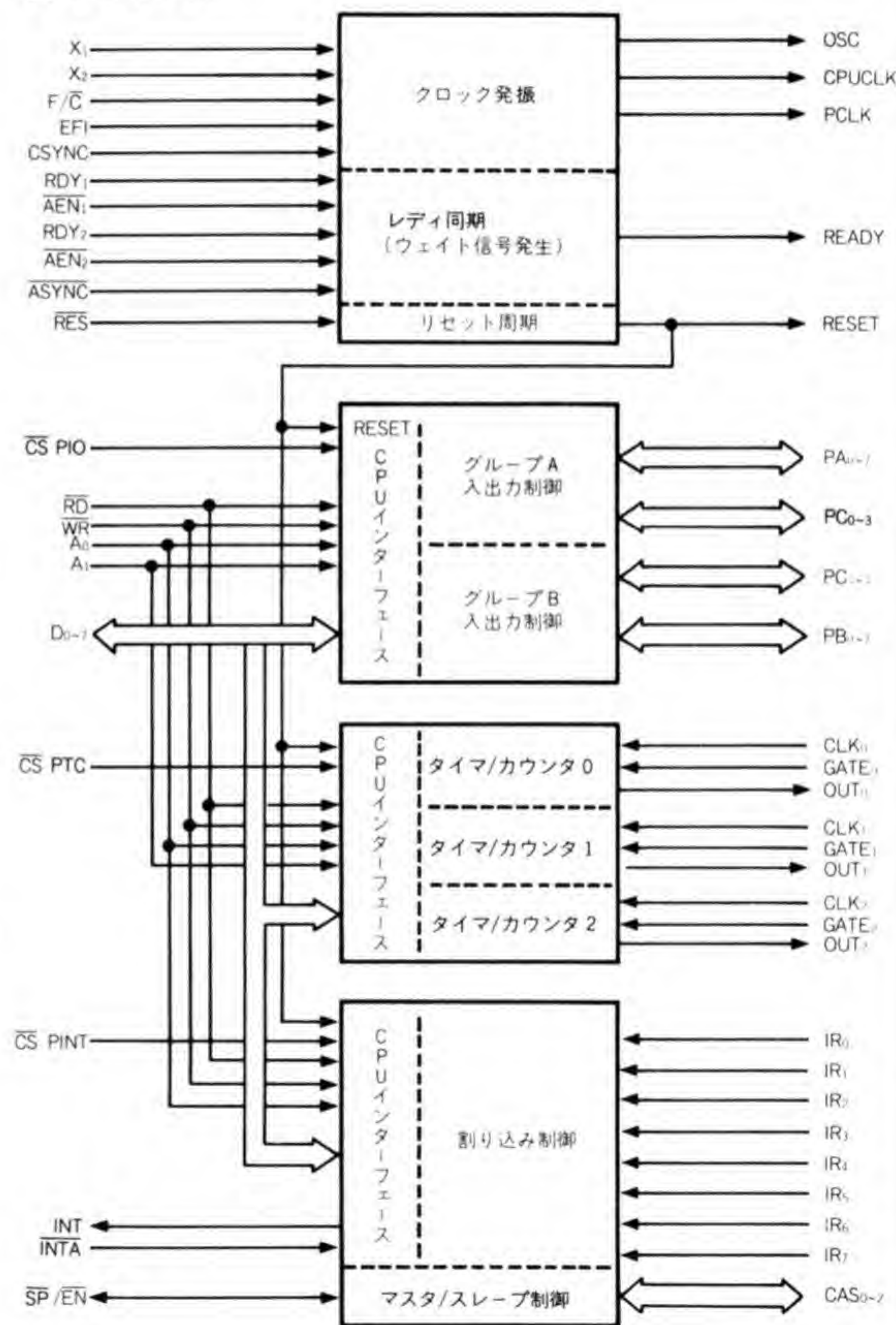
## ■ DC特性 ( $T_a = -20 \sim 75^\circ\text{C}$ , $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.2\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IH}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	10	pF

## ■ 特徴

- ・インテル系CPUと接続可能な多機能周辺LSI
- ・4機能を1チップ化。  
クロック発生器 (8284A相当)。  
タイマ・カウンタ (8254相当)。  
プログラマブルI/O (8255A相当)。  
割り込みコントローラ (8259A相当)
- ・各機能ブロックの端子が別個に設けられ、バス・ライン、制御線は共通
- ・周辺回路のコンパクト化が可能
- ・最大原発振周波数は24MHz
- ・8MHz版8086/8088に直接接続可能

## ■ ブロック図





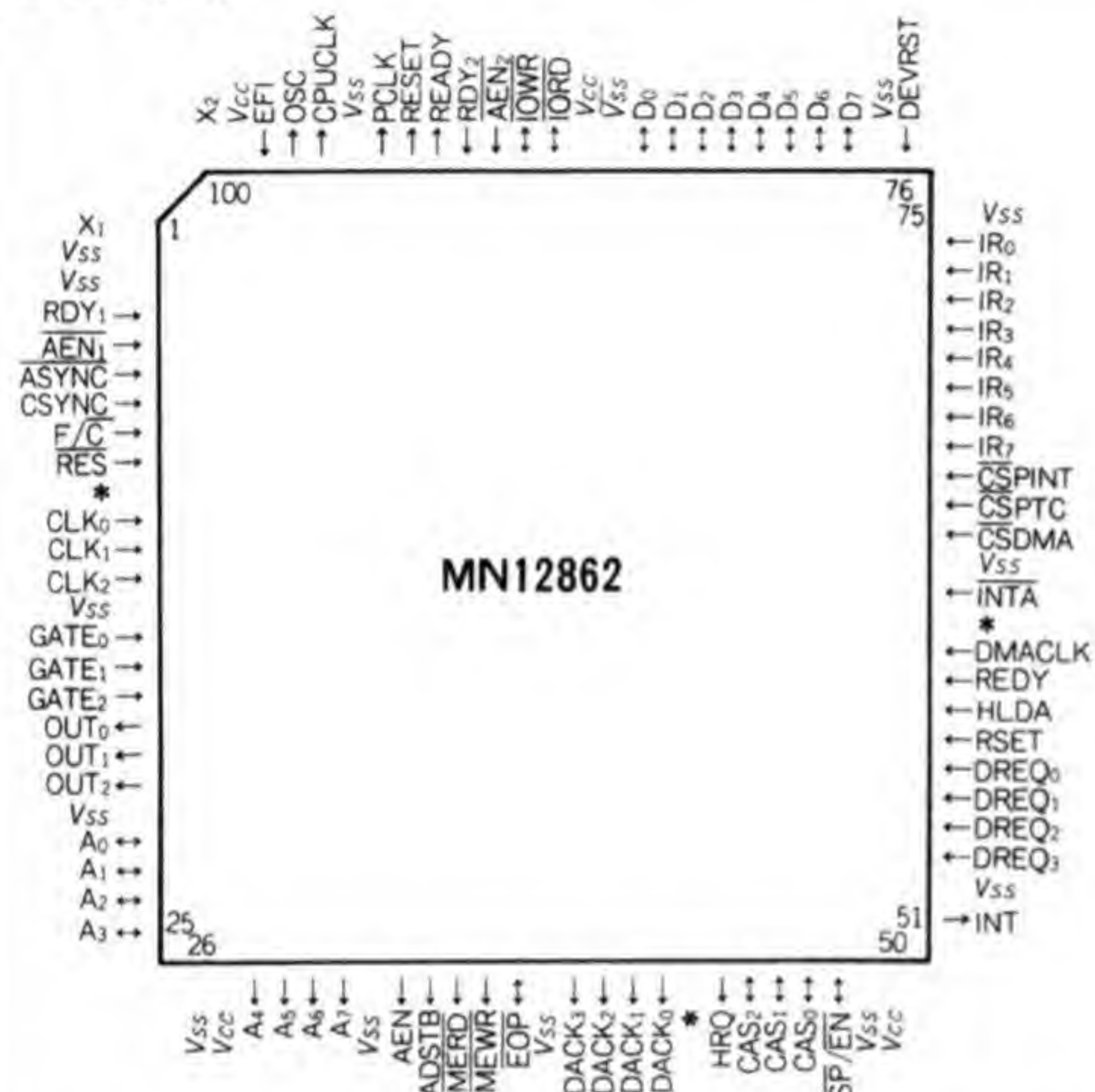
## ■ 端子機能

端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	85~78	入出力	CPU のデータに関するインターフェース端子
A <sub>0</sub> , A <sub>1</sub>	アドレス	74, 73	入力	機能ブロック内のレジスタ、カウンタ、ポートなどのアドレスを指定する
$\overline{\text{WR}}$	ライト	89	入力	データの書き込みコントロール信号
$\overline{\text{RD}}$	リード	88	入力	データの読み出しコントロール信号
$\overline{\text{CSPTC}}$	PTC チップ・セレクト	61	入力	タイマ/カウンタ (PTC) 部のリード/ライトを行うためのチップ・セレクト信号
$\overline{\text{CSPIO}}$	PIO チップ・セレクト	60	入力	I/O (PIO) 部のリード/ライトを行うためのチップ・セレクト信号
$\overline{\text{CSPINT}}$	PINT チップ・セレクト	62	入力	割り込み制御 (PINT) 部のリード/ライトを行うためのチップ・セレクト信号
X <sub>1</sub> , X <sub>2</sub>	クリスタル	1, 100	—	水晶振動子接続端子
RDY <sub>1</sub> , RDY <sub>2</sub>	バス・レディ	4, 91	入力	システム・バス上のデバイスが、受信完了あるいは送信準備完了したことを示す
$\overline{\text{AEN}}_1$ , $\overline{\text{AEN}}_2$	アドレス・イネーブル	5, 90	入力	RDY <sub>1</sub> および RDY <sub>2</sub> を有効にする信号
$\overline{\text{ASYNC}}$	アシンクロナス	6	入力	RDY <sub>1</sub> か RDY <sub>2</sub> かどちらかが有効になった場合の RDY 信号の同期方法を選択する
CSYNC	クロック・シンクロナス	7	入力	ほかのクロック発生部との同期をとる。CSYNC は外部で、EFI 入力と同期をとる
F/ $\overline{\text{C}}$	クロック選択	8	入力	CPUCLK, PCLK のクロック・ソースを選択する
$\overline{\text{RES}}$	リセット入力	9	入力	リセット信号入力端子。I/O 部のリセット信号も兼用
EFI	外部周波数	98	入力	F/ $\overline{\text{C}}$ を“H”にしたとき、EFI 入力 CPUCLK, PCLK のクロック・ソースになる
OSC	オシレータ	97	出力	内部自励発振の出力
CPUCLK	CPU クロック	96	出力	CPU や CPU のローカル・バスのデバイスに供給されるシステム・クロック
PCLK	周辺クロック	94	出力	周辺デバイス用のクロック信号で、CPUCLK を 2 分周した信号が出力される
RESET	リセット出力	93	出力	CPU のリセット信号。 $\overline{\text{RES}}$ 入力を“L”にすると、同期化されて出力される
READY	レディ出力	92	出力	RDY <sub>1</sub> , RDY <sub>2</sub> を同期化した信号
CLK <sub>0~2</sub>	カウンタ・クロック	55, 56, 58	入力	カウンタ/タイマ 0 ~ 2 へのクロック入力信号
OUT <sub>0~2</sub>	カウンタ出力	13~11	出力	カウンタ/タイマ 0 ~ 2 の出力信号
GATE <sub>0~2</sub>	ゲート	54, 57, 10	入力	カウンタ/タイマ 0 ~ 2 のゲート信号。カウンタの動作開始、停止などを制御する
PA <sub>0~7</sub>	ポート A	23~16	入出力	ポート A の入出力端子
PB <sub>0~7</sub>	ポート B	43~40, 38~35	入出力	ポート B の入出力端子
PC <sub>0~7</sub>	ポート C	33~26	入出力	ポート C の入出力端子
IR <sub>0~7</sub>	インタラプト入力	72~65	入力	割り込み制御部への非同期の割り込み要求信号
$\overline{\text{INTA}}$	インタラプト・アクノリッジ	53	入力	割り込みベクトルを読み出すために、CPU の割り込み処理シーケンスで出力される読み出し信号
INT	インタラプト出力	52	出力	CPU への割り込み要求信号
$\overline{\text{SP/EN}}$	SP/EN	48	入出力	バッファ・モードでは制御パルス出力となり、ノン・バッファ・モードではマスタ/スレーブ設定入力
CAS <sub>0~2</sub>	カスケード	47~45	入出力	外部に 8259A を接続する場合のカスケード接続端子



# MFP (Multi Function Peripheral)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	$-20 \sim 70$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

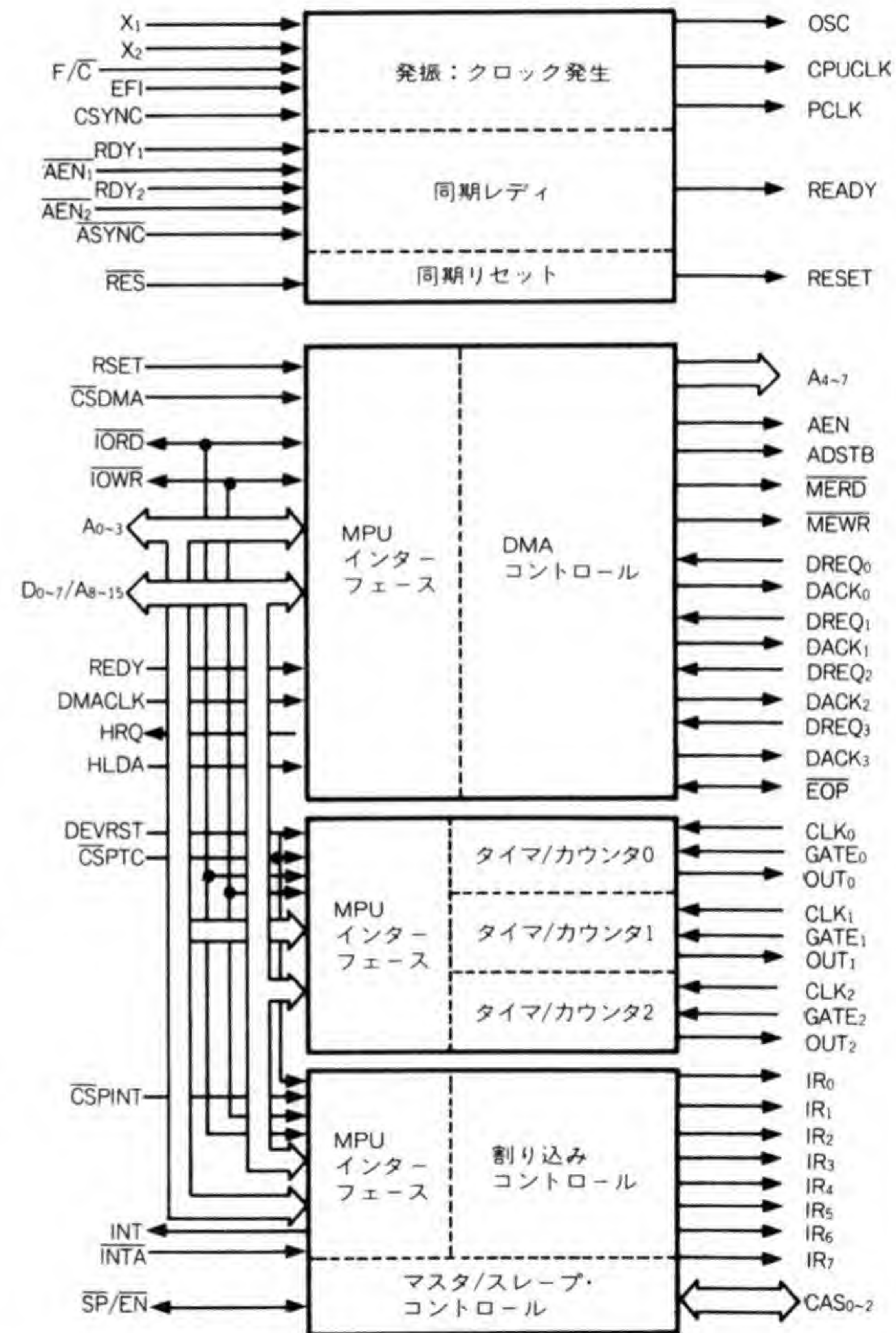
## ■ DC特性 ( $T_a = -20 \sim 70^\circ\text{C}$ , $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	10	pF

## ■ 特徴

- ・インテル系CPUと接続可能な多機能周辺LSI
- ・4機能を1チップ化。  
クロック発生器 (8284A相当)。  
タイマ・カウンタ (8254相当)。  
DMAコントローラ (8237A相当)。  
割り込みコントローラ (8259A相当)。
- ・各機能ブロックの端子が別個に設けられ、バス・ライン、制御線は共通
- ・周辺回路のコンパクト化が可能
- ・最大原発振周波数は24MHz
- ・8MHz版8086/8088に直接接続可能

## ■ ブロック図





## ■ 端子機能

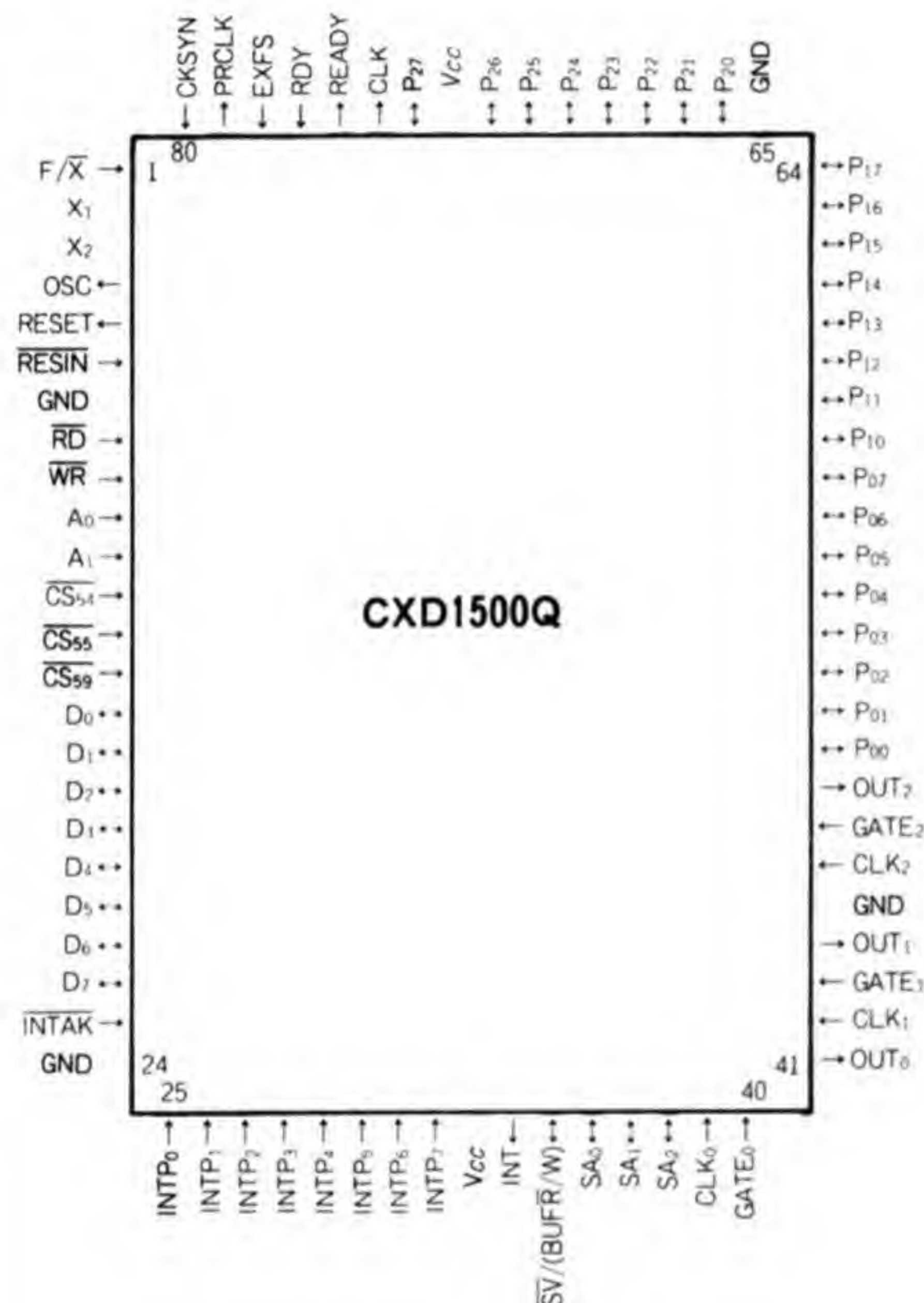
端子名	ピン番号	入出力	機能
D <sub>7</sub> ~D <sub>0</sub>	78~85	入出力	システム・バスに接続されるデータ・バス
$\overline{\text{IORD}}$	88	入出力	I/O リード信号
$\overline{\text{IOWR}}$	89	入出力	I/O ライト信号
$\overline{\text{MERD}}$	35	出力	アドレスからデータを読み出す時のメモリ・リード信号
$\overline{\text{MEWR}}$	36	出力	目的とするアドレスへデータを書き込む時のメモリ・ライト信号
A <sub>0</sub> ~A <sub>3</sub>	22~25	入出力	下位4ビットのアドレス入出力信号
A <sub>4</sub> ~A <sub>7</sub>	28~31	出力	上位4ビットのアドレス出力信号
$\overline{\text{CSPINT}}$	66	入力	割り込みコントローラのチップ・セレクト信号
$\overline{\text{CSPTC}}$	65	入力	タイマ/カウンタのチップ・セレクト信号
$\overline{\text{CSDMA}}$	64	入力	DMA コントローラのチップ・セレクト信号
DEVIRST	76	入力	タイマ/カウンタ, 割り込みコントローラのリセット信号
DMACK	60	入力	DMA コントローラ用のクロック信号入力
RSET	57	入力	DMA コントローラ部のリセット入力
REDY	59	入力	DMA コントローラ部のレディ信号
HLDA	58	入力	バスの制御権を DMA に移すためのホールド・アクノリッジ
DREQ <sub>3</sub> ~DREQ <sub>0</sub>	53~56	入力	DMA リクエスト信号
HRQ	44	出力	CPU に対し, バスの制御権を求めるホールド・リクエスト
$\overline{\text{EOP}}$	37	入出力	サービス終了を示すエンド・オブ・プロセス
DACK <sub>3</sub> ~DACK <sub>0</sub>	39~42	出力	DMA アクノリッジ出力
AEN	33	出力	アドレス・イネーブル信号

端子名	ピン番号	入出力	機能
ADSTB	34	出力	アドレス・ストローブ信号
CAS <sub>2~0</sub>	45~47	入出力	複数の割り込みコントローラを使用する場合のカスケード・アドレス・バス
$\overline{\text{SP/EN}}$	48	入出力	スレーブ・プログラム/イネーブル・バッファ
INT	51	出力	割り込み要求出力
IR <sub>7</sub> ~IR <sub>0</sub>	67~74	入力	割り込み要求入力
$\overline{\text{INTA}}$	62	入力	インタラプト・アクノリッジ入力
CLK <sub>0~2</sub>	11~13	入力	タイマ/カウンタ 0~2 へのクロック入力
GATE <sub>0~2</sub>	15~17	入力	タイマ/カウンタ 0~2 のゲート信号
OUT <sub>0~2</sub>	18~20	出力	タイマ/カウンタ 0~2 の出力信号
X <sub>1</sub> , X <sub>2</sub>	1, 100	—	水晶振動子接続端子
$\overline{\text{AEN}}_1, \overline{\text{AEN}}_2$	5, 90	入力	RD <sub>1</sub> , RD <sub>2</sub> を有効にするアドレス・イネーブル
RDY <sub>1</sub> , RDY <sub>2</sub>	4, 91	入力	バス・レディ
$\overline{\text{ASYN}}_C$	6	入力	レディ同期化方法選択
F/ $\overline{\text{C}}$	8	入力	クロック・ソースの選択信号
CPUCLK	96	出力	CPU クロック
PCLK	94	出力	周辺デバイス用クロック信号
EFI	98	入力	外部周波数入力
OSC	97	出力	内部自励発振の出力
$\overline{\text{RES}}$	9	入力	リセット入力信号
RESET	93	出力	CPU のリセット信号
CSYNC	7	入力	クロック同期化入力
READY	92	出力	RDY <sub>1</sub> , RDY <sub>2</sub> を同期化した出力



# MFP [Multi Function Peripheral]

## ■ ピン接続

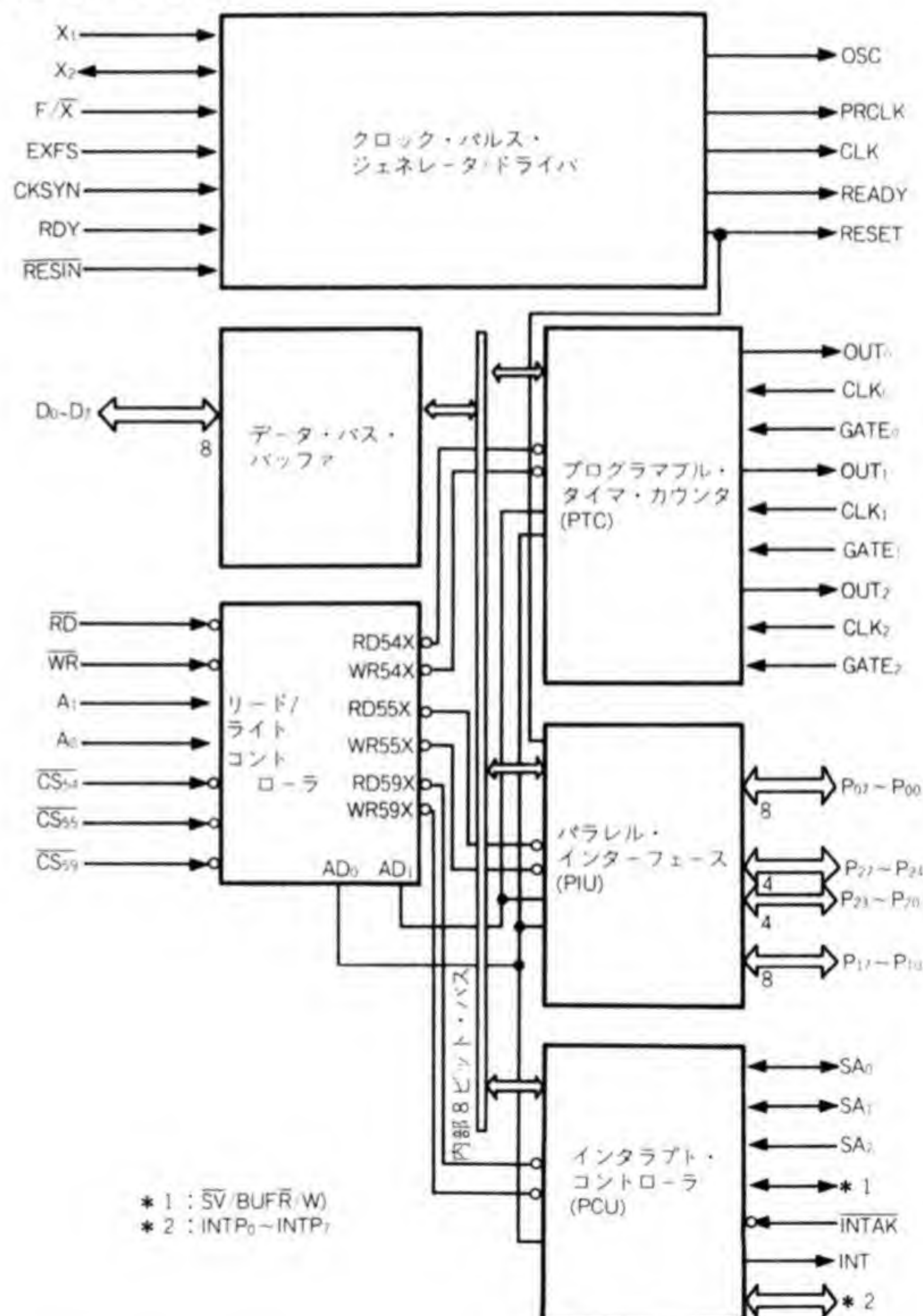


CXD1500Q

## ■ 特徴

- ・ 8284相当クロック・ジェネレータ, 8254相当タイマ・カウンタ, 8255A相当パラレル・インターフェース, 8259A相当インタラプト・コントローラを内蔵
- ・ 基準信号として内部発振および外部入力を選択可能
- ・ 3組の16ビット・カウンタを内蔵し, 6種類の動作モードを選択可能
- ・ 3組の8ビットI/Oポートが使用可能
- ・ 割り込み要求入力数は8本
- ・ 拡張モードで64割り込み要求入力に対応
- ・ マスク・レジスタによる要求マスクが可能
- ・ 優先順位はプログラマブル
- ・ 4種類のLSIを1チップ化することにより, システム・ボードの面積を大幅縮小可能

## ■ ブロック図



\* 1 :  $\overline{SV/BUFR/W}$   
\* 2 :  $\overline{INTP_0 \sim INTP_7}$

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
動作温度	$T_{OPR}$	-20~75	°C
保存温度	$T_{STG}$	-55~150	°C

## ■ DC特性 ( $T_a = -20 \sim 75^\circ\text{C}$ , $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 4\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 2\text{mA}$	$V_{CC} - 0.5^*$	V
$I_{OL}$	$V_{OUT} = 0$ , $V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IH}$	$V_{IN} = 0$ , $V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ $T_a = 25^\circ\text{C}$ , $V_{CC} = 5\text{V}$	12	pF



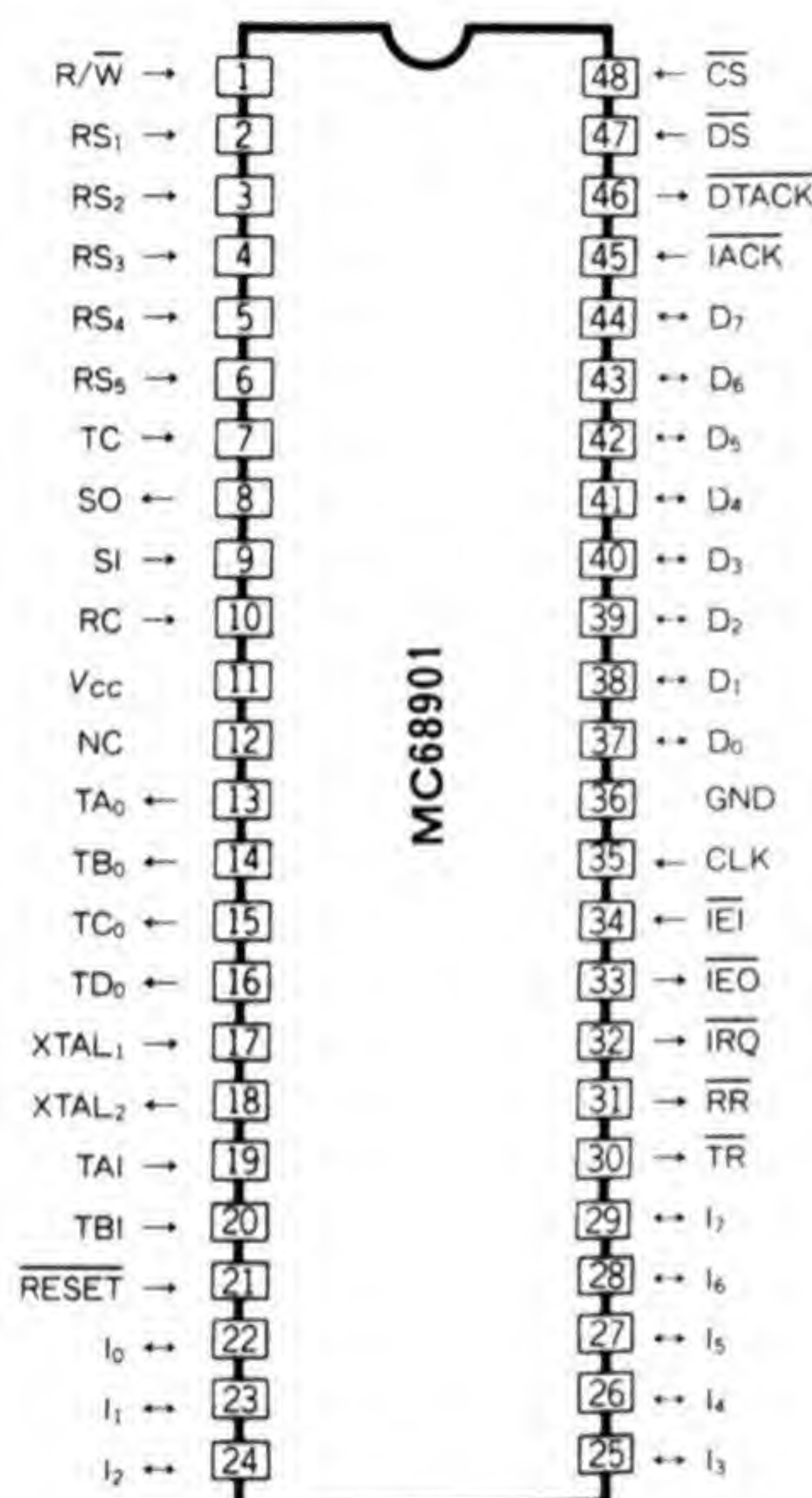
## ■ 端子機能

端子名	名称	ピン番号	入出力	機能
X <sub>1</sub> , X <sub>2</sub>	クリスタル	2, 3	—	OSC 回路を発振源とするときの水晶振動子接続端子
EXFS	外部クロック	78	入力	外部クロック信号を発振源とするときのクロック信号入力端子
F/ $\bar{X}$	クロック・セレクト	1	入力	内部発振クロックと外部クロック入力信号のセレクト端子
CLK	システム・クロック	75	出力	MPU および周辺回路システム・クロック出力端子
PRCLK	周辺クロック	79	出力	MPU 周辺回路のクロック出力端子
OSC	オシレータ	4	出力	水晶発振周波数と同じ周波数を出力する端子
CKSYN	クロック・シンクロナイズেশ ン	80	入力	複数のクロック・パルス・ジェネレータの同期をとるときの入力端子
$\overline{\text{RESIN}}$	リセット入力	6	入力	リセット信号を発生させるときの入力端子
RESET	リセット出力	5	出力	MPU および周辺回路パワー・オン・リセット信号出力端子
RDY	レディ入力	77	入力	システム・バス上でのレディ信号入力端子
READY	レディ出力	76	出力	RDY 入力信号を同期化した出力信号
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	15~22	入出力	MPU と各内部機能ブロック間のデータ入力, および出力端子
$\overline{\text{CS}}_{64}$	PTC チップ・セレクト	12	入力	プログラマブル・タイマ・カウンタ (PTC) ブロックのセレクト入力端子
$\overline{\text{CS}}_{65}$	PIU チップ・セレクト	13	入力	パラレル・インターフェース・ユニット (PIU) のセレクト入力端子
$\overline{\text{CS}}_{69}$	ICU チップ・セレクト	14	入力	インタラプト・コントロール・ユニット (ICU) のセレクト入力端子
A <sub>0</sub> , A <sub>1</sub>	アドレス入力	10, 11	入力	各機能ブロック (PTC, PIU, ICU) の共通アドレス入力端子
$\overline{\text{RD}}$	リード・ストロープ	8	入力	各機能ブロック (PTC, PIU, ICU) の共通読み出し制御入力端子
$\overline{\text{WR}}$	ライト・ストロープ	9	入力	各機能ブロック (PTC, PIU, ICU) の共通書き込み制御入力端子
CLK <sub>0~2</sub>	カウンタ・クロック	39, 42, 46	入力	カウンタ 0 ~ 2 のクロック入力端子
GATE <sub>0~2</sub>	カウンタ・ゲート	40, 43, 47	入力	カウンタ 0 ~ 2 のカウント禁止や, カウント, イニシャライズなどを制御する入力端子
OUT <sub>0~2</sub>	カウンタ出力	41, 44, 48	出力	カウンタ 0 ~ 2 の出力端子
P <sub>00</sub> ~P <sub>07</sub>	ポート 0	49~56	入出力	ポート 0 の入力および出力端子
P <sub>10</sub> ~P <sub>17</sub>	ポート 1	57~64	入出力	ポート 1 の入力および出力端子
P <sub>20</sub> ~P <sub>27</sub>	ポート 2	66~72, 74	入出力	ポート 2 の入力および出力端子
INTP <sub>0</sub> ~ INTP <sub>7</sub>	インタラプト・リクエスト	25~32	入力	8 本の同期式割り込み要求入力端子
INT	インタラプト出力	34	出力	ICU から MPU またはマスタ ICU への割り込み要求出力端子
$\overline{\text{INTAK}}$	インタラプト・アクノリッジ	23	入力	MPU から ICU への割り込み承認入力端子
$\overline{\text{SV}}$ / (BUFR/W)	スレーブ/バッファ・リード	35	入出力	アンバッファ・モードとバッファ・モードの 2 種類の働きをもつ入力および出力端子
SA <sub>0</sub> ~SA <sub>2</sub>	スレーブ・アドレス	36~38	入出力	ICU のカスケード接続のとき, マスタとして用いるときは出力となり, スレーブとして用いるときは入力端子となる I/O 端子



# MFP (Multi Function Peripheral)

## ■ ピン接続



## ■ 特 徴

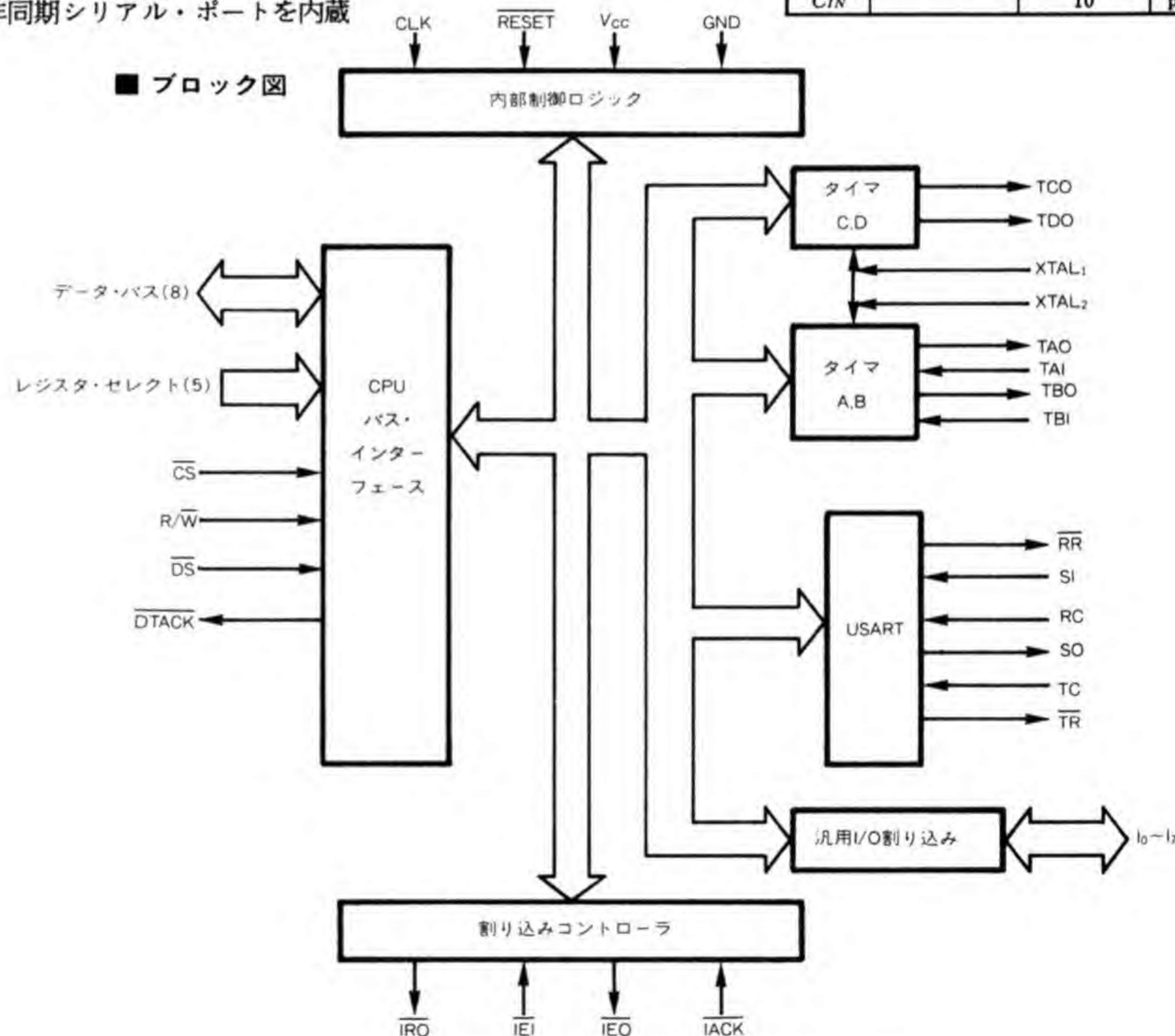
- ・個別に割り込み能力をもった8本のプログラマブル I/O
- ・個々の割り込み源をイネーブルおよびディセーブルできる16個の割り込み制御回路
- ・4個のタイマをもち、このうち2個はマルチ・モード・タイマ
- ・タイマはシリアル・チャンネルのためのボーレート
- ・ジェネレータとして利用可能
- ・全二重同期/非同期シリアル・ポートを内蔵

## ■ DC特性

(T<sub>a</sub> = 0~70°C, V<sub>CC</sub> = 5.0 ± 5%)

記号	測 定 条 件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 2.0mA	0.5	V
V <sub>OH</sub>	I <sub>OH</sub> = 120μA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> = 0.5~2.4V	±10	μA
I <sub>IL</sub>	V <sub>IN</sub> = 0~V <sub>CC</sub>	10	μA
C <sub>IN</sub>		10	pF

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~7.0	V
消費電力	P <sub>D</sub>	1.5	W
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-65~150	°C

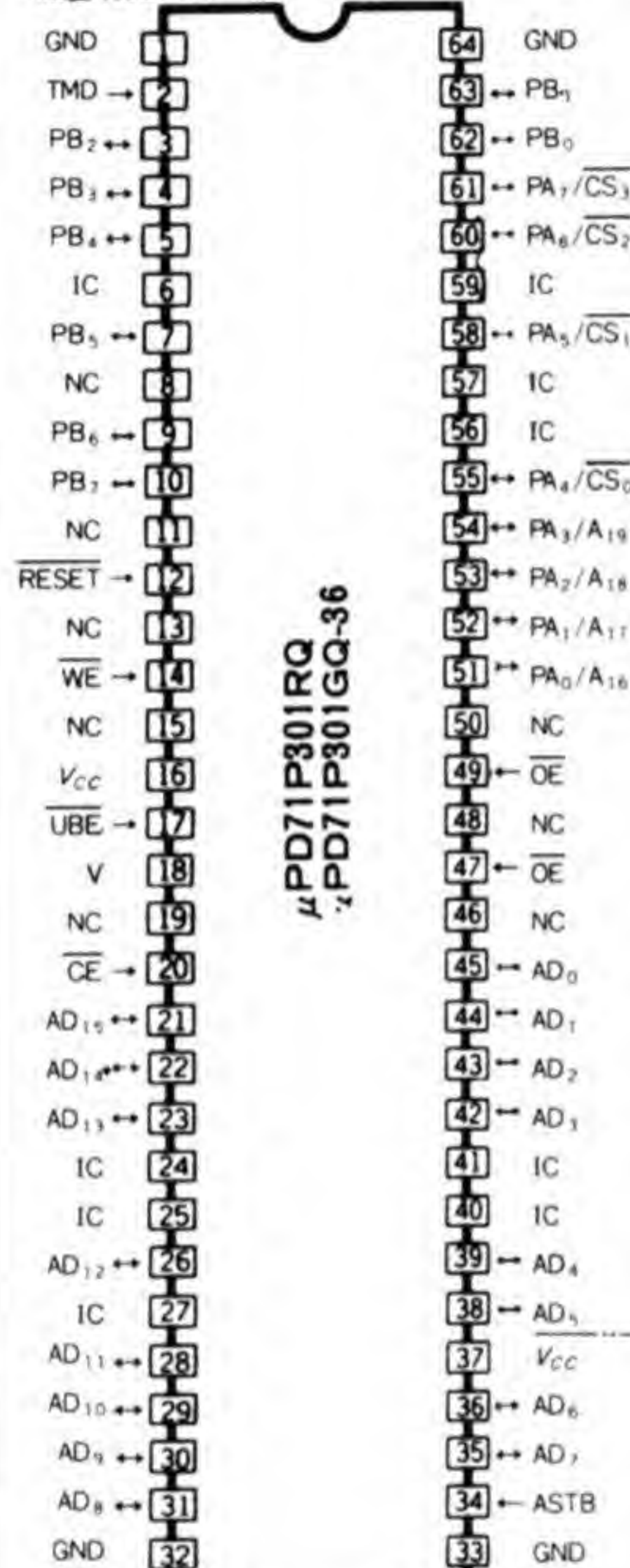


## ■端子機能

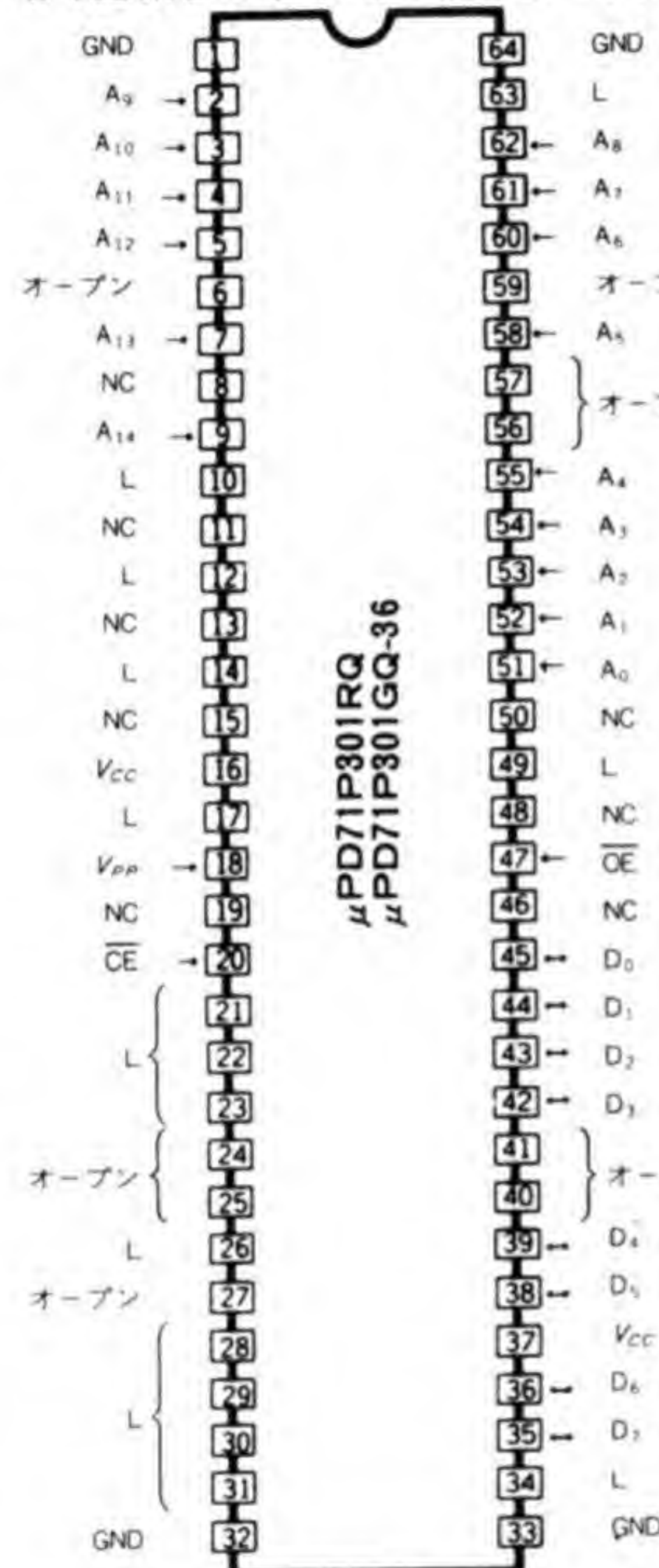
端子名	名称	ピン番号	入出力	機能
CLK	クロック	35	入力	内部タイミングのための1相TTLコンパチブル信号
$\overline{CS}$	チップ・セレクト	48	入力	内部レジスタのアクセスのために用いる
$\overline{DS}$	データ・ストローブ	47	入力	内部チップ・セレクトと割り込みアクノリッジ機能の一部をもっている。ベクタを用いた割り込みを用いる場合には、 $\overline{DS}$ はプロセッサの下位データ・ストローブに接続しなくてはならない
R/ $\overline{W}$	読み出し/書き込み	1	入力	データ転送が読み出しなのか書き込みなのかを示す
$\overline{DTACK}$	データ転送アクノリッジ	46	出力	プロセッサにバス・サイクルの終了を示す
RS <sub>1</sub> ~RS <sub>5</sub>	レジスタ・セレクト・バス	2~6	入力	レジスタ・セレクト・バスの下位5ビットは読み出し/書き込み動作中内部のレジスタを選択する
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	37~44	入出力	プロセッサによる読み出し/書き込み動作中、内部レジスタからデータを読み出したり内部レジスタにデータを書き込むのに用いられる
$\overline{RESET}$	リセット	21	入力	リセット信号
$\overline{IRQ}$	割り込みリクエスト	32	出力	割り込み要求を示す信号
$\overline{IACK}$	割り込みアクノリッジ	45	入力	$\overline{IRQ}$ と $\overline{IEI}$ がともにアクティブであるとき、 $\overline{IACK}$ と $\overline{DS}$ がアサートされると割り込みアクノリッジ・サイクルを始める
$\overline{IEI}$	割り込みイネーブル入力	34	入力	$\overline{IEO}$ とともに用いてデジィ・チェーン方式のベクタ割り込みをサポートする
$\overline{IEO}$	割り込みイネーブル出力	33	出力	$\overline{IEI}$ とともに用いてデジィ・チェーン方式のベクタ割り込みをサポートする
I <sub>0</sub> ~I <sub>7</sub>	汎用I/O割り込み	22~29	入出力	割り込み機能をもつ8ビットのプログラム可能なI/Oポート
XTAL <sub>1</sub> , XTAL <sub>2</sub>	タイマ・クロック	17, 18	入力	四つのタイマにタイミング信号を供給する
TAI, TBI	タイマ入力A, B	19, 20	入力	パルス幅測定モードとイベント計数モードにおいてタイマAとBに対するコントロール信号
TAO, TBO, TCO, TDO	タイマ出力A, B, C, D	13~16	出力	各々のタイマは選択されているモードによらずメイン・カウンタが01(16進)まで計数したときにトグルされる出力端子をもっている
SI	シリアル入力	9	入力	USART レシーバ・データ入力
SO	シリアル出力	8	出力	USART トランスミッタ・データ出力
RC	レシーバ・クロック	10	入力	レシーバのシリアル・ビット・レートを制御する
TC	トランスミッタ・クロック	7	入力	トランスミッタのシリアル・ビット・レートを制御する
$\overline{RR}$	レシーバ・レディ	31	出力	DMA 動作に対してバッファ・フルを示す
$\overline{TR}$	トランスミッタ・レディ	30	出力	DMA 動作においてバッファ・エンプティを示す



＜通常動作モード＞



＜PROMプログラミング・モード＞



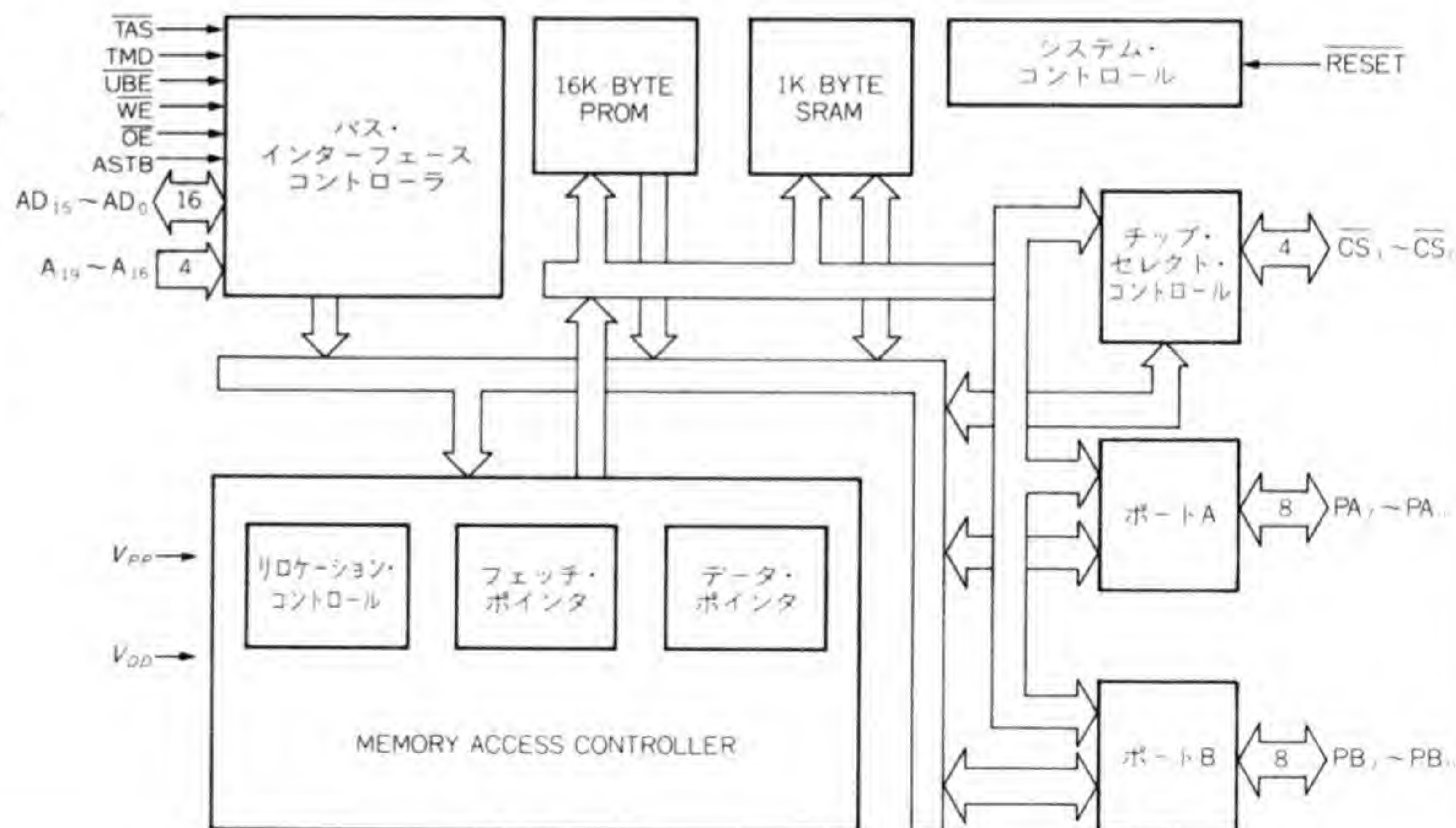
(注)L: 外部プルダウン抵抗で  
ロウ・レベルに固定する。

- ・16KバイトのPROMまたはEPROM, 1KバイトSRAM, 16I/Oを内蔵したマイコン用周辺LSI
- ・高速メモリ・アクセス機能, バス・インターフェース機能をもち, アドレス・データ・マルチプレクス・バスと直接接続可能
- ・1M/64Kバイトのメモリ空間に対応した内部メモリ空間のリロケーション機能
- ・外部拡張アドレス出力機能
- ・チップ・セレクト信号出力機能

(  $T_a = -10 \sim 75^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$  )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.0\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 1.0\text{mA}$	$V_{CC} - 1.0^*$	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}, T_a = 25^\circ\text{C}$	10	pF

## ■ ブロック図



### ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$-10 \sim 70$	$^{\circ}\text{C}$
保存温度	$T_{STG}$	$-65 \sim 150$	$^{\circ}\text{C}$



## ■端子機能〈通常動作モード〉

端子名	ピン番号	入出力	機 能	兼用端子
PA <sub>3</sub> ~PA <sub>0</sub>	51~54	入出力	8ビット入出力ポート バイト単位で入出力の指定可能	A <sub>19</sub> ~A <sub>16</sub>
PA <sub>7</sub> ~PA <sub>4</sub>	55, 58, 60, 61			$\overline{CS}_3 \sim \overline{CS}_0$
PB <sub>7</sub> ~PB <sub>0</sub>	62, 63, 3~5, 7, 9, 10	入出力	8ビット入出力ポート ビット単位で入出力の指定可能	—
AD <sub>15</sub> ~ AD <sub>0</sub>	21~23, 26, 28~31, 35, 36, 38, 39, 42~45	入出力	アドレス・データ・マルチプレクスト・バス	—
A <sub>19</sub> ~A <sub>16</sub>	51~54	入 力	アドレス入力端子	PA <sub>3</sub> ~PA <sub>0</sub>
$\overline{RESET}$	12	入 力	システム・リセット信号入力端子	—
ASTB	34	入 力	AD <sub>15</sub> ~AD <sub>0</sub> , $\overline{TAS}$ , TMD をラッチするタイミングの入力端子	—
TMD	2	入 力	ターボ・アクセス・モードを指定する制御信号入力端子	—
$\overline{CE}$	20	入 力	チップ・イネーブル信号入力端子	—
$\overline{OE}$	47, 49	入 力	アウトプット・イネーブル信号入力端子	—
$\overline{WE}$	14	入 力	ライト・イネーブル信号入力端子	—
$\overline{UBE}$	17	入 力	16ビット/8ビット・バスの選択信号入力端子	—
$\overline{CS}_3 \sim \overline{CS}_0$	55, 58, 60, 61	出 力	チップ・セレクト出力	PA <sub>7</sub> ~PA <sub>4</sub>
V <sub>cc</sub>	16, 37	—	正電源供給端子	—
GND	1, 32, 33, 64	—	クラウンド電位端子	—

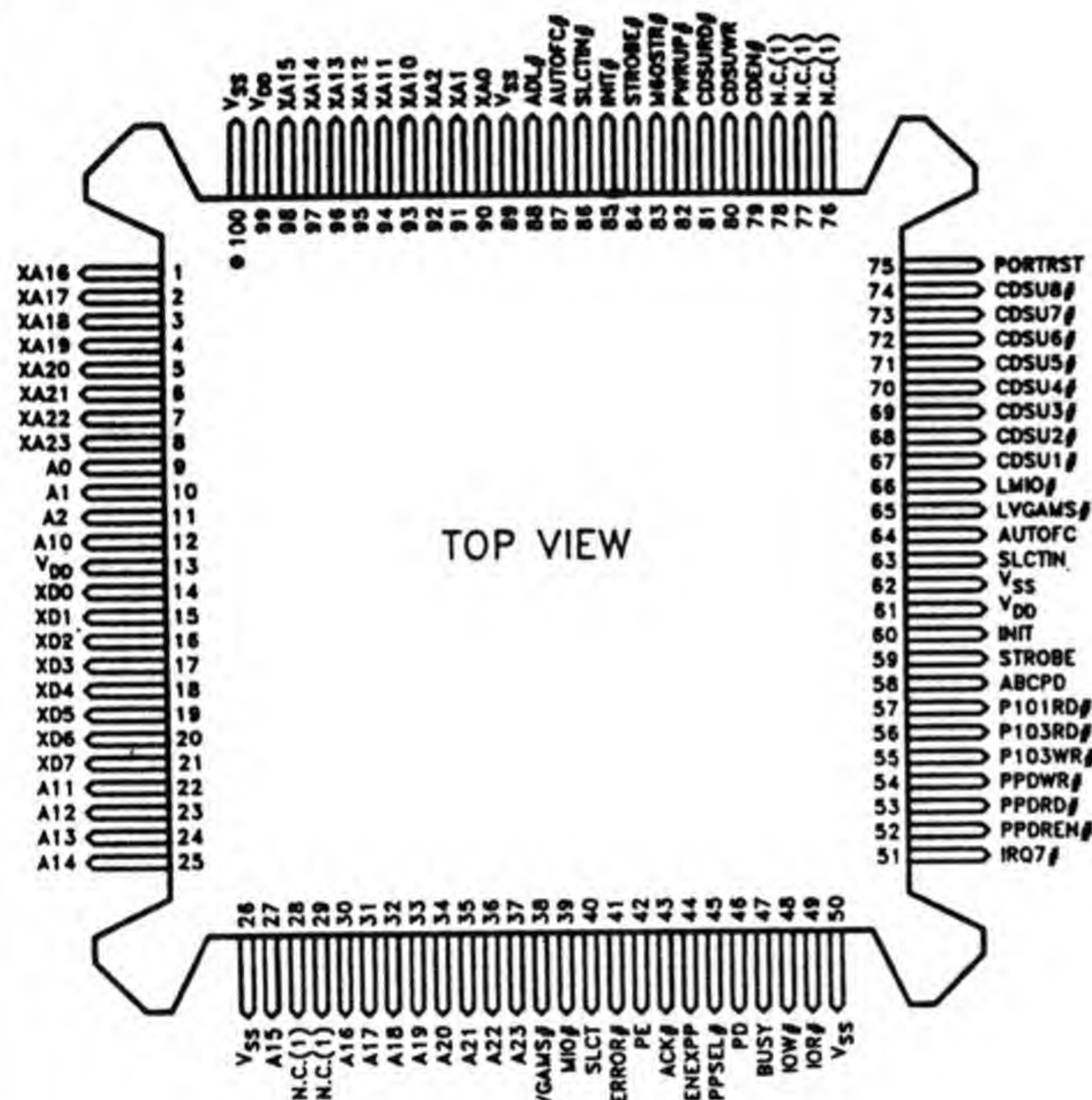
## 〈PROM プログラミング・モード〉

端子名	ピン番号	ピン番号	機 能
A <sub>14</sub> ~A <sub>0</sub>	2~5, 7, 9, 51~55, 60~62	入 力	アドレス入力端子
D <sub>7</sub> ~D <sub>0</sub>	35, 36, 38, 39, 42~45	入出力	データ出力端子
$\overline{CE}$	20	入 力	チップ・イネーブル信号入力端子
$\overline{OE}$	47	入 力	アウトプット・イネーブル信号入力端子
$\overline{RESET}$	12	入 力	PROM モード設定端子
V <sub>PP</sub>	18	入 力	プログラム書き込み/ベリファイ時の高電圧印加端子
V <sub>cc</sub>	16, 37	—	正電源供給端子
GND	1, 32, 33, 64	—	グラウンド電位端子



# LIO [Local I/O Support Chip]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPK}$	$-40 \sim 85$	°C
保存温度	$T_{STG}$	$-65 \sim 85$	°C

## ■ DC 特性

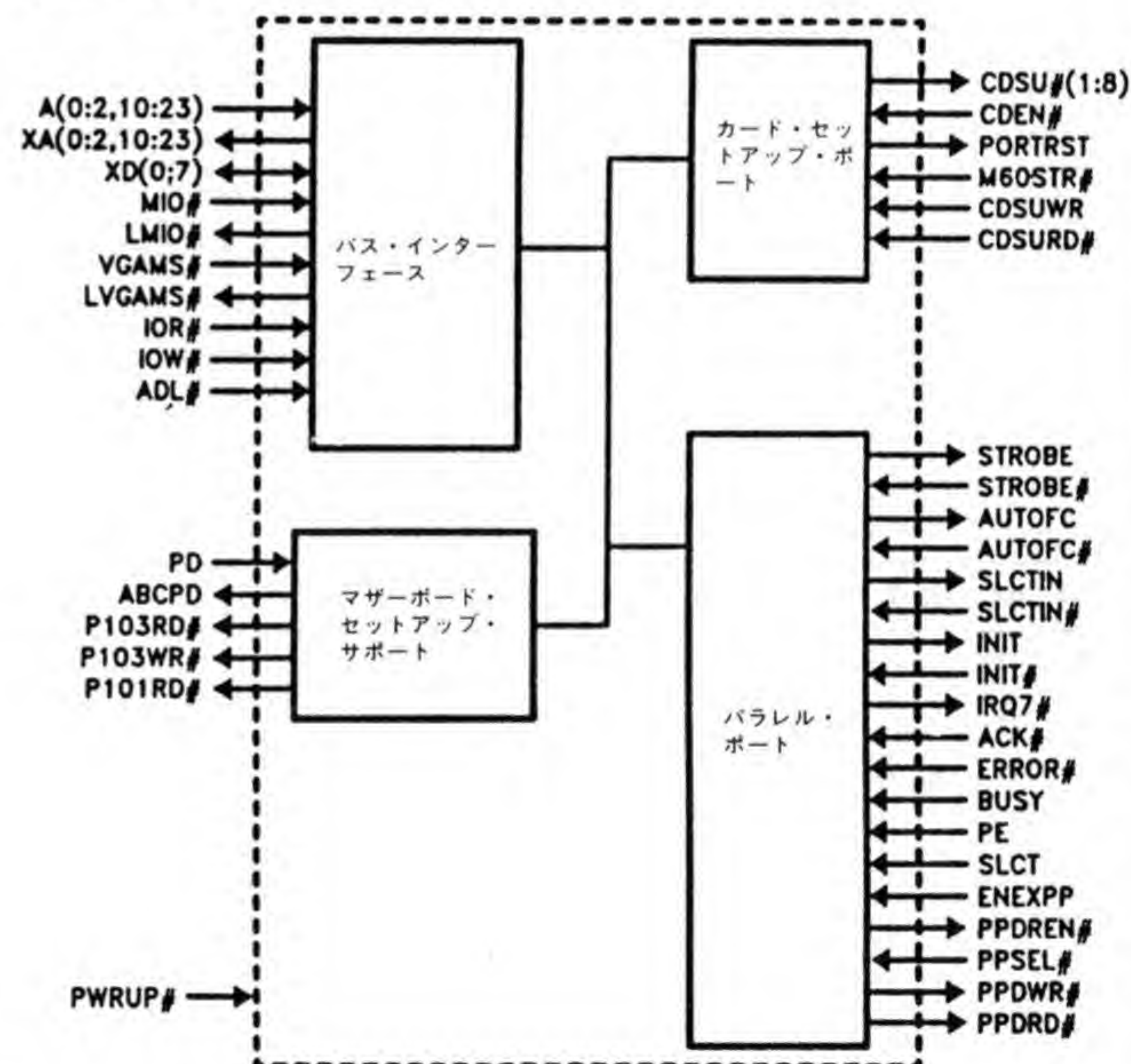
( $T_a = -0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 4\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 4\text{mA}$	2.4*	V
$I_{OFL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$

## ■ 特徴

- ・ 82304、82077 (FDC) と組み合わせて使用し、IBMコンパチブルなシステムをコンパクトに構成できるローカルI/Oサポート・チップ
- ・ マイクロ・チャンネルおよび周辺デバイス用のバス・インターフェース内蔵
- ・ マイクロ・チャンネルのアドレス信号ラッチ出力付き
- ・ パラレル・インターフェース機能内蔵
- ・ カードおよびマザーボードのセットアップ・サポート機能付き

## ■ ブロック図





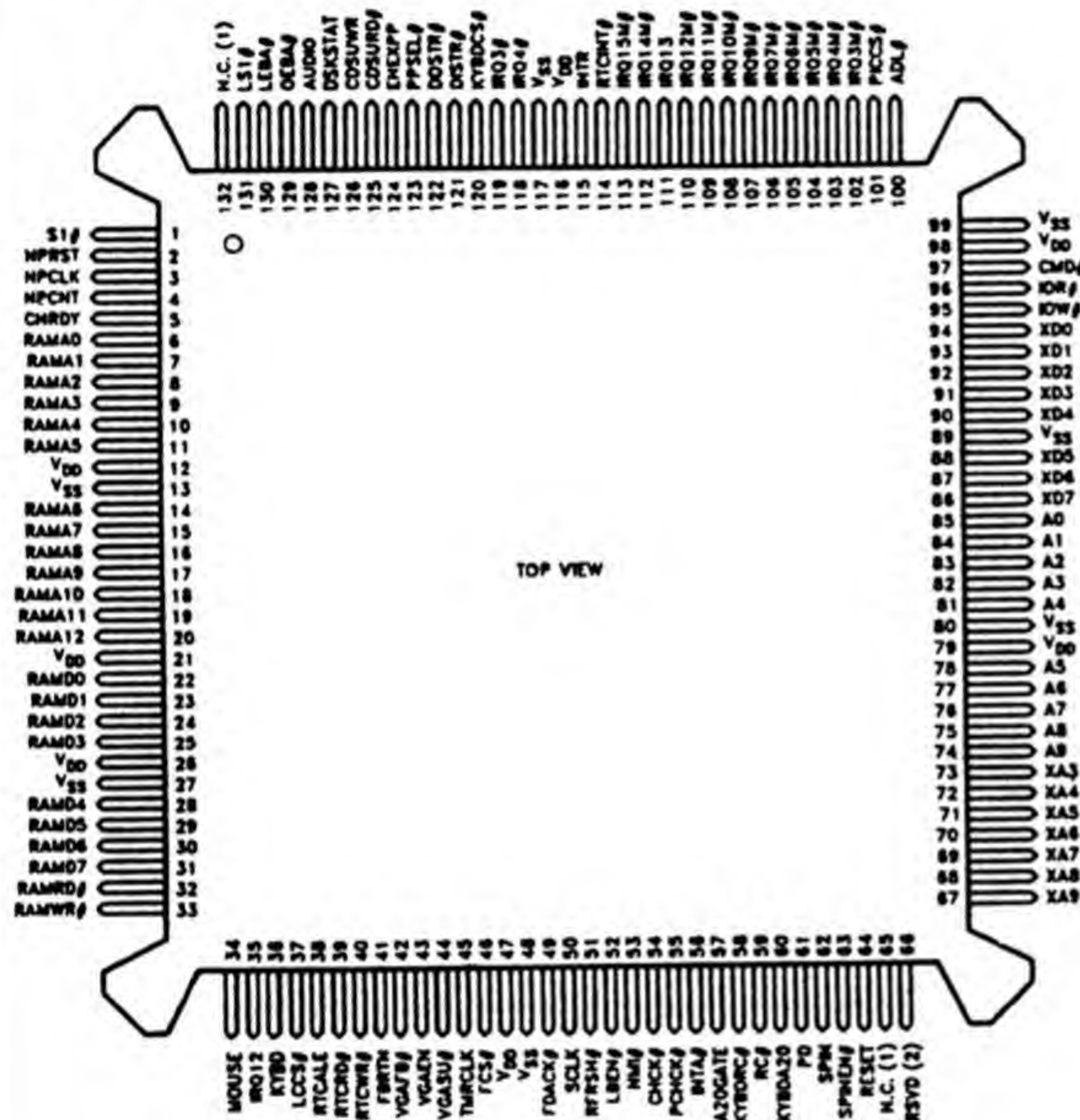
■端子機能

端子名	ピン番号	入出力	機能
PWRUP #	82	入力	パワー・オン・リセット入力。82303をイニシャライズ状態にする。
A0～A2, A10～A23	9～12, 22～25 27, 30～37	入力	マイクロ・チャンネル・アドレス入力。これらは内部でラッチされる。
XA0～XA2, XA10～XA23	90～98, 1～8	出力	周辺デバイス用バス・アドレス。マイクロ・チャンネル・アドレス入力が入力がラッチされ出力される。
XD0～XD7	14～21	入出力	周辺デバイス用の双方向データ・バス。
MIO #	39	入力	マイクロ・チャンネル MIO #インジケータ。
LMIO #	66	出力	マイクロ・チャンネル MIO #インジケータのラッチ出力。
VGAMS #	38	入力	VGA メモリ・バッファ・デコード信号入力。
LVGAMS #	65	出力	VGA メモリ・バッファ・デコードのラッチ出力。
IOR #, IOW #	49, 48	入力	82303のリード/ライト・ストロブ信号入力。
ADL #	88	入力	マイクロ・チャンネル ADL #入力。
PD	46	入力	POS デコード信号入力。
ABCPD	58	出力	アドレス・バス・コントローラ (82309) POS デコード信号出力。
P101RD #, P103RD #, P103WR #	57, 56, 55	出力	システム・ボードのセットアップ・ポート用リード/ライト・ストロブ信号出力。
CDSU # 1～8	67～74	出力	マイクロ・チャンネル・スロットへのカード・セットアップ信号出力。
CDEN #	79	入力	カード・セットアップ信号のデコード・イネーブル信号入力。
PORTRST	75	出力	マイクロ・チャンネル・リセット信号出力。
M60STR #	83	入力	モデル60ストラップ。
CDSUWR	80	入力	ポート96～97H ライト・ストロブ。
CDSURD #	81	入力	ポート96～97H リード・ストロブ。
STROBE #, AUTOFC # SLCTIN #, INIT #	84, 87 86, 85	入力	パラレル・ポート・コントロール信号入力。
STROBE, AUTOFC, SLCTIN, INIT	59, 64, 63, 60	出力	パラレル・ポート・コントロール信号出力。
IRQ7 #	51	出力	パラレル・ポート割り込み要求信号出力。
ACK #, ERROR #, BUSY, PE, SLCT	43, 41, 47, 42, 40	入力	パラレル・ポート・ステータス信号入力。
ENEXPP	44	入力	パラレル・ポート拡張モード・イネーブル信号入力。
PPSEL #	45	入力	パラレル・ポート・チップ・セレクト信号入力。
PPDREN #	52	出力	外部 '652パラレル・ポート・データ・バッファを双方向使用可にする。
PPDWR #, PPDRD #	54, 53	出力	パラレル・ポート・データ・バッファ・ライト/リード・ストロブ信号出力。



## L10 (Local I/O Support Chip)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.3$	V
動作温度	$T_{OPR}$	-40~85	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ 特 徴

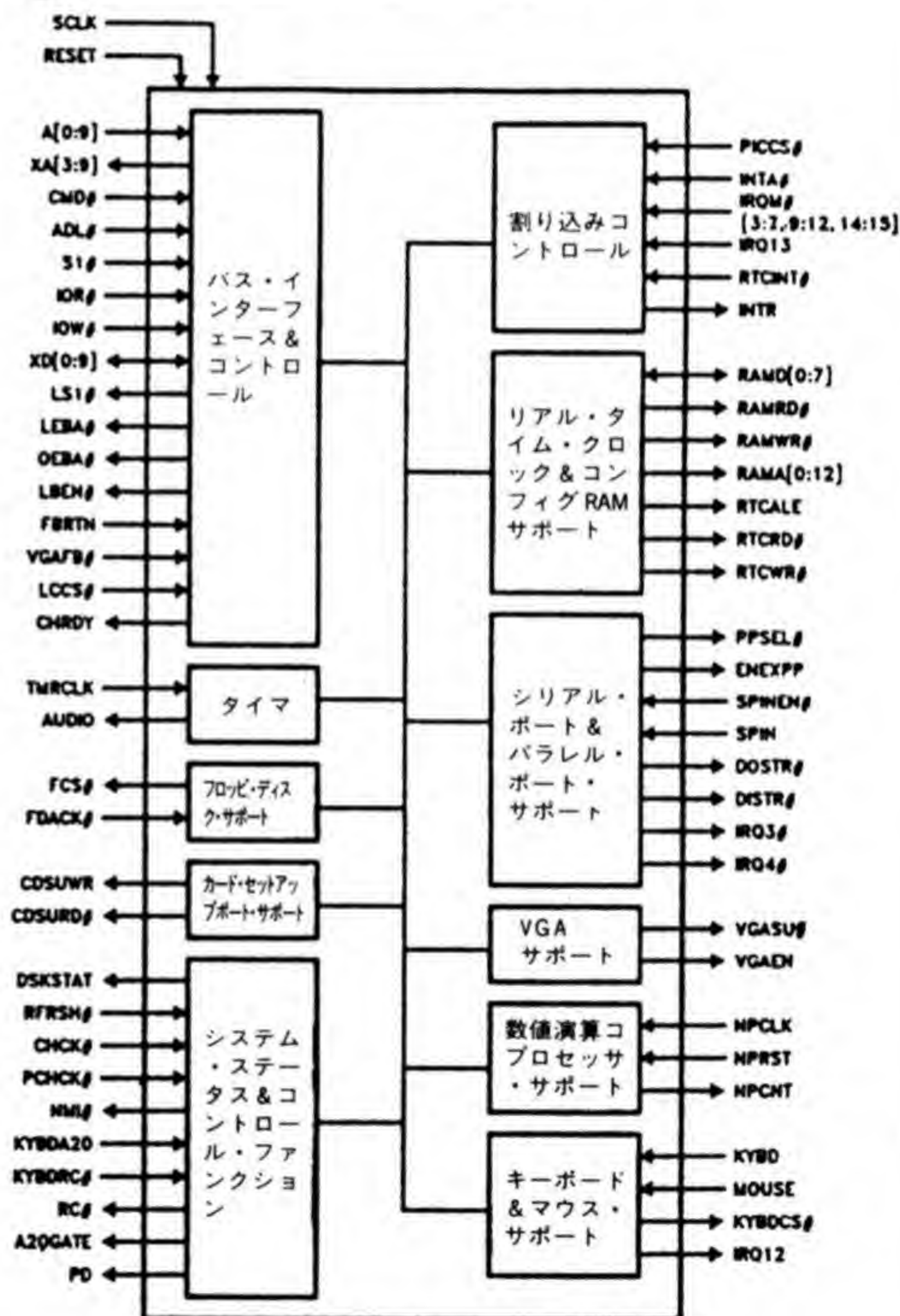
- ・ 82303、82077 (FDC) と組み合わせて使用し、IBMコンパチブルなシステムをコンパクトに構成できるローカルI/Oサポート・チップ
- ・ キーボード/マウス・コントローラ、シリアル/パラレル・ポート、コンフィギュレーションRAM、リアル・タイム・クロックのI/Oサポート
- ・ 8259 (PIC) 2個分の機能と3個のプログラマブル・タイマ/カウンタ機能を内蔵
- ・ ローカル・チャネルのVGAコントロール機能をサポート

## ■ DC 特性

(T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%)

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=4\text{ mA}$	0.4	V
$V_{OH}$	$I_{OH}=4\text{ mA}$	2.4*	V
$I_{OFL}$	$V_{OUT}=0\sim V_{CC}$	±10	μA
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	±10	μA

## ■ ブロック図





## ■端子機能

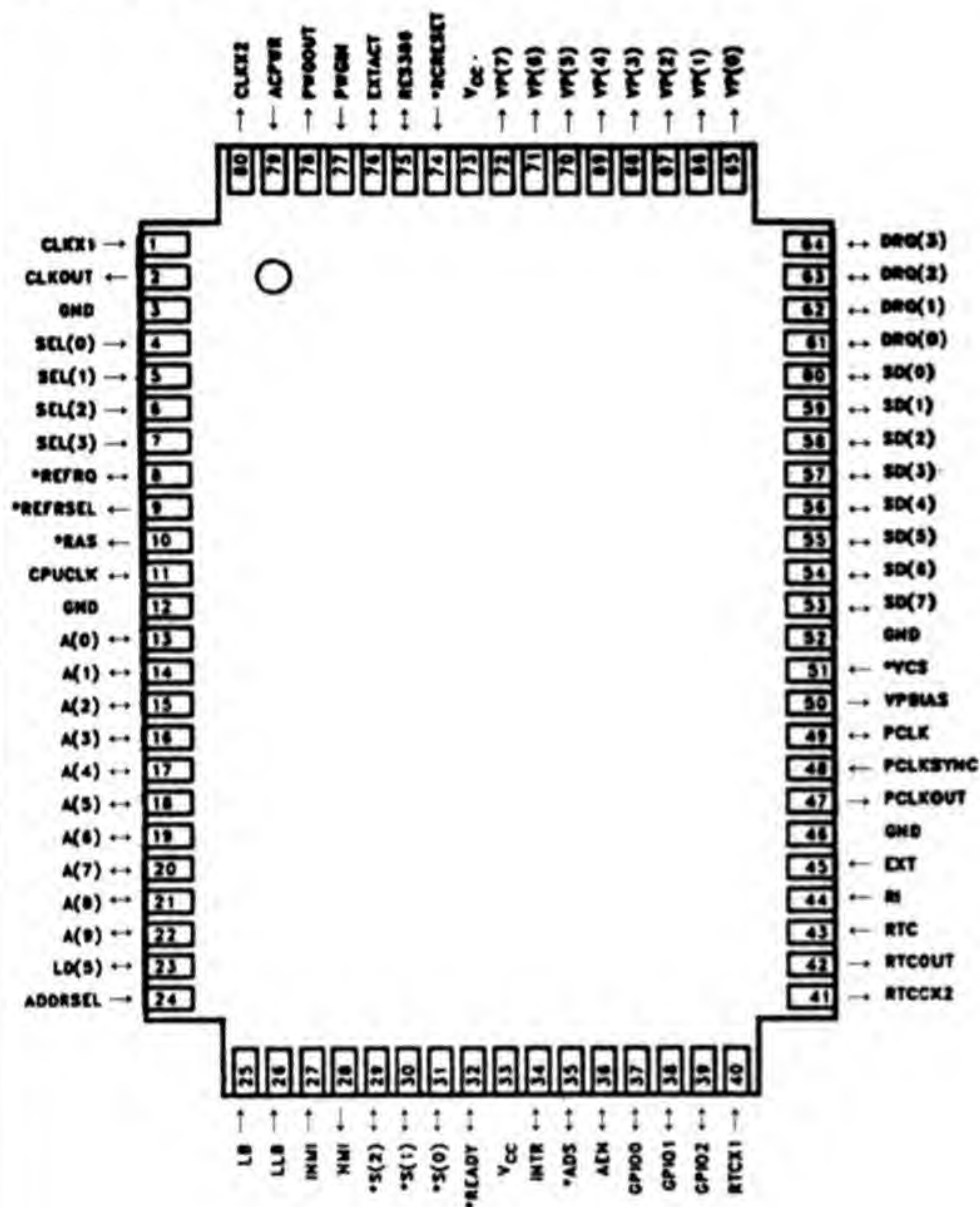
端子名	ピン番号	入出力	機能
SCLK	50	入力	ホスト CPU からのシステム・クロック入力。
RESET	64	入力	パワー・オン・リセット。
A0~A9	74~78 81~85	入力	マイクロ・チャンネル・アドレス入力で、内部でラッチされる。
XA3~XA9	67~73	出力	ペリフェラル・バス・アドレスで、マイクロ・チャンネル・アドレスのラッチ出力。
$\overline{\text{CMD}}$	97	入力	マイクロ・チャンネルの $\overline{\text{CMD}}$ 入力。
$\overline{\text{ADL}}$	100	入力	マイクロ・チャンネルの $\overline{\text{ADL}}$ 入力。
$\overline{\text{SI}}$	1	入力	マイクロ・チャンネルの $\overline{\text{SI}}$ 入力。
$\overline{\text{IOR}}$	96	入力	リード・ストロブ。
$\overline{\text{IOW}}$	95	入力	ライト・ストロブ。
XD0~XD7	86~88, 90~94	入出力	双方向のデータ・バス。
$\overline{\text{LSI}}$	131	出力	マイクロ・チャンネルの $\overline{\text{SI}}$ 入力のラッチ出力。
$\overline{\text{LEBA}},$ $\overline{\text{OEBA}}$	130, 129	出力	外部の74543データ・バッファのコントロール信号。
$\overline{\text{LBEN}}$	52	出力	ローカル・ペリフェラル・バス・イネーブル信号。
FBRTN	41	入力	マイクロ・チャンネル・スロットのシステム・フィードバック信号の OR 入力。
$\overline{\text{VGAFB}}$	42	入力	VGA フィードバック。
$\overline{\text{LCCS}}$	37	入力	ローカル・チャンネル・チップ・セレクト。
CHRDY	5	出力	チャンネル・レディ信号出力。
TMRCLK	45	入力	システム・タイマ用の1.193MHz クロック入力。
AUDIO	128	出力	ポート61H のビット 1 にコントロールされたシステム・タイマ2の出力信号。
$\overline{\text{FCS}}$	46	出力	フロッピー・ディスク・コントローラ (82077) チップ・セレクト。
$\overline{\text{FDACK}}$	49	入力	FD コントロール用 DMA アクノリッジ。
$\overline{\text{VGASU}}$	44	出力	VGA セットアップ用の出力。
VGAEN	43	出力	VGA イネーブル信号。
CDSUWR	126	出力	カード・セットアップ・ライト・ストロブ。
$\overline{\text{CDSURD}}$	125	出力	カード・セットアップ・リード・ストロブ。
DSKSTAT	127	出力	固定ディスク・ステータス。
$\overline{\text{RFRSH}}$	51	入力	リフレッシュ・サイクル・インジケータ。
$\overline{\text{CHCK}}$	54	入力	マイクロ・チャンネル・チェック・インジケータ。
$\overline{\text{PCHCK}}$	55	入力	DRAM パリティ・エラー。
$\overline{\text{NMI}}$	53	出力	CPU への NMI 要求。

端子名	ピン番号	入出力	機能
KYBDA20	60	入力	キーボード・コントローラの A20 ゲート信号。
$\overline{\text{KYBDRC}}$	58	入力	キーボード・コントローラの CPU リセット信号。
$\overline{\text{RC}}$	59	出力	リセット CPU 信号。
A20GATE	57	出力	A20 ゲート信号。
$\overline{\text{PD}}$	61	出力	POS デコード。
$\overline{\text{PICCS}}$	101	入力	割り込みコントローラ8259用のチップ・セレクト。
$\overline{\text{INTA}}$	56	入力	インタラプト・アクノリッジ。
$\overline{\text{IRQ3M}} \sim$ $\overline{\text{IRQ7M}}$ $\overline{\text{IRQ9M}} \sim$ $\overline{\text{IRQ12M}}$ $\overline{\text{IRQ14M}},$ $\overline{\text{IRQ15M}}$	102~110, 112~113	入力	マイクロ・チャンネル・インタラプト入力。
$\overline{\text{IRQ13}}$	111	入力	数値計算プロセッサのエラー発生割り込み入力。
$\overline{\text{RTCINT}}$	114	入力	リアル・タイム・クロックからの割り込み入力。
$\overline{\text{INTR}}$	115	出力	CPU へのマスク可能割り込み要求。
RAMD0~7	22~25 28~31	入出力	リアル・タイム・クロックとコンフィグレーション RAM データ・バス。
$\overline{\text{RAMRD}}$	32	出力	コンフィグレーション RAM リード・ストロブ。
$\overline{\text{RAMWR}}$	33	出力	コンフィグレーション RAM ライト・ストロブ。
$\overline{\text{RAMA}}$ 0~12	6~11, 14~20	出力	コンフィグレーション RAM アドレス・バス。
$\overline{\text{RTCALE}}$	38	出力	リアル・タイム・クロックのアドレス・ラッチ・イネーブル。
$\overline{\text{RTCRD}}$	39	出力	リアル・タイム・クロックのリード・ストロブ。
$\overline{\text{RTCWR}}$	40	出力	リアル・タイム・クロックのライト・ストロブ。
$\overline{\text{PPSEL}}$	123	出力	パラレル・ポート・チップ・セレクト。
$\overline{\text{ENEXPP}}$	124	出力	パラレル・ポート拡張モード・イネーブル。
$\overline{\text{SPINEN}}$	63	入力	シリアル・ポート割り込みイネーブル。
$\overline{\text{SPIN}}$	62	入力	シリアル・ポート割り込み。
$\overline{\text{IRQ3}},$ $\overline{\text{IRQ4}}$	119, 118	出力	シリアル・ポート割り込み要求。
$\overline{\text{DOSTR}},$ $\overline{\text{DISTR}}$	122, 121	出力	シリアル・ポートのライト/リード・ストロブ。
$\overline{\text{NPCLK}}$	3	入力	数値計算プロセッサのリセット・パルス・ストレッチャ用クロック。
$\overline{\text{NPRST}}$	2	入力	数値計算プロセッサのリセット要求入力。
$\overline{\text{NPCNT}}$	4	出力	数値計算プロセッサ・カウント。
$\overline{\text{KYBD}}$	36	入力	キーボード・コントローラからの割り込み要求。



# PMPP (Power Management PC Peripheral)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}$ +0.3	V
動作温度	$T_{OPR}$	-25~85	°C
保存温度	$T_{STG}$	-40~125	°C

## ■ DC 特性

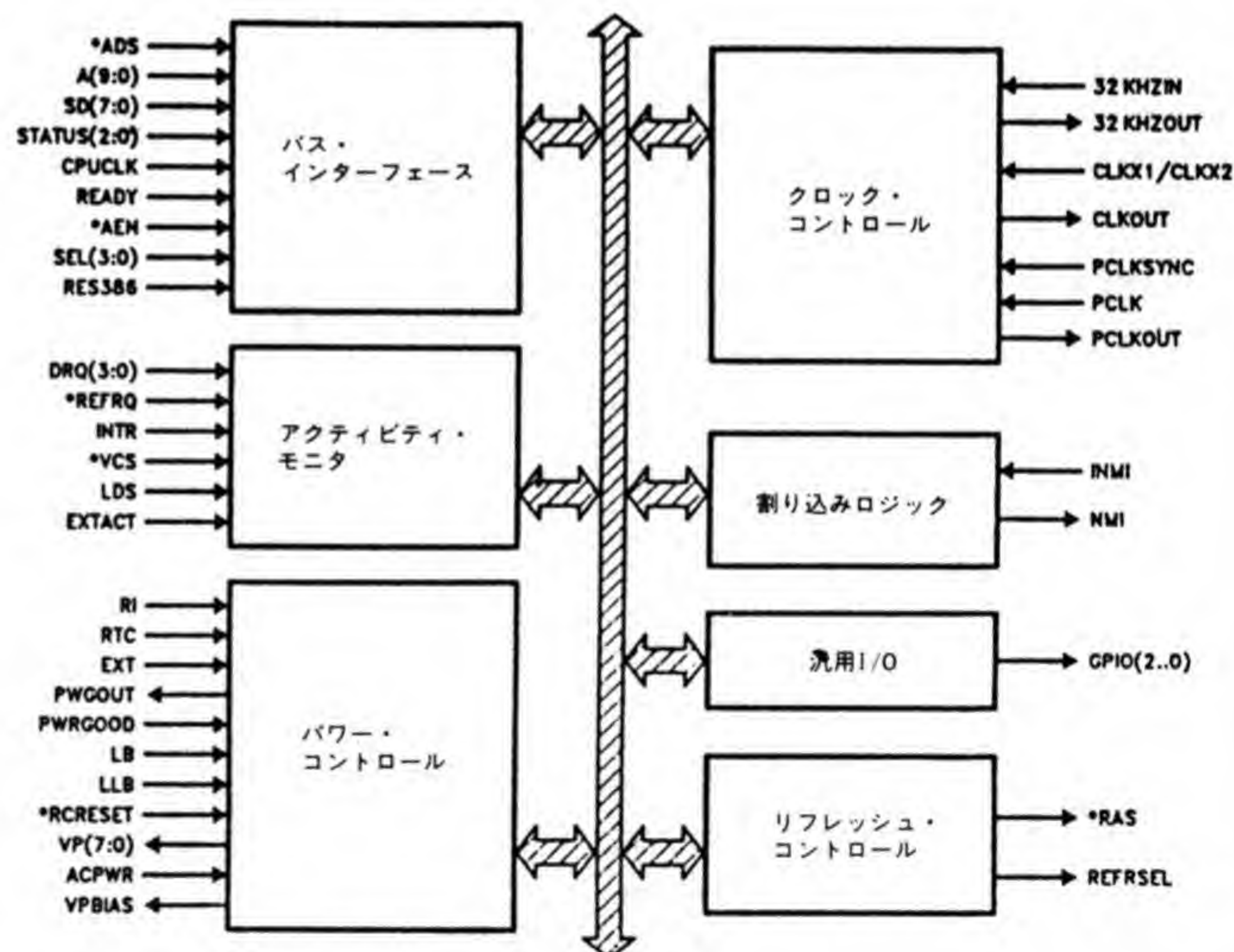
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	TTL, CMOS	0.4	V
$V_{OH}$	TTL	2.4*	V
$I_{OFL}$		$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$

## ■ 特徴

- ・ P C コンパチブルなシステムの電源制御用デバイス
- ・ 各種のパワー・セーブ・モードをサポート
  - － 休止後0.125~14秒でDOZEモードに入る
  - － 休止後1~15分でSLEEPモードに入る
  - － ユーザ・コマンドまたは休止後5~75分でSUSPENDモードに入る
- ・ 9本のパワー・コントロール出力で周辺デバイスのパワー・シャットダウンが可能
- ・ C P Uおよび周辺用クロック制御機能内蔵
- ・ 押しボタン、R T Cクロック・アラーム、モデムのベル検出信号でパワー・オン制御可能
- ・ 多点バッテリー低下検出機能内蔵

## ■ ブロック図





## ■端子機能

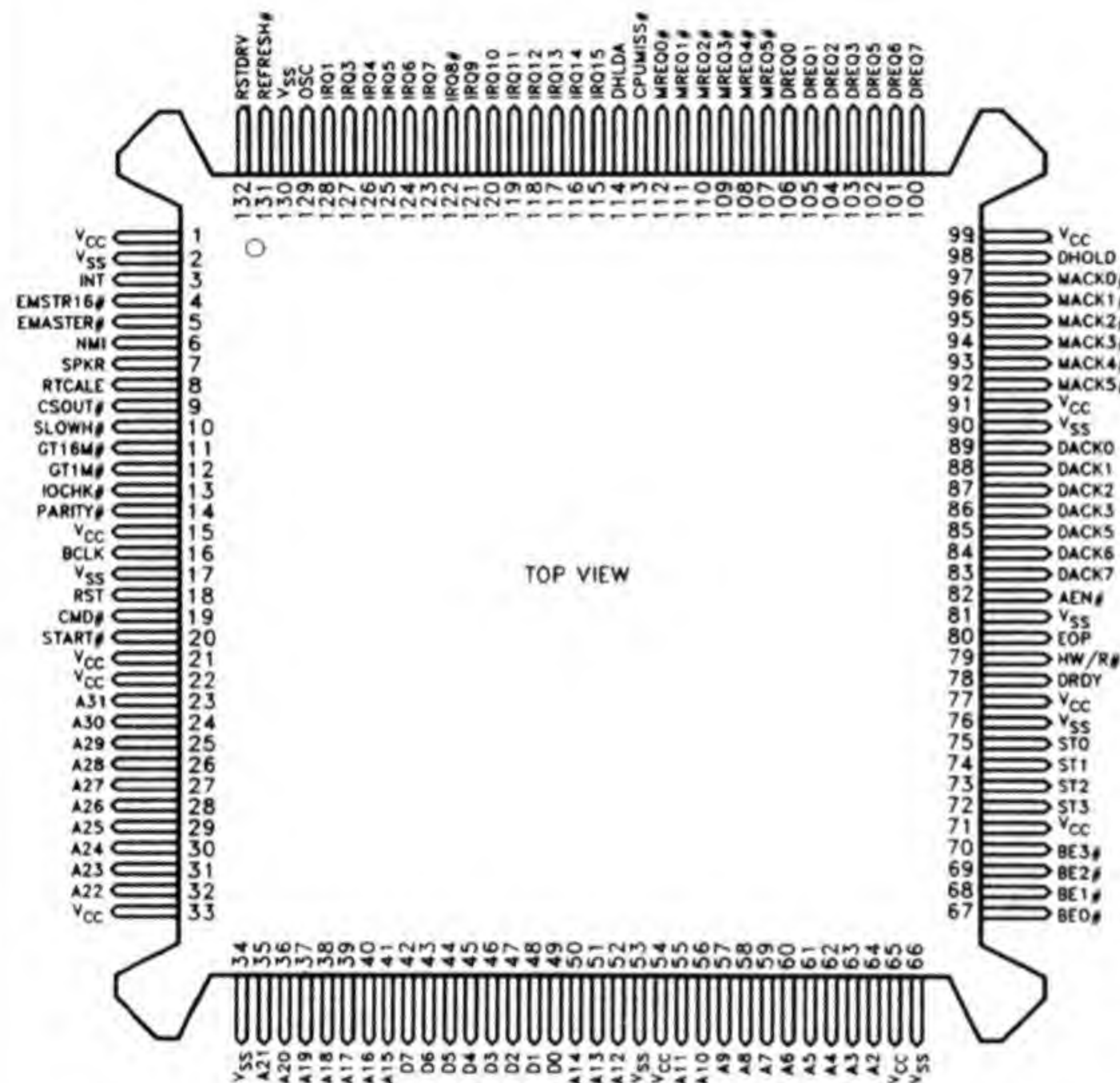
端子名	ピン番号	入出力	機能
$\bar{A}(0) \sim (9)$	13~22	入出力	プロセッサまたはシステム・バス接続用のアドレス・バス。
$\overline{SD}(0) \sim (7)$	53~60	入出力	双方向 3 ステートのデータ・バス。
$\overline{LD}(5)$	23	入出力	ローカル CPU データ・バスのビット 5。
$\overline{READY}$	32	入出力	CPU レディ入力。
$\overline{S}(0) \sim \overline{S}(2)$	29~31	入出力	CPU ステータス入力。
CPUCLK	11	入出力	コア・チップ・セットとの CPU クロック入出力。
$\overline{SEL}(0) \sim (3)$	4~7	入力	CPU タイプと周波数選択のジャンパ端子。
ADDRSEL	24	入力	82347 インデックスとデータ・レジスタ用の I/O アドレス・セレクト。
VP(0)	65	出力	LCD パワー・コントロール端子。
VP(1)	66	出力	LCD, EL バック・ライト・パワー・コントロール端子。
VP(2) ~ (7)	67~72	出力	汎用のペリフェラル・パワー・コントロール端子。
VPBIAS	50	出力	LCD 表示部のバイアス電源コントロール端子。
$\overline{RAS}$	10	出力	DRAM の ROW アドレス・ストロブ。
$\overline{VCS}$	51	入力	ビデオ RAM チップ・セレクト端子。
AEN	36	入出力	コア・ロジック回路の AEN 信号。
NMI	28	出力	ノン・マスカブル・インタラプト出力。
INTR	34	入出力	8259 の割り込み要求出力。
$\overline{DRQ}(0) \sim (3)$	61~64	入出力	DMA リクエスト。
$\overline{REFRQ}$	8	入出力	DMA サイクル・リフレッシュを示す。
EXT	45	入力	外部コマンド入力。プッシュ・ボタン・スイッチ用に使用する。
RI	44	入力	モデムからのベル検出信号入力。
RTC	43	入力	リアル・タイム・クロックのアラーム入力。
CLKX1	1	入力	CPU クロックまたはクリスタル・クロックの入力。
CLKX2	80	出力	CPU クリスタルの出力側端子。
CLKOUT	2	出力	コア・チップ・セットへのクロック出力。

端子名	ピン番号	入出力	機能
BL	25	入力	バッテリー低下検出 (第 1 警告信号)。
LLB	26	入力	バッテリー低下検出 (第 2 警告信号)。
$\overline{RCRESET}$	74	入力	82347 のイニシャル・リセット入力。
$\overline{REFRSEL}$	9	出力	DRAM への 82347 $\overline{RAS}$ のゲート用信号。
RTCX1 RTCX2	40 41	入出力	32.768kHz クリスタル端子。
PTCOUT	42	出力	32.768kHz 信号出力。
PCLK	49	入出力	82347 にコントロールされる周辺デバイス用クロック入力。内部では、VPO 信号でコントロールされている。
PCLPSYNC	48	入力	PCLK 用の同期信号。
PCLKOUT	47	出力	82347 にコントロールされた周辺デバイス用クロック出力。
RES386	75	入出力	Intel386DX/SX リセット入力に接続する。
$\overline{ADS}$	35	入出力	Intel386DX/SX からのアドレス・ストロブ信号。
PWGOUT	78	出力	コア・チップ回路への電源正常信号出力。
PWGIN	77	入力	電源からの電源正常信号入力。
EXTACT	76	入出力	アクティビティ・モニタ回路への汎用のアクティビティ信号入力端子。
ACPWR	79	入力	AC 電源が接続されていることを示す信号の入力端子。
GPIO0 ~ GPIO2	37~39	入出力	汎用の入出力端子。
INMI	27	入力	コア・ロジック回路からの NMI 入力端子。



## Integrated System Peripheral

## ■ ピン接続



## ■ DC 特性

(T<sub>a</sub> = 0 ~ 85°C, V<sub>CC</sub> = 5 V ± 5%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 5 mA	0.45	V
V <sub>OH</sub>	I <sub>IL</sub> = 1 mA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> = 0.45 ~ V <sub>CC</sub>	±15	μA
I <sub>IL</sub>	V <sub>IN</sub> = 0 ~ V <sub>CC</sub>	±15	μA
C <sub>IN</sub>	f = 1 MHz	12	pF

## ■ 最大定格

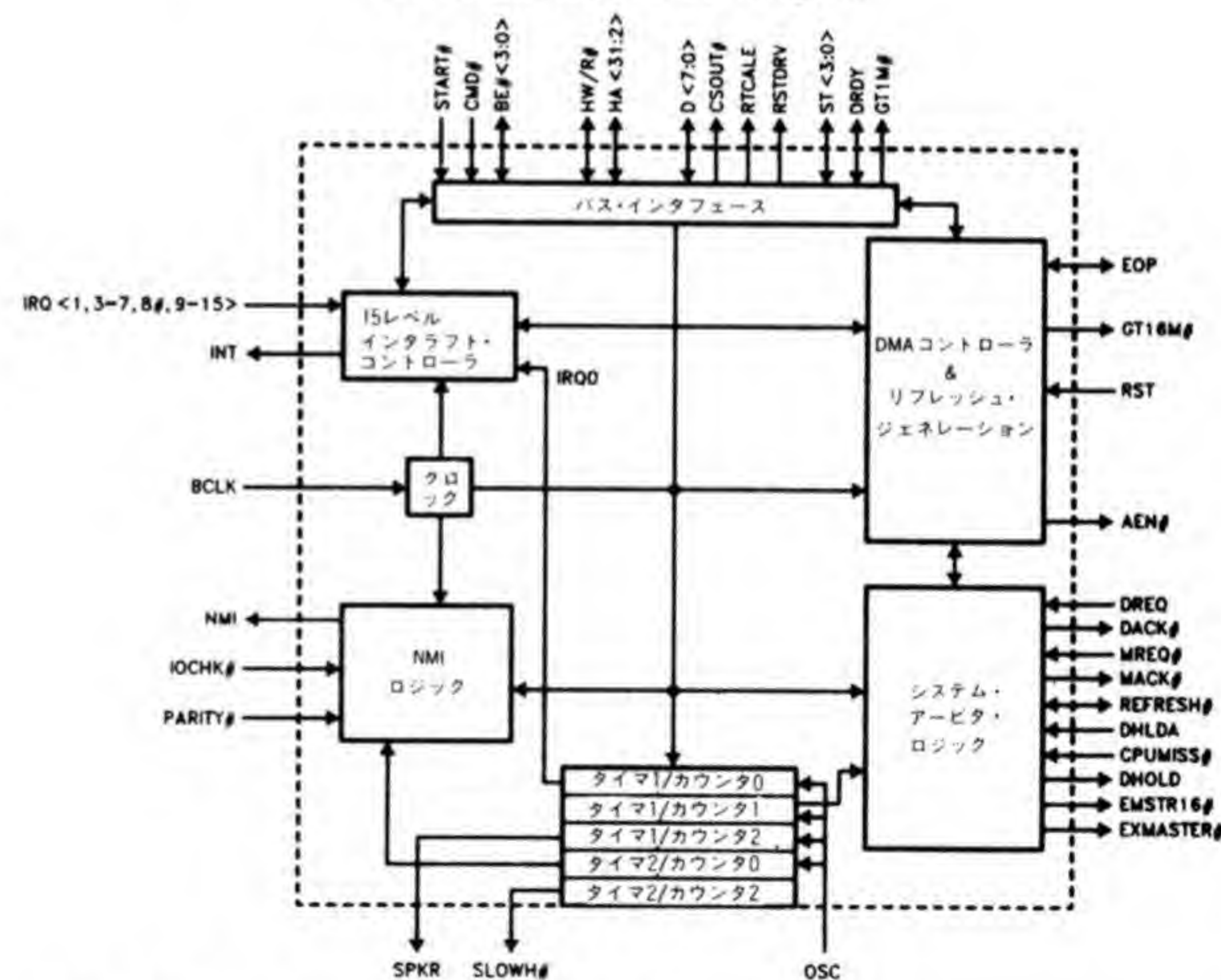
項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.5 ~ +6.5	V
入力電圧	V <sub>IN</sub>	-0.5 ~ V <sub>CC</sub> + 0.5	V
動作温度	T <sub>OPR</sub>	0 ~ +85	°C
保存温度	T <sub>STG</sub>	-65 ~ +150	°C

## ■ 特徴

- DMA機能
  - ISA/EISA DMAコンパチブル・サイクル
  - 32ビット・アドレス可能
  - 七つの独立したプログラマブル・チャンネル
  - 最大転送速度 33Mバイト/秒
- CPU, EISA/ISA バス・マスタ, DMAチャンネル, リフレッシュ用ハイ・パフォーマンス・アービトレーション
- 2個の8259相当のインタラプト・コントローラ機能内蔵
- 五つのプログラマブル16ビット・カウンタ/タイマ
- ノン・マスカブル・インタラプトのジェネレーション/コントロール機能内蔵

## ■ ブロック図

82357 Internal Block Diagram



386™ and i486™ are Trademarks of Intel Corporation.



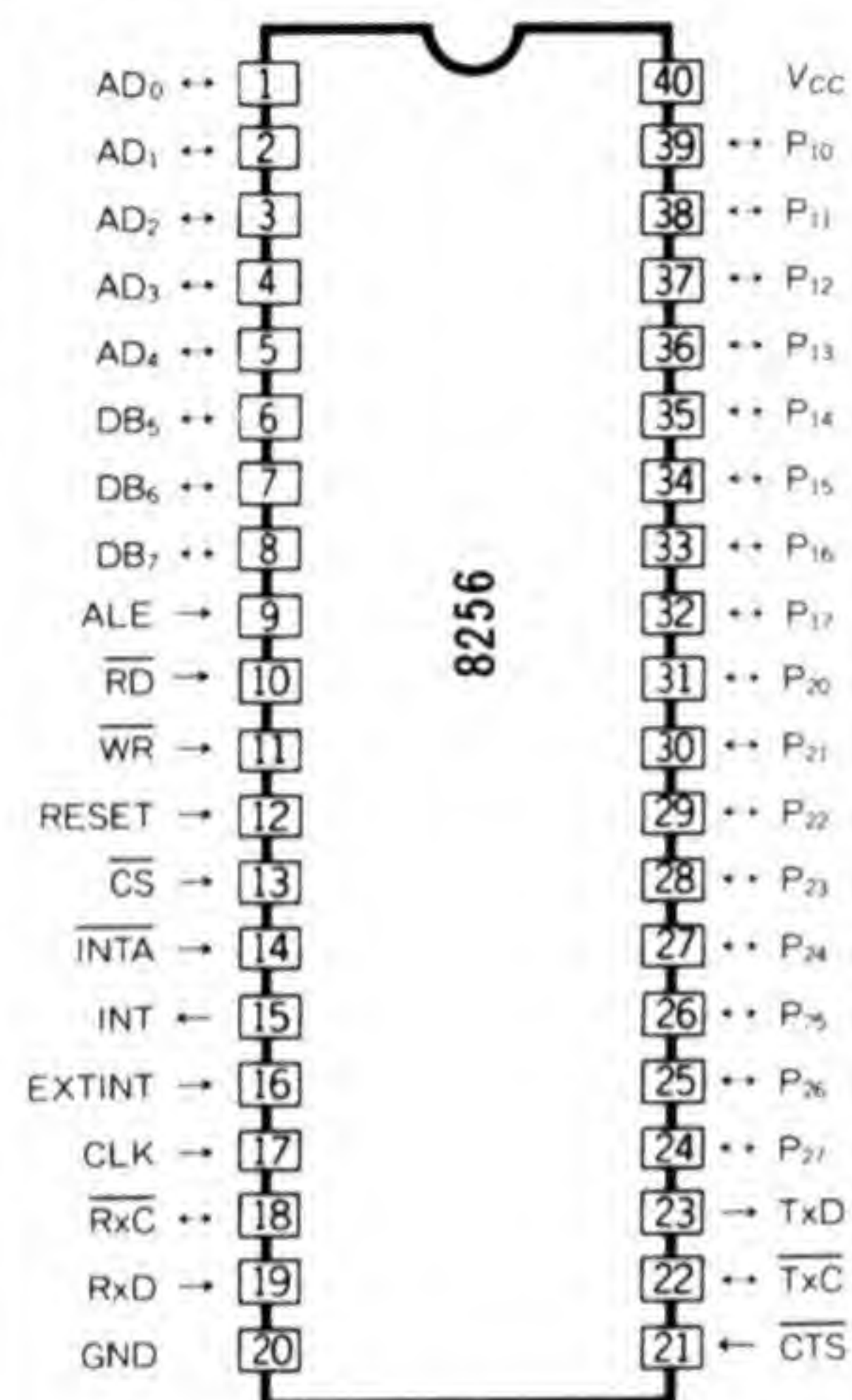
■端子機能

端子名	ピン番号	入出力	インターフェース	機能
DREQ7~5	100~102	入力	EISA	DMA リクエスト・ライン
DREQ3~0	103~106	入力	EISA	DMA リクエスト・ライン
DACK7#~5#	83~85	出力	EISA	DMA アクノリッジ・ライン
DACK3#~0#	86~89	出力	EISA	DMA アクノリッジ・ライン
MREQ5#~0#	107~112	入力	EISA	マスタ・リクエスト・ライン
MACK5#~0#	92~97	出力	EISA	マスタ・アクノリッジ・ライン
REFRESH#	131	入出力	EISA	リフレッシュ・コントロール (24mA)
DHLDA	114	入力	ホスト	CPU ホールド・アクノリッジ
CPUMISS#	113	入力	ホスト	CPU キャッシュ・ミス
DHOLD	98	出力	EBC	CPU ホールド・リクエスト
EMSTR16#	4	出力	EBC	バス・コントローラ82358への16ビット ISA マスタのアーリィ・インディケーション信号
EXMASTER#	5	出力	EBC	EISA バス・マスタ・アクセス・コントロール
START#	20	入力	EISA	EISA バスからのスタート信号
CMD#	19	入力	EISA	EISA バスからのコマンド信号
EOP	80	入出力	EISA	エンド・オブ・プロセス入出力信号
BE3#~0#	70~67	入出力	EISA	バイト・イネーブル (BE13 は出力専用)
HA11~2	55~64	入出力	ホスト	アドレス・バス
HA14~12	50~52	入出力	ホスト	アドレス・バス
HA21~15	35~41	入出力	ホスト	アドレス・バス (A16~A19 は出力専用)
HA31~22	23~32	入出力	ホスト	アドレス・バス
HW/R#	79	入出力	ホスト	ライト/リード・ステータス
GT16M#	11	出力	EBC	16M バイト以下のアドレス
GT1M#	12	出力	EBC	1M バイト以下のアドレス
RST	18	入力	EBC	システム・リセット
ST3~0	72~75	入出力	EBC	ISP/EBC 間の双方向ステータス信号
DRDY	78	入出力	EBC	EBC からのマスタ・モード・レディと EBC へのスレーブ・モード・レディ
D7~0	42~49	入出力	その他	データ・バス
CSOUT#	9	出力	その他	スレーブ・モードでの ISP 選択
AEN#	82	出力	その他	DMA からのアドレス・イネーブル出力
IRQ1	128	入力	EISA	割り込み要求
IRQ15~3	115~127	入力	EISA	割り込み要求
INT	3	出力	ホスト	CPU への割り込み出力
OSC	129	入力	EISA	タイマ用の14.31818MHz クロック
IOCHK#	13	入力	EISA	バス・エラー信号
RSTDRV	132	出力	EISA	システム・バス・リクエスト
PARITY#	14	入力	ホスト	メイン・メモリのパリティ・エラー
SLOWH#	10	出力	ホスト	CPU へのスロー・ダウン・タイマ
NMI	6	出力	ホスト	NMI ロジックからの信号出力
SPKR	7	出力	その他	スピーカ・ドライブ信号 (24mA ドライブ)
PTCALE	8	出力	その他	リアル・タイム・クロック・アドレス・ラッチ・イネーブル
BCLK	16	入力	その他	動作クロック入力



# UART (Universal Asynchronous Receiver Transmitter)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
消費電力	$P_D$	1	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ 特 徴

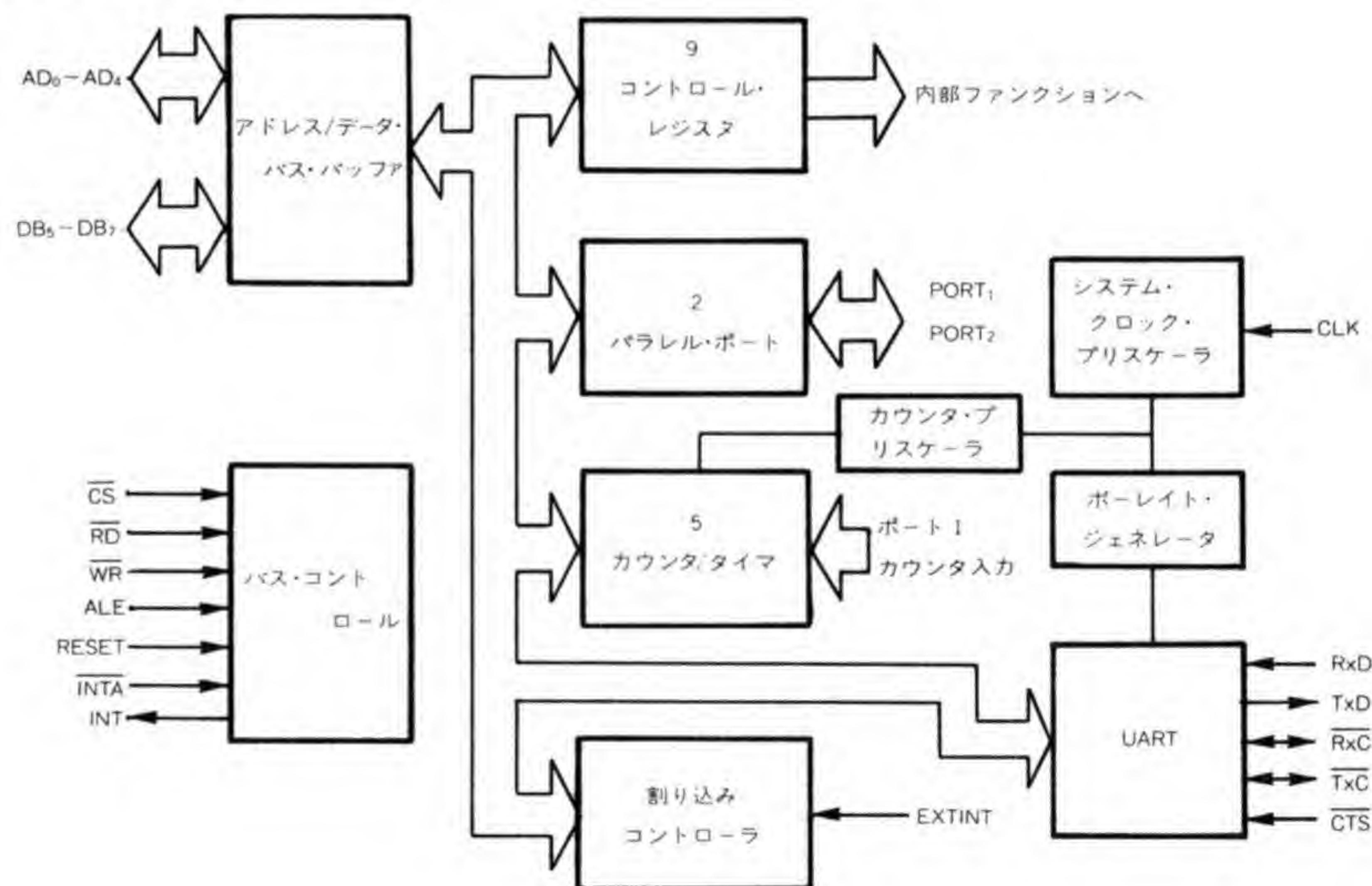
- ・ 5, 6, 7, 8 ビットの非同期通信が可能な U A R T 内蔵
- ・ 19.2 K B P S まで 13 種類の設定が可能なボーレート・ジェネレータ内蔵
- ・ 五つの 8 ビット・カウンタ/タイマをもち、四つは二つの 6 ビット・カウンタ/タイマとして使用可能
- ・ 二つの 8 ビット・プログラマブル I/O を内蔵
- ・ 8 レベルの割り込みコントローラ

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0.45\text{V}$ , $V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0\text{V}$ , $V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		10	pF
$C_{I/O}$		20	pF

## ■ ブロック図





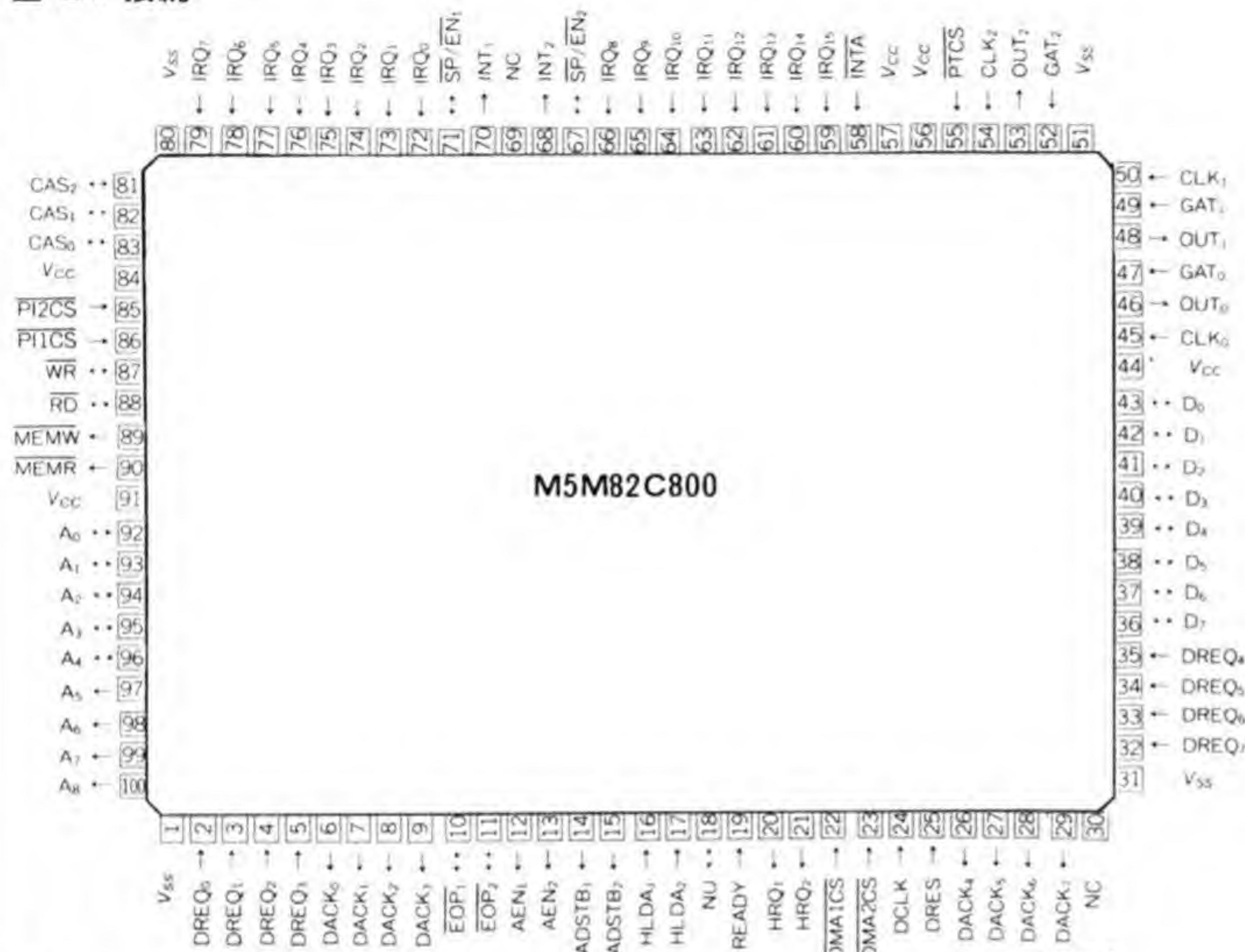
■端子機能

端子名	名称	ピン番号	入出力	機能
AD <sub>0</sub> ~AD <sub>4</sub> , DB <sub>0</sub> ~DB <sub>7</sub>	アドレス/データ	1~5, 6~8	入出力	3ステート・アドレス/データ・ライン, CPUのマルチプレクス・アドレス/データ・バスの下位8ビットに接続される
ALE	アドレス・ラッチ・イネーブル	9	入力	AD <sub>0</sub> ~AD <sub>4</sub> 上の5アドレス・ラインをラッチする
$\overline{\text{RD}}$	リード	10	入力	内部レジスタの読み出しストロープ
$\overline{\text{WR}}$	ライト	11	入力	内部レジスタへの書き込みストロープ
RESET	リセット	12	入力	イニシャル・リセット信号
$\overline{\text{CS}}$	チップ・セレクト	13	入力	データのリード/ライト時のチップ・セレクト信号
$\overline{\text{INTA}}$	インタラプト・アクノリッジ	14	入力	CPUからの割り込み要求受け付け信号
INT	割り込み要求	15	出力	割り込み要求信号の出力端子
EXT INT	外部割り込み要求	16	入力	外部デバイスは、この端子を通して、割り込み要求をCPUに伝達できる
CLK	クロック	17	入力	ボーレート・ジェネレータ, 内部タイマ用のシステム・クロック入力
RxC	レシーブ・クロック	18	入出力	外部クロックを使用するときは、レシーバ・クロック入力, 内部クロックのときはレシーバ・クロック出力
RxD	レシーブ・データ	19	入力	シリアル・データ入力
GND	グラウンド	20	—	グラウンド
$\overline{\text{CTS}}$	クリア・トゥ・SEND	21	入力	送信可を示す信号, トランスミッタのコントロールに使用される
TxC	トランスミッタ・クロック	22	入出力	外部クロック使用のときは、トランスミッタ・クロック入力, 内部クロックのときはトランスミッタ・クロック出力
TxD	トランスミット・データ	23	出力	シリアル・データ出力
P <sub>27</sub> ~P <sub>20</sub>	パラレル・ポート2	24~31	入出力	汎用の8ビット入出力ポート
P <sub>17</sub> ~P <sub>10</sub>	パラレル・ポート1	32~39	入出力	汎用の8ビット入出力ポート
V <sub>CC</sub>	電源	40	—	5V電源端子



# DMAC & INT & PIT

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~V <sub>CC</sub> +0.3	V
動作温度	T <sub>OPR</sub>	-20~75	°C
保存温度	T <sub>STG</sub>	-65~150	°C

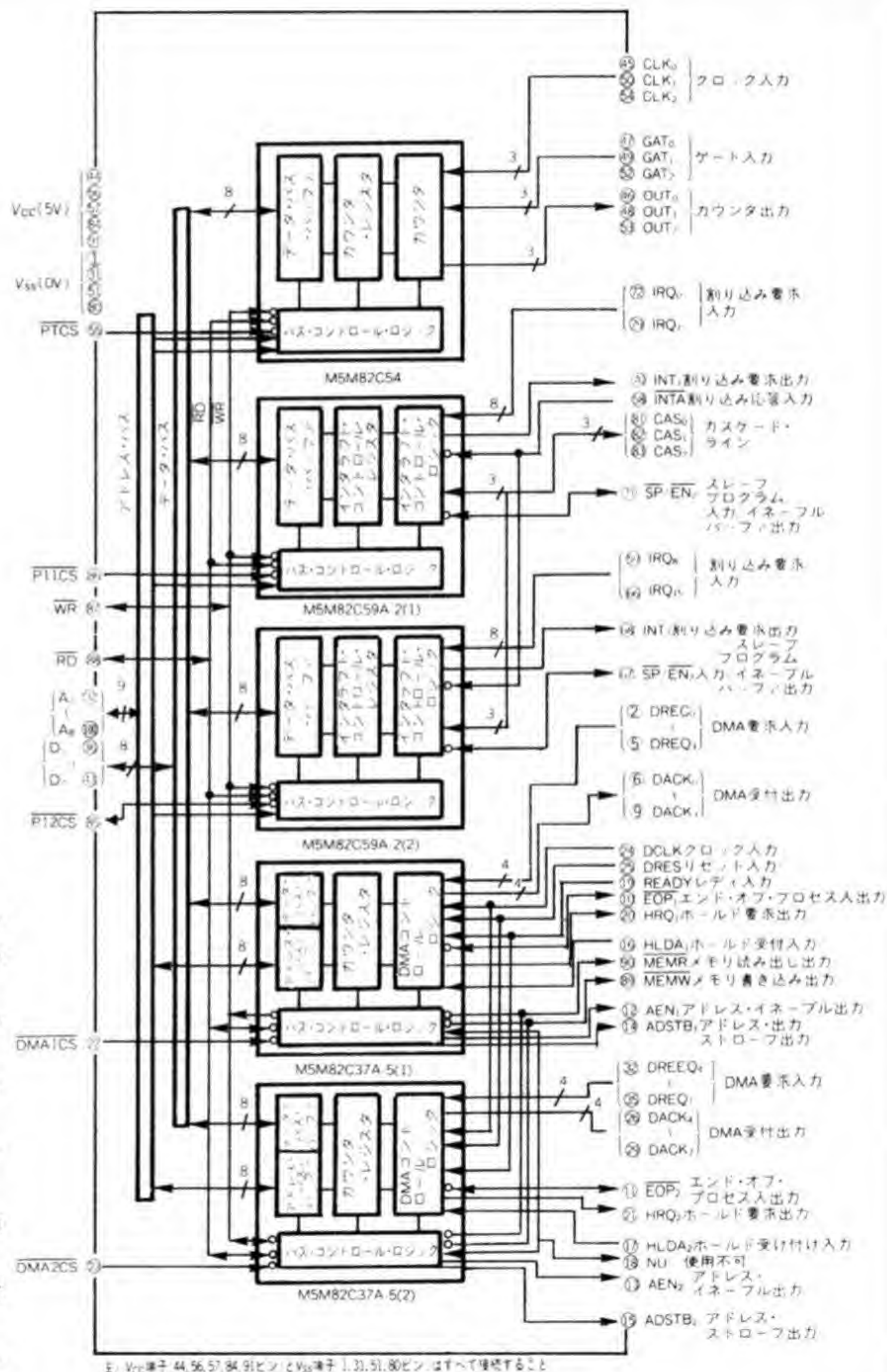
## ■ DC特性

(T<sub>a</sub> = -20~75°C, V<sub>CC</sub> = 5V ± 10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 2mA	0.45	V
V <sub>OH</sub>	I <sub>OH</sub> = 200μA (82C37)	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> = 0 ~ V <sub>CC</sub>	±10	μA
I <sub>IH</sub>	V <sub>IN</sub> = 0 ~ V <sub>CC</sub>	±10	μA

## ■ 特徴

- ・ 割り込みコントローラ, DMAコントローラ, プログラマブル・インターバル・タイマを内蔵した複合LSI
- ・ 8レベルまで優先割り込みを管理する割り込みコントローラ (8259A相当) を2個内蔵
- ・ 独立した4個のDMAチャネルをもつコントローラ (8237A相当) を2個内蔵
- ・ 独立した3個のカウタをもつプログラマブル・インターバル・タイマ (8254相当) を1個内蔵
- ・ 5個のLSIの機能を1チップ化したためボードの小型化が可能
- ・ データ・バス, アドレス・バス, コントロール信号を共通化
- ・ リセット端子, 割り込み入力端子にはノイズ・キャンセル回路を内蔵

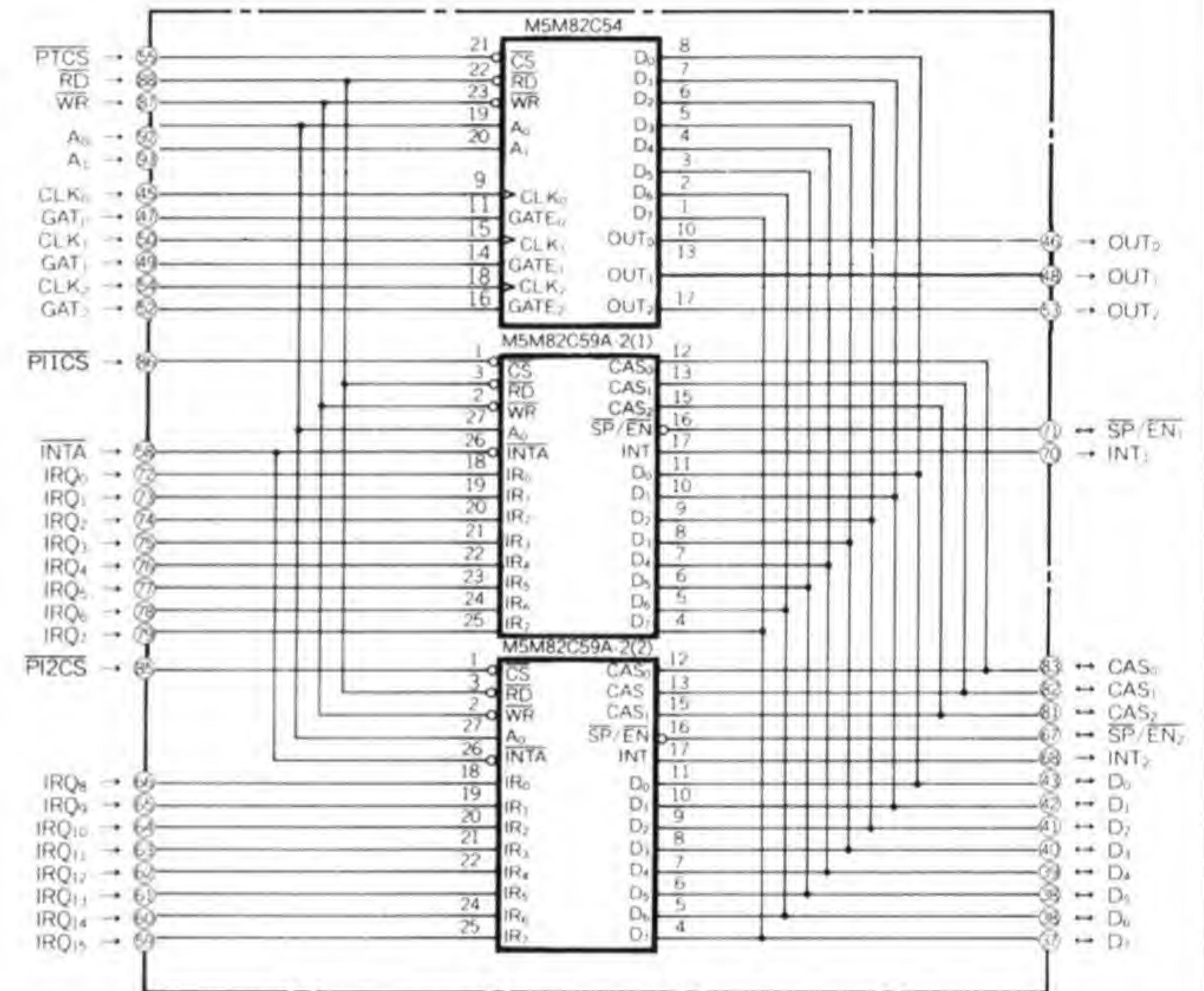
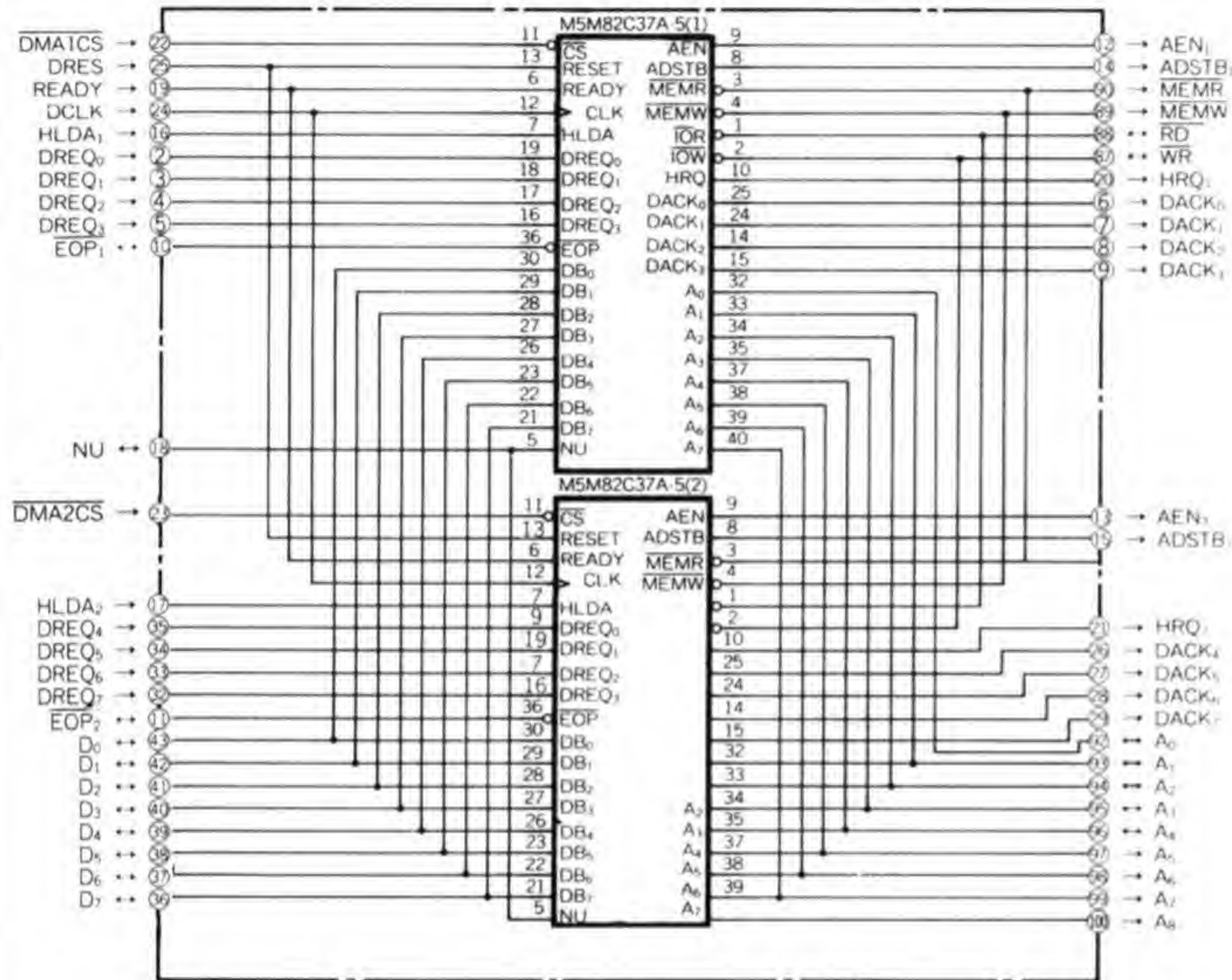


※ V<sub>CC</sub>端子 44, 56, 57, 84, 91ピンとV<sub>SS</sub>端子 1, 31, 51, 80ピンはすべて接続すること



# M5M82C800

## 内部結線図

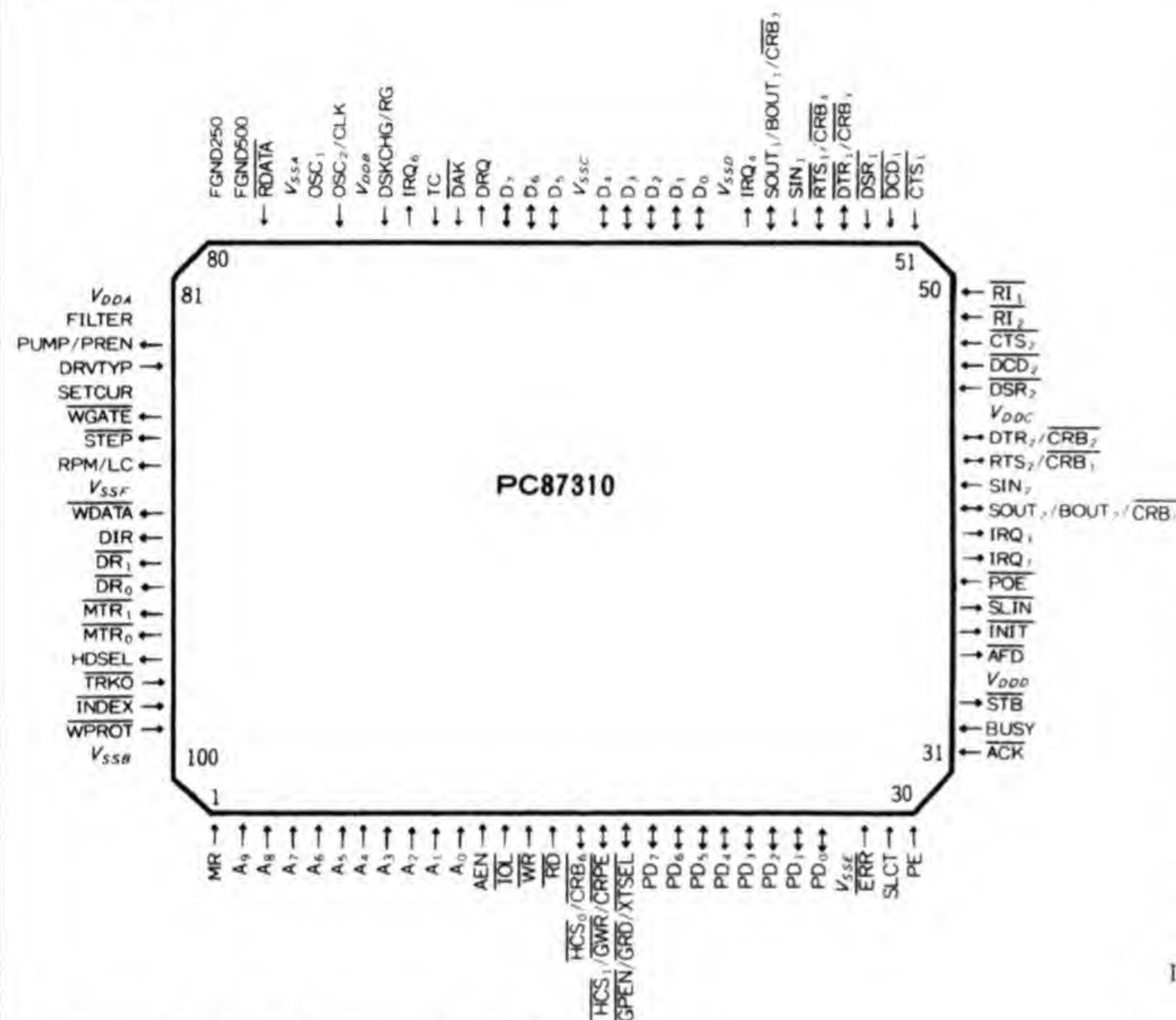


(注) 内部の各ICの端子機能については  
8237, 8253/8254, 8279を参照



# MFP (Multi Function Peripheral)

## ■ ピン接続



〈注〉ピンの入出力状態はモードにより異なるため  
“端子機能”参照。

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
消費電力	$P_D$	750	mW
動作温度	$T_{OPR}$	-0~70	°C
保存温度	$T_{STG}$	-65~150	°C

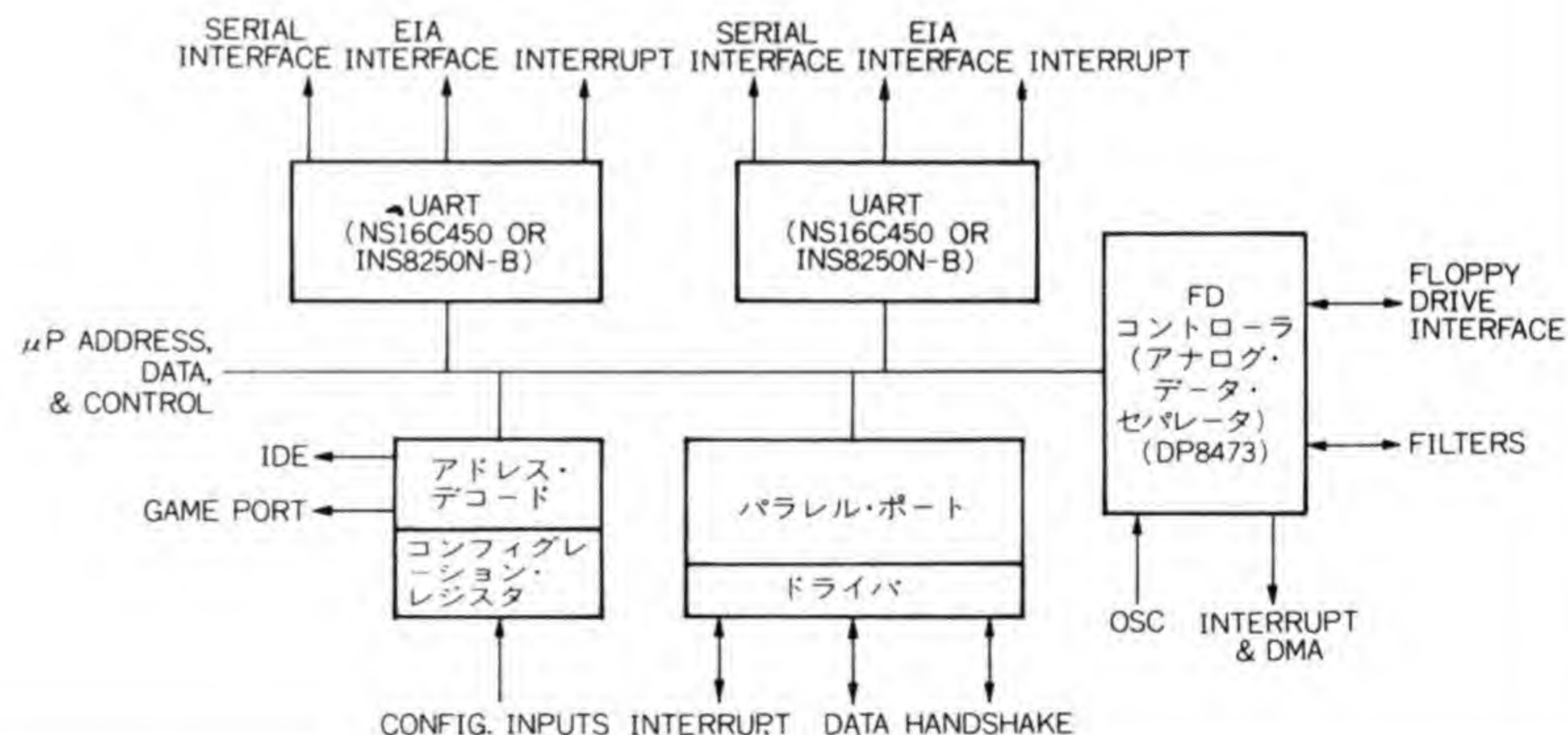
## ■ 特徴

- ・フル機能を備えた二つのUART, データ・セパレータを内蔵したFDコントローラ, パラレル・ポート, ゲーム・ポート・デコーダ, HDCデコーダ, XT/ATアドレス・デコーダ, 各種レジスタを内蔵
- ・IBM PC, XTおよびATアーキテクチャと100%互換
- ・INS8250, NS16450 UARTとソフト・コンパチブル
- ・業界標準の765Aアーキテクチャと100%互換
- ・DP8473 FDCのすべての機能を実現
- ・高精度アナログ・データ・セパレータ内蔵
- ・パラレル・ポートとシリアル・ポートに対する別々の割り込み要求ライン

## ■ DC特性

( $T_a = -0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5V \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 12\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 0.2\text{mA}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0, 5.5V$	$\pm 20$	$\mu\text{A}$
$I_{IH}$	$V_{IN} = 0, 5.5V$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	7	pF





## ■端子機能

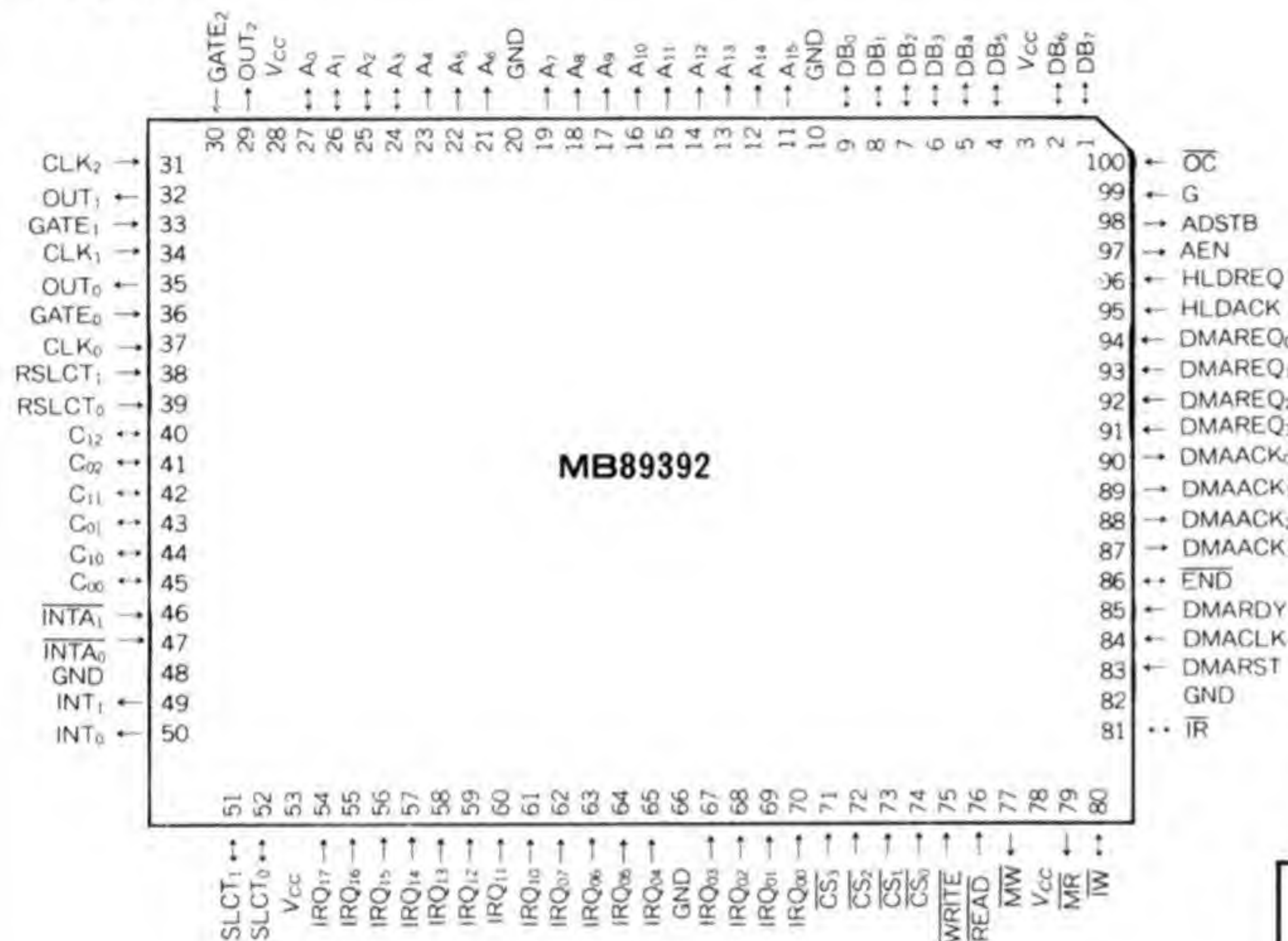
端子名	ピン番号	入出力	機能
A <sub>0</sub> ~A <sub>9</sub>	11~2	入力	アドレス信号
ACK	31	入力	プリンタで“L”にセットされ、データを受信したことを示す
AEN	12	入力	“H”のとき、アドレス信号(A <sub>0</sub> ~A <sub>9</sub> )による機能選択をディセーブルする
AFD	35	出力	“L”のとき、プリンタは行のプリント後に自動的に行送りを行う
BOUT <sub>1,2</sub>	57, 41	出力	10(HEX)のデマがTCRに書き込まれた後に、関連するシリアル・チャンネルのボーレートを出力する
BUSY	32	入力	別のキャラクタを受信できない時に、プリンタで“H”にセットされる
CRPE	17	入力	コンフィギュレーション・レジスタのセットをハード/ソフトのいずれで行うかを選択する
CRB <sub>0-4,6,7</sub>	41, 43, 44, 54, 55, 16, 17	入力	コンフィギュレーション・レジスタ・ビットの状態を決定する
CTS <sub>1,2</sub>	51, 48	入力	MODEM またはデータ・セットがレディであることを示す
D <sub>0</sub> ~D <sub>7</sub>	60~64, 66~68	入出力	入出力データ・バス
DAK	70	入力	DMA要求, RD, WRをイネーブルにする入力
DCD <sub>1,2</sub>	52, 47	入力	データ・キャリア検出入力
DIR	91	出力	ヘッドの移動方向を示す
DR <sub>0,1</sub>	93, 92	出力	ドライブ0, 1の選択出力
DRQ	69	出力	DMA リクエスト出力
DRV TYP	84	入力	300kb/s モードをイネーブルにする
DSKCHG/RG	73	入力	ディスク・ドライブのドアが開けられたことを示す
DSR <sub>1,2</sub>	53, 46	入力	データ・セット・レディ信号
DTR <sub>1,2</sub>	54, 44	出力	データ・ターミナル・レディ信号
ERR	28	入力	テラー検出時、プリンタで“L”にセットする
FILTER	82	出力	チャージ・ポンプの出力でVCOの入力となる
GPEN	18	出力	I/O アドレス201(HEX)検出し、XTSEL がリセット中に“H”のとき、“L”を出力する
GRD	18	出力	I/O アドレス201(HEX)検出し、XTSEL がリセット中に“L”のとき、“L”を出力する
GWR	17	出力	I/O アドレス201(HEX)検出し、XTSEL がリセット中に“L”のとき、“L”を出力する
HSC <sub>0,1</sub>	16, 17	出力	ハード・ディスク・チップ・セレクト出力

端子名	ピン番号	入出力	機能
HDSEL	96	出力	どのディスク・ドライブのヘッドをアクティブにするかを決定する
IOL	13	入力	I/O アドレス・ビット10~15がすべて“L”のとき、“L”を入力しなければならない
INIT	36	出力	プリンタ・イニシャライズ出力
INDEX	98	入力	トラックのスタートを示す
IRQ <sub>3,4</sub>	40, 58	出力	シリアル・ポート割り込み出力
IRQ <sub>6</sub>	72	出力	フロッピー・ディスク・コントローラの割り込み出力
IRQ <sub>7</sub>	39	出力	パラレル・ポート割り込み出力
MR	1	入力	マスタ・リセット入力
MTR <sub>0,1</sub>	95, 94	出力	ドライブ0, 1のモータ・イネーブル出力
OSC <sub>1,2</sub>	76, 75	—	水晶振動子接続端子
PD <sub>0</sub> ~PD <sub>7</sub>	26~19	入出力	周辺データ・バスとの間のデータ送・受信用ポート
PE	30	入力	用紙の終りを示す信号を入力する
POE	38	入力	ポート出力(PD <sub>0-7</sub> )をイネーブルにする入力信号
PUMP/PREN	83	出力	チャージ・ポンプが補正を行っている状態を出力する
RD	15	入力	リード入力信号
RDATA	78	入力	ディスクからの読み出しデータを入力する
RI <sub>1,2</sub>	50, 49	入力	モデムのステータス信号
RPM/LC	88	出力	毎分回転数、モータ・ドライブの低電流化指示を示す出力信号
RST <sub>1,2</sub>	55, 43	出力	送信要求
SETCUR	85	入力	外部フィルタを駆動するチャージ・ポンプ電流設定用端子
SIN <sub>1,2</sub>	56, 42	入力	シリアル・データ入力
SLCT	29	入力	プリンタ選択入力
SLIN	37	出力	“L”出力のとき、プリンタを選択する
SOUT <sub>1,2</sub>	57, 41	出力	シリアル出力
STB	33	出力	周辺デバイス用データ・ストローブ
STEP	87	出力	ヘッドを移動するためのステップ・パルス出力
TC	71	入力	DMA 転送の終了を示す信号入力
TRK <sub>0</sub>	97	入力	ヘッドがトラック0にあることを示す信号入力
WDATA	90	出力	ディスク・ドライブ書き込み用のシリアル・データ出力
WGATE	86	出力	ディスク・ドライブの書き込みイネーブル出力
WPROT	99	入力	ディスクのライト・プロテクト入力
WR	14	入力	ライト信号
XSEL	18	入力	XT 互換モード選択入力



# DMAC & PIT/PIC

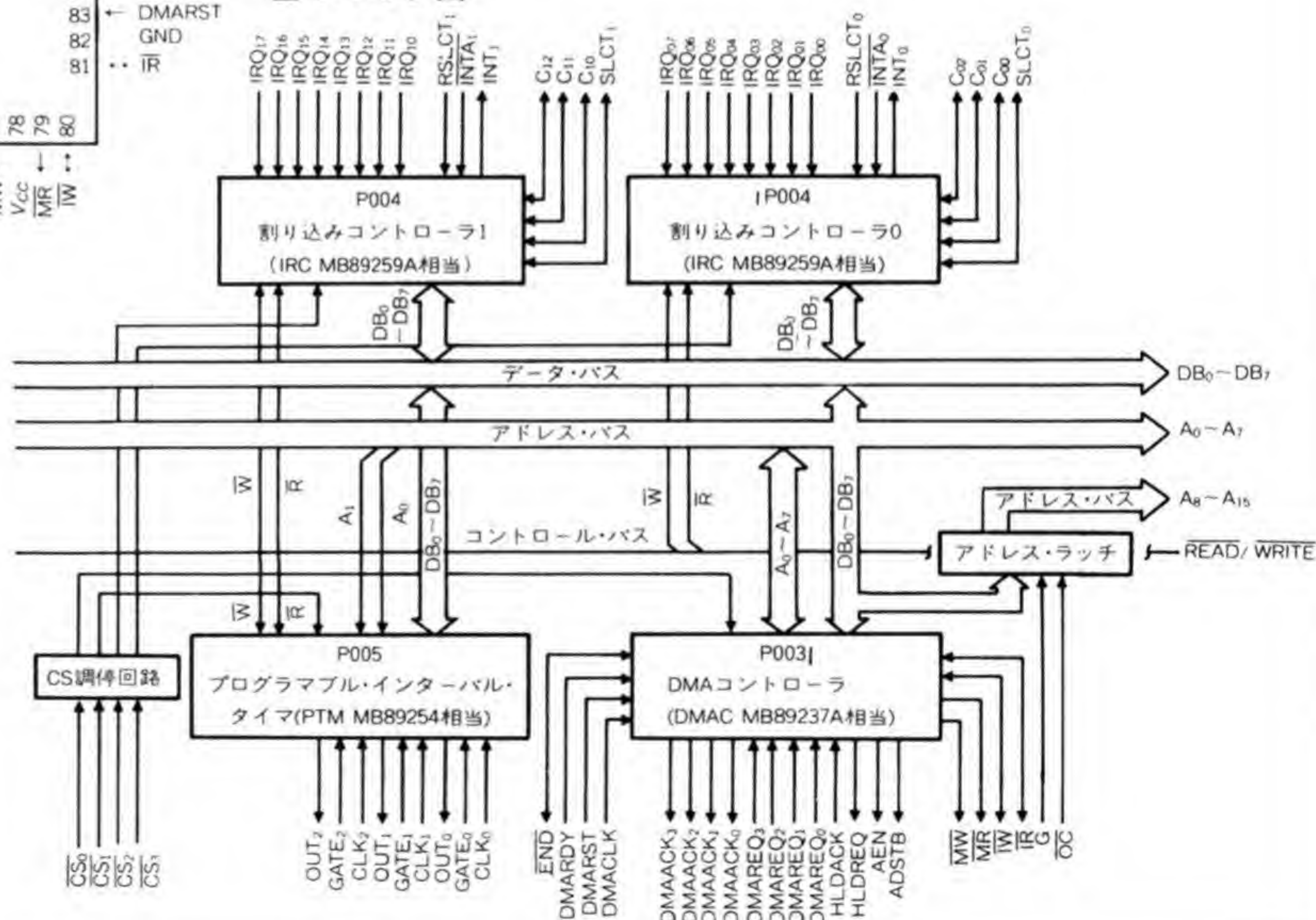
## ■ ピン接続



## ■ 特 徴

- ・ 割り込みコントローラ, DMAコントローラ, プログラマブル・インターバル・タイマを内蔵した複合LSI
- ・ 8レベルまで優先割り込みを管理する割り込みコントローラ (8259A相当) を2個内蔵
- ・ 独立した4個のDMAチャンネルをもつコントローラ (8237A相当) を内蔵
- ・ 独立した3個のカウタをもつプログラマブル・インターバル・タイマ (8254相当) を内蔵
- ・ DMAコントローラのデータ/アドレスを分離するアドレス・ラッチを内蔵
- ・ 8085系の周辺LSIを用いているため従来のソフトウェアがそのまま使用できる
- ・ C-MOSプロセスのため低消費電力

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5.0 \pm 10\%$ )

記号	測 定 条 件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 2.5\text{mA}$	3.5*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		20	pF



■端子機能

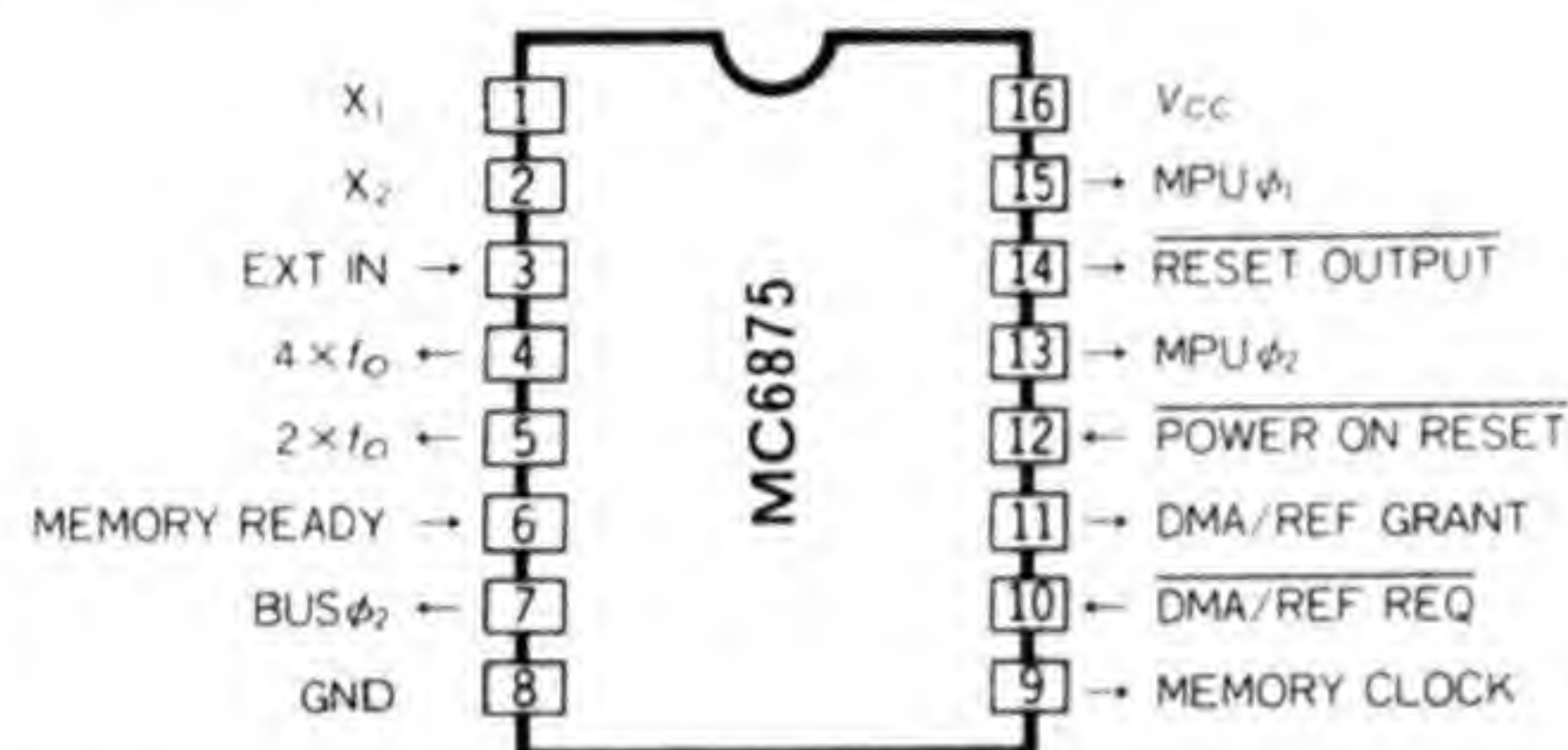
端子名	名称	ピン番号	入出力	機能
DB <sub>7</sub> ~DB <sub>0</sub>	データ・バス	1, 2 4~9	入出力	システム・データ・バスに接続される双方向3ステートのデータ・バス
$\overline{CS_0} \sim \overline{CS_3}$	チップ・セレクト	71~74	入力	ブロックを選択するための信号
$\overline{WRITE}$	ライト・イネーブル	75	入力	割り込みコントローラ0, 1, インターバル・タイマ共通の書き込みイネーブル信号
$\overline{READ}$	リード・イネーブル	76	入力	割り込みコントローラ0, 1, インターバル・タイマ共通の読み出しイネーブル信号
V <sub>CC</sub>	電源	3, 28, 53, 78	入力	電源端子
GND	グラウンド	10, 20, 48, 66, 82	入力	グラウンド
A <sub>0</sub> ~A <sub>15</sub>	アドレス・バス	11~19, 21~23, 24~27	出力 入出力	システムのアドレス・バスに接続される3ステートのアドレス・バス
G	ゲート	99	入力	アドレス・バスの上位8ビット(A <sub>15</sub> ~A <sub>8</sub> )に挿入されたアドレス/データ分離用のアドレス・ラッチのラッチ信号
$\overline{OC}$	出力コントロール	100	入力	アドレス・バスの上位8ビット(A <sub>15</sub> ~A <sub>8</sub> )に挿入されたアドレス/データ分離用のアドレス・ラッチの出力コントロール信号
RSLCT <sub>0</sub> , RSLCT <sub>1</sub>	レジスタ選択	38, 39	入力	割り込みコントローラ0, 1, それぞれの読み出しレジスタ, 書き込みレジスタの選択信号
C <sub>02</sub> , C <sub>01</sub> , C <sub>00</sub>	カスケード	41, 43, 45	入出力	割り込みコントローラ0のカスケード制御信号
C <sub>12</sub> , C <sub>11</sub> , C <sub>10</sub>	カスケード	40, 42, 44	入出力	割り込みコントローラ1のカスケード制御信号
INTA <sub>0</sub> , INTA <sub>1</sub>	割り込み認知	46, 47	入力	割り込みコントローラ0, 1, それぞれの割り込み認知信号
INT <sub>0</sub> , INT <sub>1</sub>	割り込み要求	49, 50	出力	割り込みコントローラ0, 1, それぞれのCPUに対する割り込み要求出力信号
SLCT <sub>0,1</sub>	セレクト	51, 52	入出力	二つの機能をもつ選択信号
IRQ <sub>00</sub> ~IRQ <sub>07</sub> , IRQ <sub>10</sub> ~IRQ <sub>17</sub>	割り込み要求	54~65, 67~70	入力	割り込みコントローラ0, 1, それぞれの外部からの割り込み要求信号
$\overline{MW}$	メモリ・ライト	77	出力	メモリの書き込みを行う出力信号
$\overline{MR}$	メモリ・リード	79	出力	メモリの読み出しを行う出力信号

端子名	名称	ピン番号	入出力	機能
$\overline{IW}$	I/O ライト	80	入出力	双方向3ステート・ライト・イネーブル信号
$\overline{IR}$	I/O リード	81	入出力	双方向3ステート・リード・イネーブル信号
DMARST	DMAリセット	83	入力	DMAコントローラを初期設定する信号
DMACLK	DMAクロック	84	入力	DMAコントローラの内部動作とDMA転送速度を制御するクロック信号
DMARDY	DMAレディ	85	入力	DMAサイクルにおいて、データ転送が終了したことを示す信号
$\overline{END}$	DMA終了	86	入出力	DMA転送の終了に関する入出力信号
DMAACK <sub>0</sub> , DMAACK <sub>3</sub>	DMA許可	87~90	出力	DMAサービスを要求した周辺デバイスにDMAリクエストが許可されたことを通知する信号
DMAREQ <sub>0</sub> , DMAREQ <sub>3</sub>	DMA要求	91~94	入力	DMAコントローラに対して周辺デバイスがDMAサービスを要求する信号
HLDACK	ホールド・アクノリッジ	95	入力	バス・ホールド要求をCPUが受け付けたことを示す信号
HLDREQ	ホールド要求	96	出力	ホールド・リクエスト信号で、システム・バスの制御を要求するための信号
AEN	アドレス・イネーブル	97	出力	DMA用のアドレス上位8ビットを保持するアドレス・ラッチをイネーブルにし、システムのアドレス・バスに出力する信号
ADSTB	アドレス・ストローブ	98	出力	アドレスの上位バイトをアドレス・ラッチにセットするためのストローブ信号
OUT <sub>2</sub>	出力2	29	出力	カウンタ2からの出力信号
GATE <sub>2</sub>	ゲート2	30	入力	カウンタ2をコントロールする入力信号
CLK <sub>2</sub>	クロック2	31	入力	カウンタ2に供給するクロックの入力信号
OUT <sub>1</sub>	出力1	32	出力	カウンタ1からの出力信号
GATE <sub>1</sub>	ゲート1	33	入力	カウンタ1をコントロールする入力信号
CLK <sub>1</sub>	クロック1	34	入力	カウンタ1に供給するクロックの入力信号
OUT <sub>0</sub>	出力0	35	出力	カウンタ0からの出力信号
GATE <sub>0</sub>	ゲート0	36	入力	カウンタ0をコントロールする入力信号
CLK <sub>0</sub>	クロック0	37	入力	カウンタ0に供給するクロックの入力信号



# CG (Clock Generator)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	0~7.0	V
入力電圧	$V_{IN}$	0~5.5	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

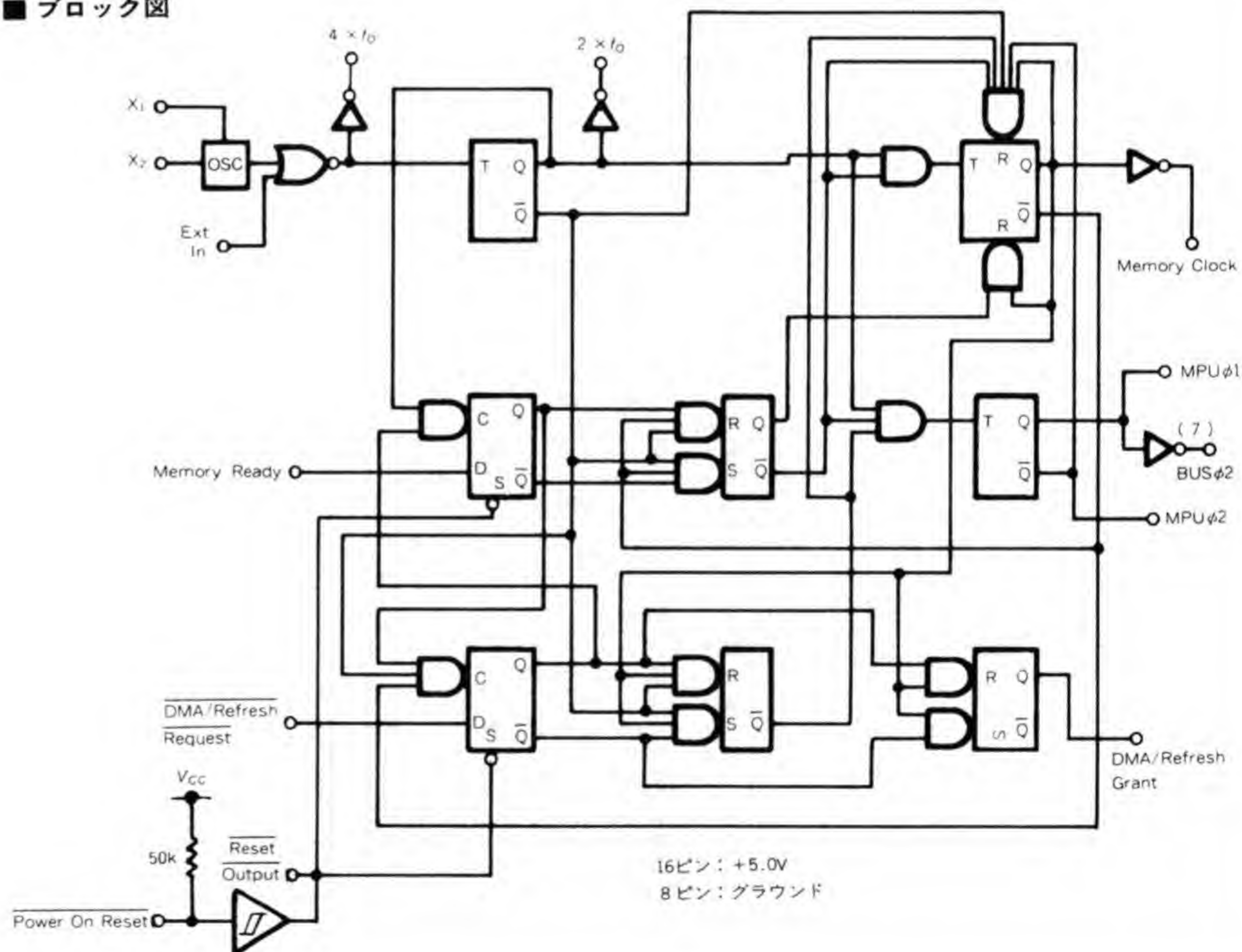
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 3.2\text{mA (RESET)}$	0.5	V
$V_{OH}$	$I_{OH} = 100\mu\text{A (RESET)}$	2.4*	V
$V_{ILH}$	リセット入力 "L" → "H"	3.6	V
$V_{IHL}$	リセット入力 "H" → "L"	0.8*	V
$I_{IH}$	$V_{IH} = 5\text{V}$	25	$\mu\text{A}$
$I_{IL}$	$V_{IL} = 0.5\text{V}$	-250	$\mu\text{A}$

## ■ 特徴

- ・ 6800 CPUシステム用クロック・ジェネレータ
- ・ CPUに必要な二相信号 $\Phi 1$ ,  $\Phi 2$ を発生する
- ・ クロック・ソースとして水晶振動子, CR, 外部クロックが使用できる
- ・  $\Phi 2$ に同期したメモリ用クロックおよびデータ・ストローブ信号の発生
- ・ クロック周波数の2倍, 4倍のタイミング信号を発生する
- ・ メモリからの割り込み (リフレッシュ・リクエスト, メモリ・レディ) 時のクロックの処理および割り込

## ■ ブロック図





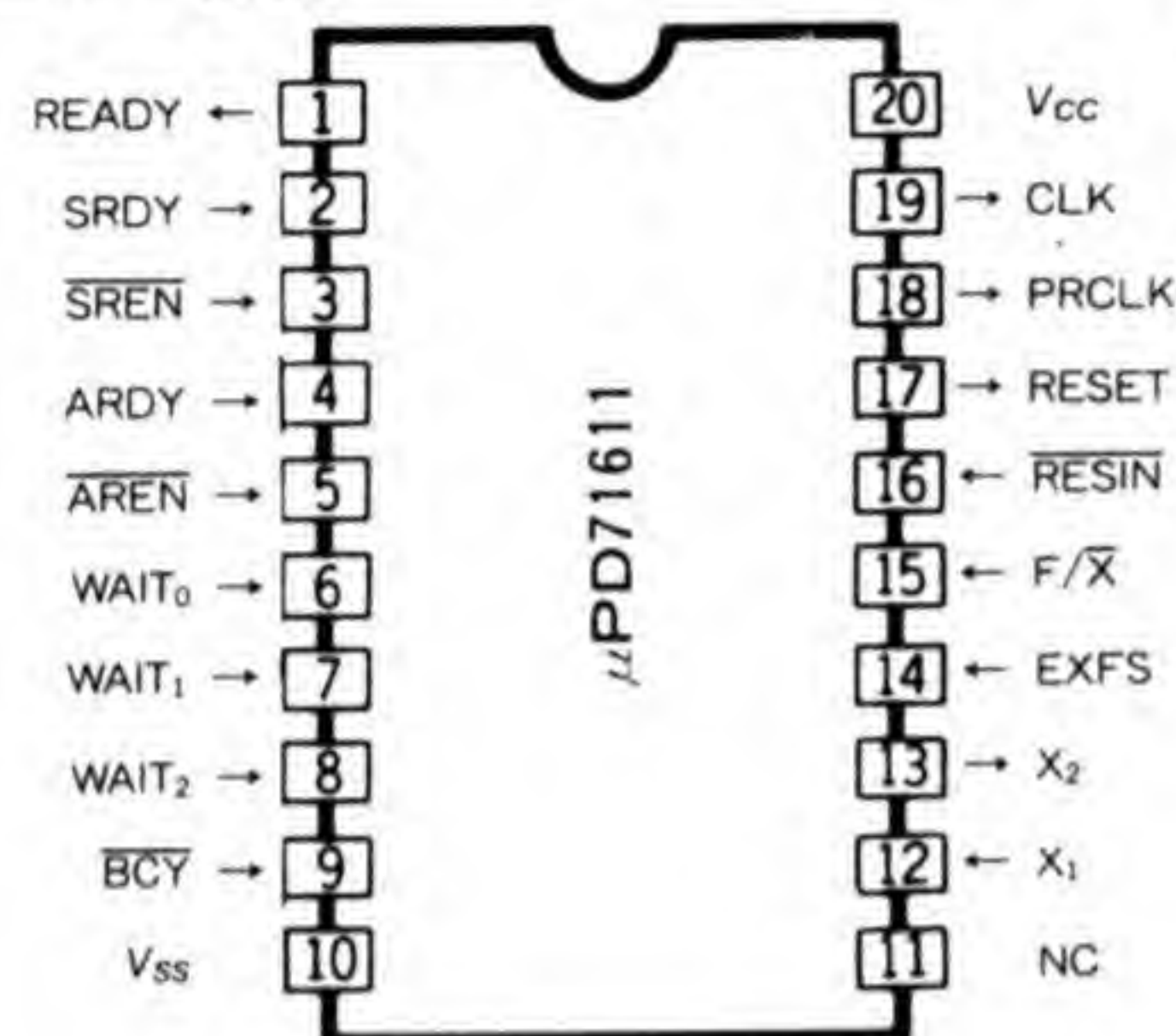
## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
X <sub>1</sub> , X <sub>2</sub>	水晶振動子	1, 2	入出力	発振用水晶振動子接続端子。CR 発振の場合は、X <sub>1</sub> , X <sub>2</sub> 間に R を接続し、X <sub>2</sub> とグラウンドとの間に C を接続する
EXT IN	外部クロック入力	3	入 力	外部クロック入力端子。外部クロック使用のときは、X <sub>1</sub> はオープン、X <sub>2</sub> はグラウンドへ接続する
4 × f <sub>0</sub>	4 倍クロック	4	出 力	接続された水晶振動子の周波数 (4 × f <sub>0</sub> ) がそのまま出力される
2 × f <sub>0</sub>	2 倍クロック	5	出 力	水晶振動子の周波数を 2 分周した信号が出力される
MEMORY READY	メモリ・レディ	6	入 力	アクセス・タイムの遅いメモリを使用するときに使用するメモリ・レディ信号
BUS φ <sub>2</sub>	バス φ <sub>2</sub>	7	出 力	φ <sub>2</sub> とはほぼ同位相の信号で、バス、周辺 LSI 用として使う
MEMORY CLOCK	メモリ・クロック	9	出 力	メモリ用のクロック信号で、MPU φ <sub>2</sub> とはほぼ同相の信号
DMA/REF REQ	DMA/リフレッシュ・リクエスト	10	入 力	DMA/リフレッシュ時にクロックを制御するための入力信号
DMA/REF GRANT	DMA/リフレッシュ・グラント	11	出 力	DMA/REF REQ に対する確認出力信号
POWER ON RESET	リセット	12	入 力	パワーオン・リセット信号で、内部状態を初期状態にする
MPU φ <sub>1</sub> , φ <sub>2</sub>	CPU クロック φ <sub>1</sub> , φ <sub>2</sub>	15, 13	出 力	CPU (6800) 用のクロック信号で、互いに重ならないよう制御された二相クロックが出力される
RESET OUTPUT	リセット出力	14	出 力	POWER ON RESET に入力された信号が、シュミット回路を通し出力される
GND	グラウンド	8	—	グラウンド
V <sub>CC</sub>	電源	16	—	電源



# CG [Clock Generator]

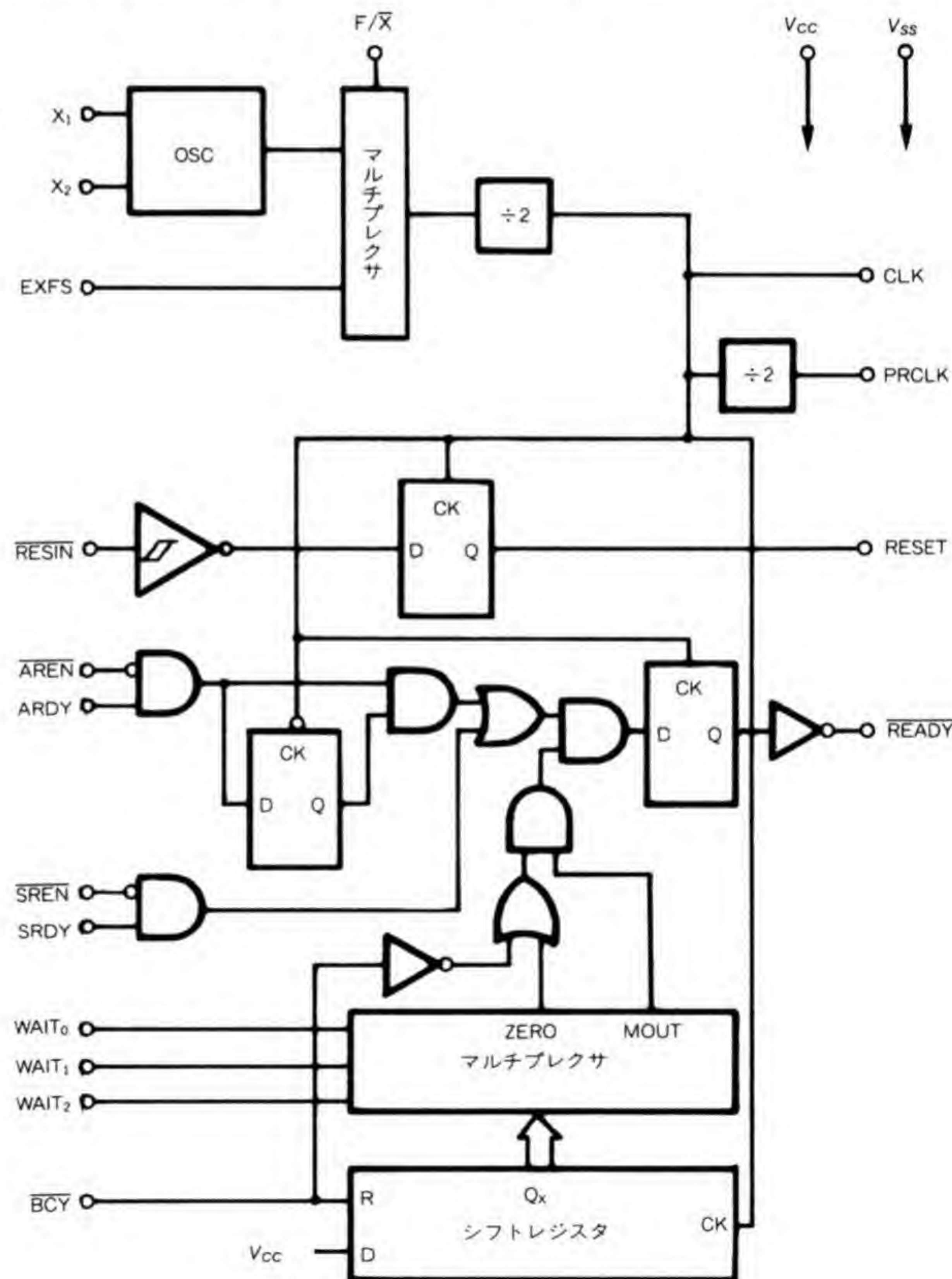
## ■ ピン接続



## ■ 特徴

- ・ V60 CPU システム・サポート用クロック・ジェネレータ・ドライバ
- ・ 32 MHz 原発振を2分周し最大システム・クロック周波数 16 MHz を発生
- ・ プログラマブル・ウェイト信号発生回路によりレディ信号出力タイミングを制御
- ・ シュミット・トリガ回路によるリセット信号出力

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-1.0~ $V_{CC}+1.0$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	-40~85	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a = -40 \sim 85^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 4\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 4\text{mA}$	$V_{CC} - 0.8^*$	V
$I_{IL}$		$\pm 1$	$\mu\text{A}$
$C_{IN}$		10	pF



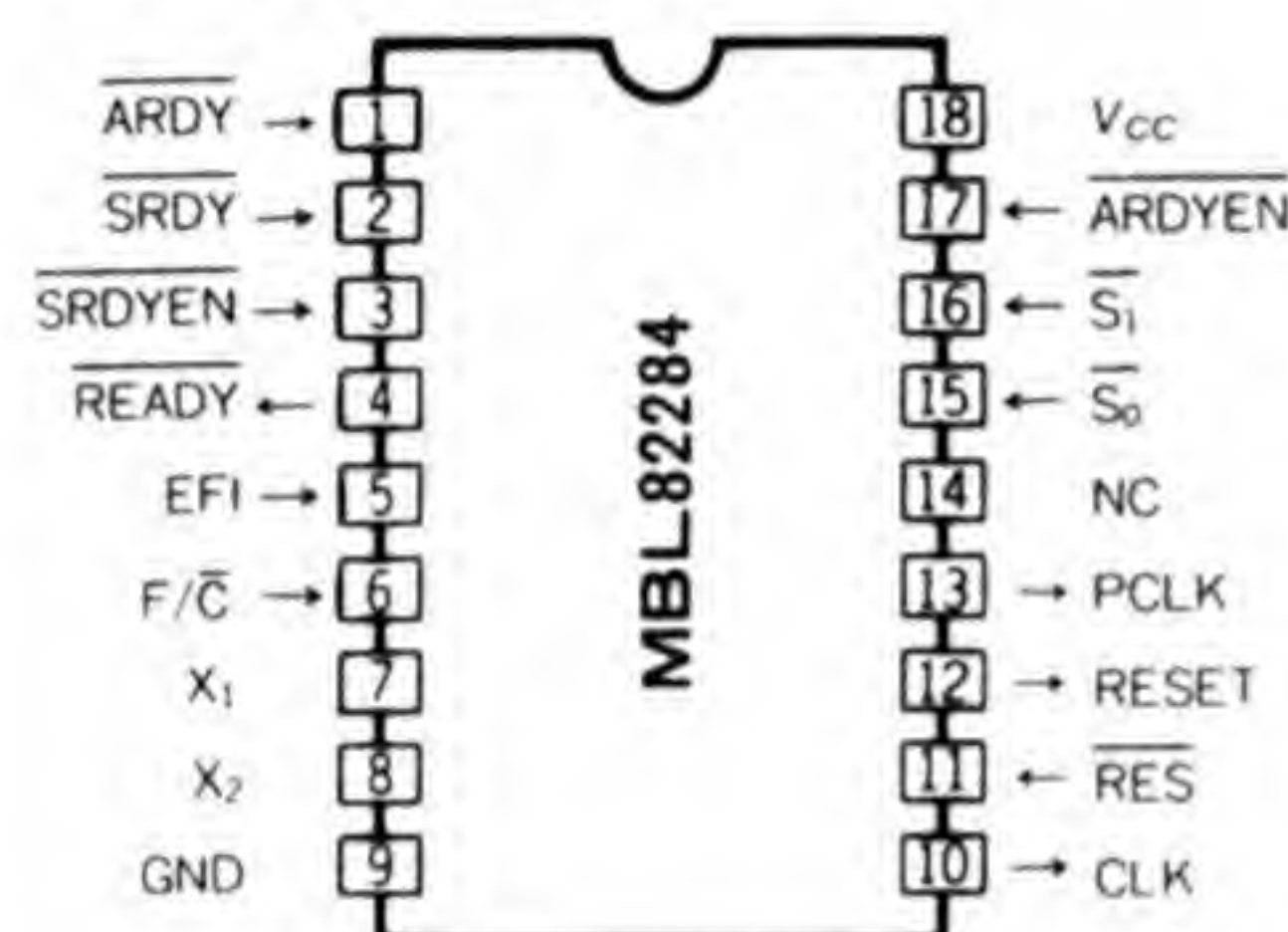
## ■端子機能

端子名	名称	ピン番号	入出力	機能
X <sub>1</sub> X <sub>2</sub>	水晶振動子入力	12 13	入出力	水晶振動子接続端子。所要 CLK 周波数の 2 倍の基本発振周波数の水晶振動子を接続する。 外部クロックを使用する場合は、X <sub>1</sub> 、X <sub>2</sub> 端子を“H”レベルに固定する
EXFS	外部発振入力	14	入力	外部クロック入力端子。所要 CLK 周波数の 2 倍のクロックを供給する
F/ $\overline{X}$	外部入力/水晶選択	15	入力	発振源選択信号。“H”で外部クロックを、“L”で水晶振動子を発振源に選択。また“H”のとき水晶振動子発振を停止
CLK	CPU クロック出力	19	出力	CPU システム・クロック出力端子
PRCLK	周辺 LSI 用クロック出力	18	出力	周辺システム用クロック出力端子
$\overline{\text{RESIN}}$	リセット入力	16	入力	リセット入力端子（シュミット入力）
RESET	リセット出力	17	出力	リセット出力端子
ARDY	非同期レディ入力	4	入力	非同期レディ信号入力端子
$\overline{\text{AREN}}$	非同期レディ・イネーブル	5	入力	ARDY 入力の許可信号入力端子
SRDY	同期レディ入力	2	入力	同期レディ信号入力端子
$\overline{\text{SREN}}$	同期レディ・イネーブル	3	入力	SRDY 入力の許可信号入力端子
$\overline{\text{BCY}}$	CPU バス・サイクル・ステート・シグナル	9	入力	CPU からのバス・サイクル信号入力端子
WAIT <sub>0</sub> WAIT <sub>1</sub> WAIT <sub>2</sub>	ウェイト・モード・コントロール	6 7 8	入力	ウェイト・モード選択入力端子。READY 信号出力を 0 から最大 8 クロック分遅らせる
$\overline{\text{READY}}$	レディ出力	1	出力	レディ信号出力端子
V <sub>CC</sub>	電源	20	—	+ 5 V 電源を接続する
V <sub>SS</sub>	グラウンド	10	—	グラウンド



# CG [Clock Generator]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-1.0~5.5	V
消費電力	$P_D$	1	W
動作温度	$T_{OPR}$	0~+70	°C
保存温度	$T_{STG}$	-65~+150	°C

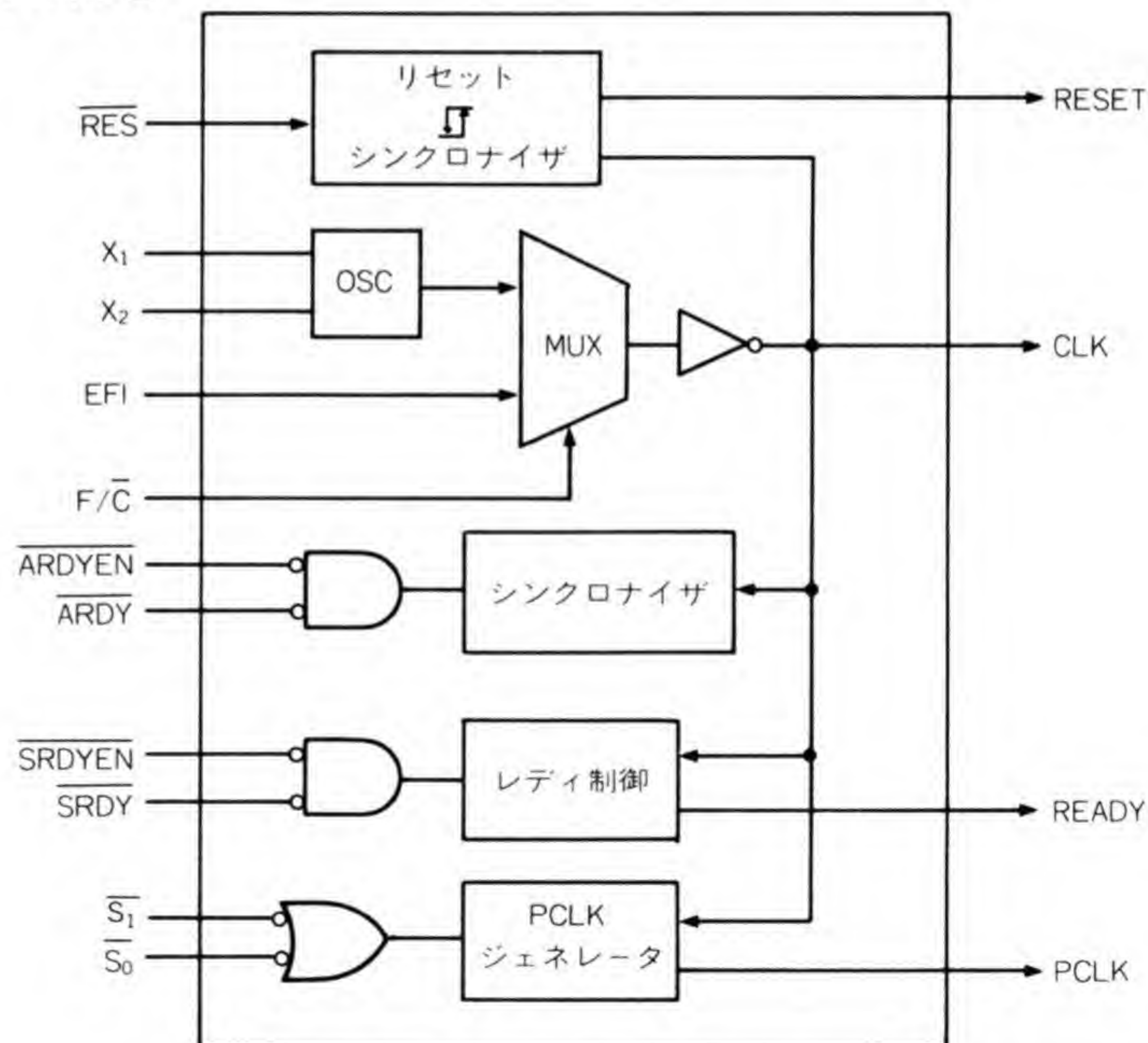
## ■ DC特性

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=5mA$	0.45	V
$V_{OH}$	$I_{OH}=1mA$	2.4*	V
$I_{IL}$	$V_{IN}=V_{CC}$	50	$\mu A$
$C_{IN}$		10	pF

## ■ 特徴

- ・ 80286 CPU システム・サポート用クロック・ジェネレータ・ドライバ
- ・ 発振源として水晶または外部 TTL 信号を使用する
- ・ プログラマブル・ウェイト信号発生回路によりレディ信号出力タイミングを制御
- ・ ローカル・レディとマルチバス・レディの同期化が可能
- ・ シュミット・トリガ回路によるリセット信号出力

## ■ ブロック図





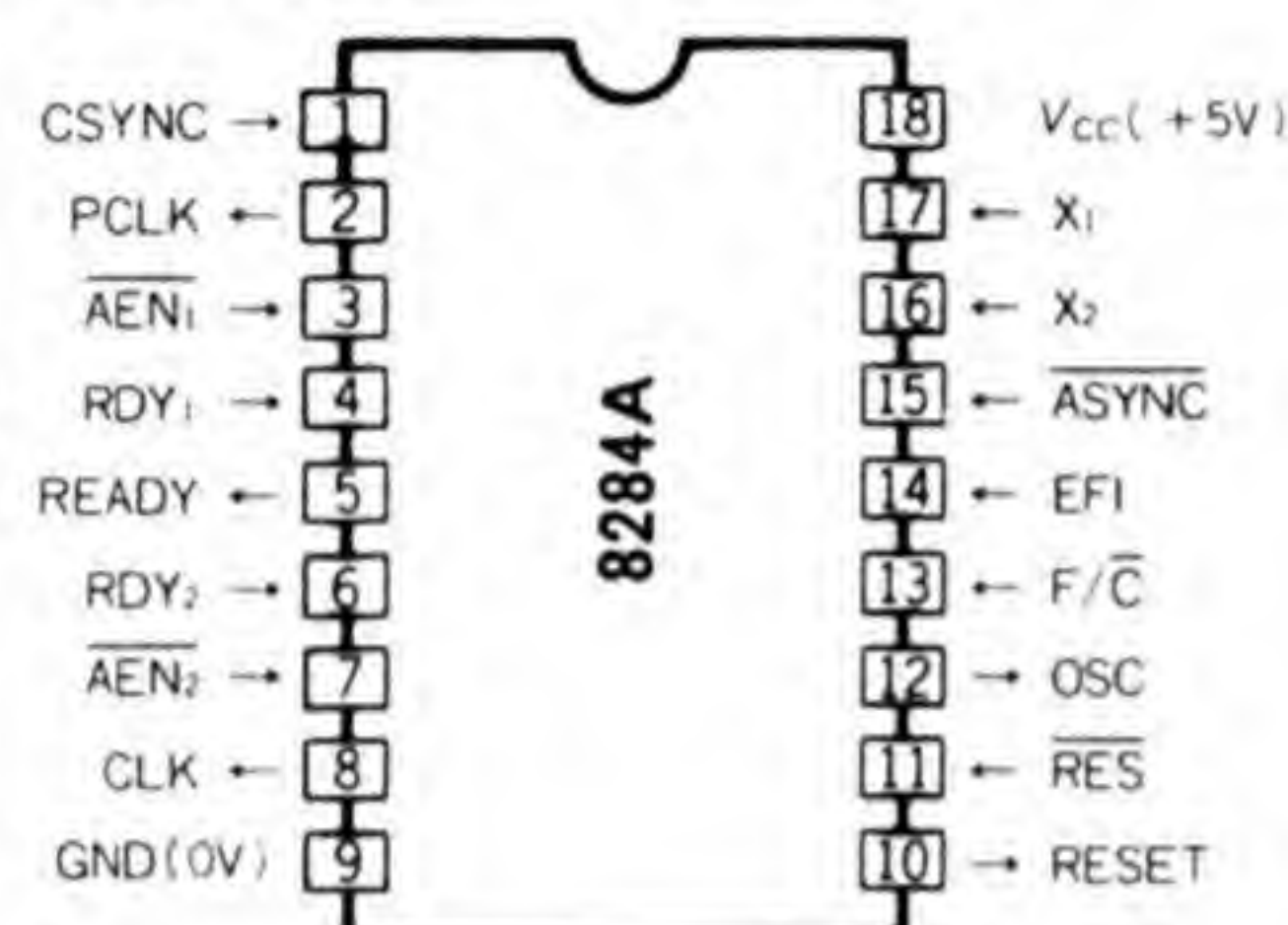
## ■端子機能

端子名	名称	ピン番号	入出力	機能
EFI	外部周波数	5	入力	外部周波数入力。F/C 入力が“H”に固定されている場合に、この入力によって CLK がドライブされる
PCLK	周辺クロック	13	出力	周辺クロック。CLK の 1/2 の周波数でデューティ比 50% のクロックを出力
ARDYEN	非同期レディ・イネーブル	17	入力	非同期 Ready イネーブル。ARDY 入力を可能にするアクティブ“L”の入力
ARDY	非同期レディ	1	入力	非同期 Ready。現在のバス・サイクルを終了させるために用いるアクティブ“L”の入力
SRDYEN	同期レディ・イネーブル	3	入力	同期 Ready イネーブル。SRDY を許可するアクティブ“L”の入力
SRDY	同期レディ	2	入力	同期 Ready。現在のバス・サイクルを終了させるために用いるアクティブ“L”の入力
READY	レディ	4	出力	Ready。現在のバス・サイクルが終了することを示すアクティブ“L”の出力
$\overline{S_0}, \overline{S_1}$	ステータス入力	15, 16	入力	ステータス。82284 に次のバス・サイクルを知らせる入力。 $\overline{S_0}$ および $\overline{S_1}$ によって PCLK が内部プロセッサ・クロックに同期され READY が制御される
RESET	リセット出力	12	出力	リセット。RES 入力から生成されるアクティブ“H”の出力。RESET によってシステムは強制的に初期状態にされる
$\overline{RES}$	リセット入力	11	入力	リセット入力。システム・リセット信号 RESET を発生するアクティブ“L”の入力。 $\overline{RES}$ への入力を CLK に同期させる必要はない
$V_{CC}$	電源	18	—	+ 5 V 電源
GND	グラウンド	9	—	グラウンド
F/C	クロック・ソース	6	入力	クロック・ソースの選択信号
X1, X2	クリスタル	7, 8	—	クリスタル接続端子



# CG [Clock Generator]

## ■ ピン接続



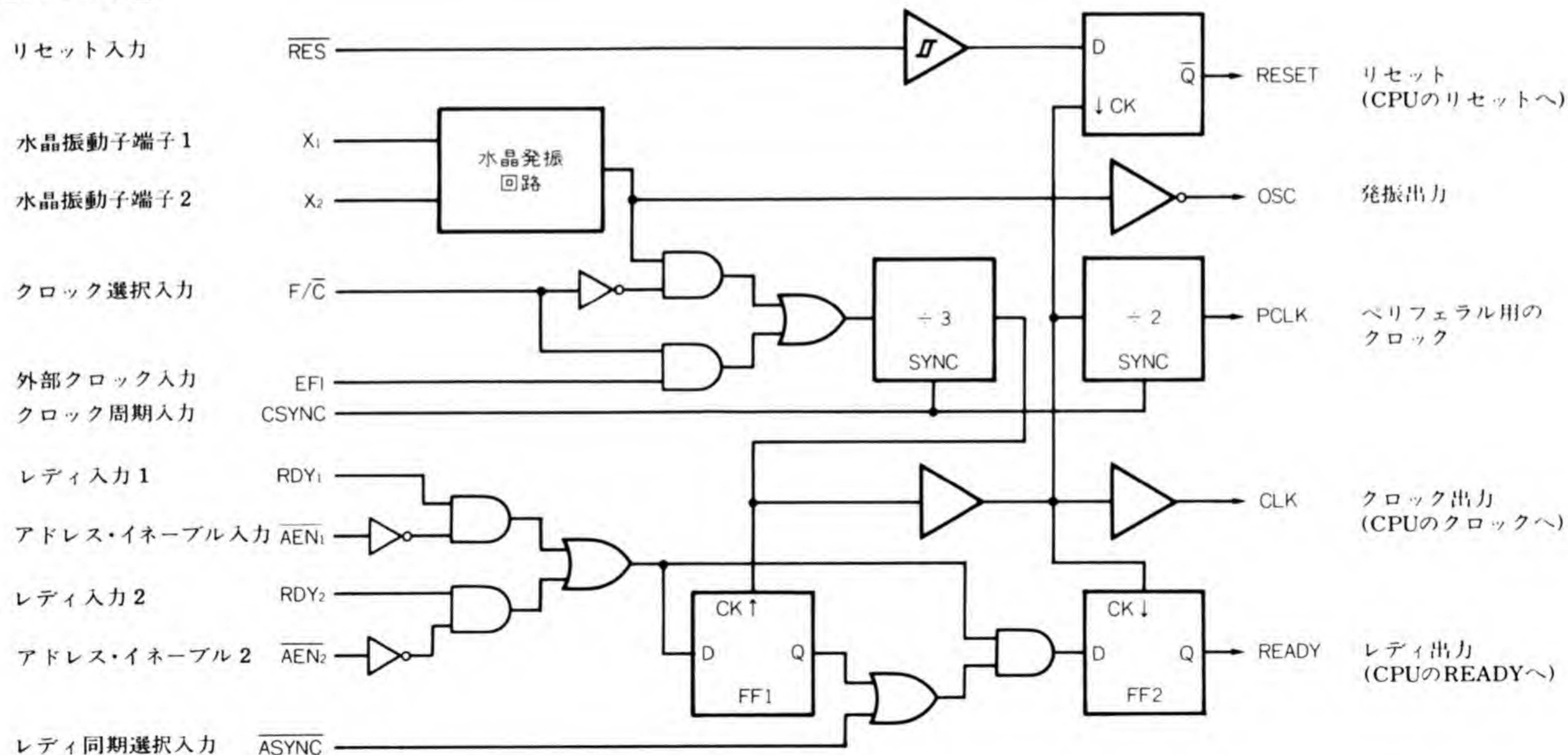
## ■ 特 徴

- ・ 8086/8088のクロック・ジェネレータ
- ・ 発振源として水晶振動子による内部発振, または外部よりのTTLレベル・クロック信号を使用可能
- ・ 2系統のバスのレディ制御信号を発生
- ・ ほかのクロック・パルス・ジェネレータとのクロック・パルス同期化が可能

## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5 ~ +7.0	V
入力電圧	$V_{IN}$	-1.0 ~ +5.5	V
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	-65 ~ +150	°C

## ■ ブロック図





■ DC特性

( $T_a=0\sim+70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm 10\%$ )

項 目	記 号	測 定 条 件	min	max	単位
入力順電流	(ASYNC)	$V_F=0.45\text{V}$		-1.3	mA
	(その他)	$V_F=0.45\text{V}$		-0.5	mA
入力逆電流	(ASYNC)	$V_R=V_{CC}$		50	$\mu\text{A}$
	(その他)	$V_R=5.25\text{V}$		50	$\mu\text{A}$
入力順方向クランプ電圧	$V_C$	$I_C=-5\text{mA}$		-1.0	V
入力“L”電圧	$V_{IL}$			0.8	V
入力“H”電圧	$V_{IH}$		2.0		V
リセット“H”入力	$V_{IHR}$		2.6		V
出力“L”電圧	$V_{OL}$	5mA		0.45	V
出力“H”電圧	(CLK)	-1mA	4		V
	(その他)	-1mA	2.4		V
RES入力ヒステリシス	$V_{IHR}-V_{ILR}$		0.25		V

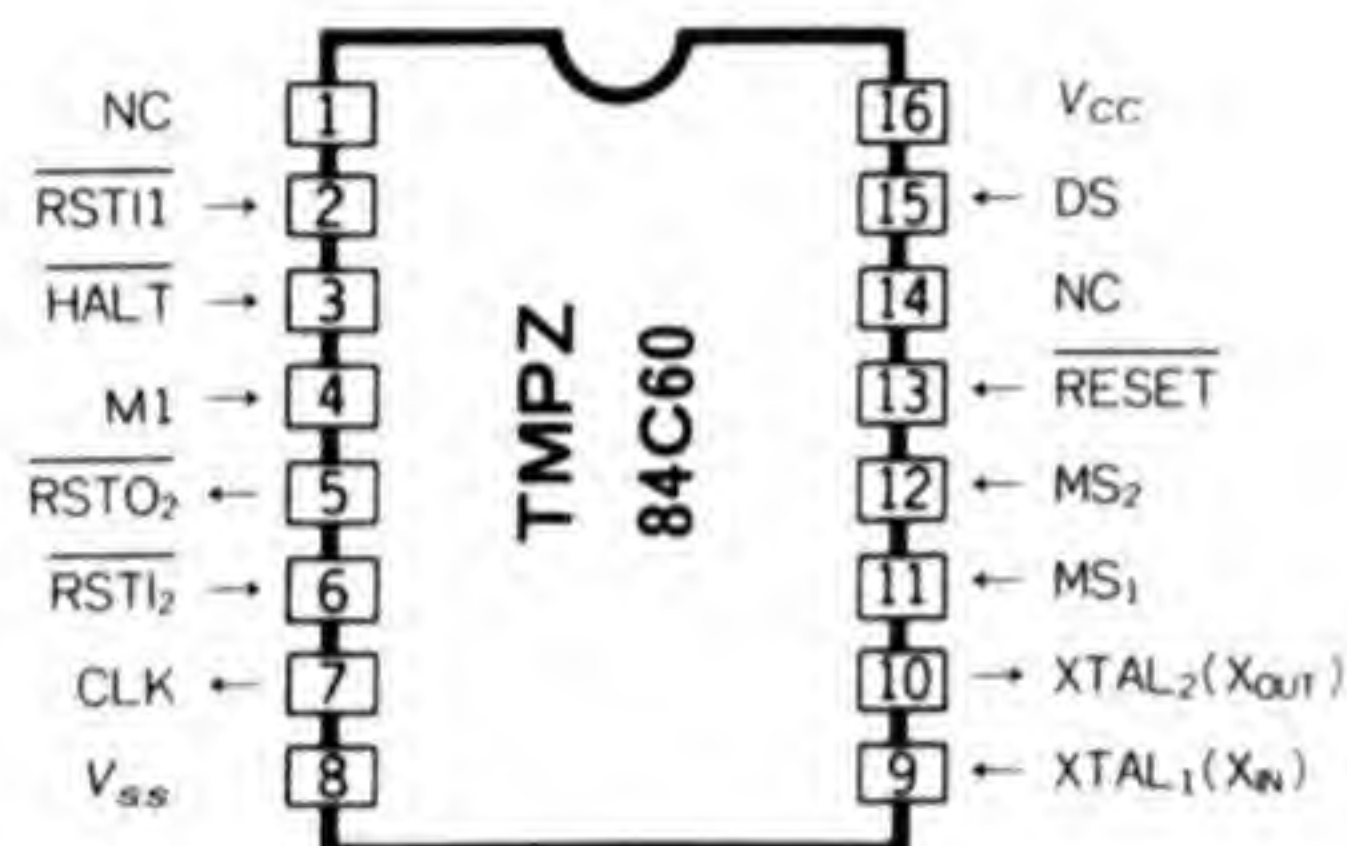
■ 端子機能

端 子 名	名 称	ピン番号	入 出 力	機 能
CSYNC	クロック同期	1	入 力	複数の 8284 が同相のクロックを出力し、同期をとる信号、アクティブ“H”
PCLK	周辺用クロック	2	出 力	周辺回路用のクロック出力
$\overline{\text{AEN}}_1, \overline{\text{AEN}}_2$	アドレス・イネーブル	3, 7	入 力	レディ出力を有効にするための信号、アクティブ“L”
$\text{RDY}_1, \text{RDY}_2$	レディ入力	4, 6	入 力	システム・バスのデバイスが受信完了したことを示す
READY	レディ出力	5	出 力	RDY を同期化した信号、アクティブ“H”
CLK	クロック出力	8	出 力	クロック出力、MOS デバイスをドライブするため、高電圧出力
RESET	リセット	10	出 力	CPU をリセットする信号、アクティブ“H”
$\overline{\text{RES}}$	リセット入力	11	入 力	RESET 信号を発生するために用いる、アクティブ“L”
OSC	発振出力	12	出 力	水晶振動子と同一周波数の出力端子
$\text{F}/\overline{\text{C}}$	クロック選択	13	入 力	CLK のソースを選択する、“H” のとき外部、“L” のとき水晶振動子
EFI	外部クロック	14	入 力	$\text{F}/\overline{\text{C}}$ が“H” のときの外部クロック入力端子
$\overline{\text{ASYNC}}$	レディ同期選択	15	入 力	READY 信号発生回路の同期モードを選択する
$\text{X}_1, \text{X}_2$	水晶端子	16, 17	入 力	水晶振動子への接続端子



# CG [Clock Generator]

## ■ ピン接続



## ■ 特 徴

- ・ Z80 システム用クロック・ジェネレータ・コントローラ
- ・ ホルト命令実行時に三つのモード選択可能
  - RUNモード  
クロックを継続出力
  - IDLEモード  
クロック出力を停止し、発振回路は動作する
  - STOPモード  
発振回路を含め、動作を完全に停止する
- ・ システム・クロック停止からのリスタートは3種類の選択が可能
  - レベル・トリガ入力 (RSTI1)
  - エッジ・トリガ入力 (RSTI2)
  - リセット入力 (リセット)

## ■ 最大定格

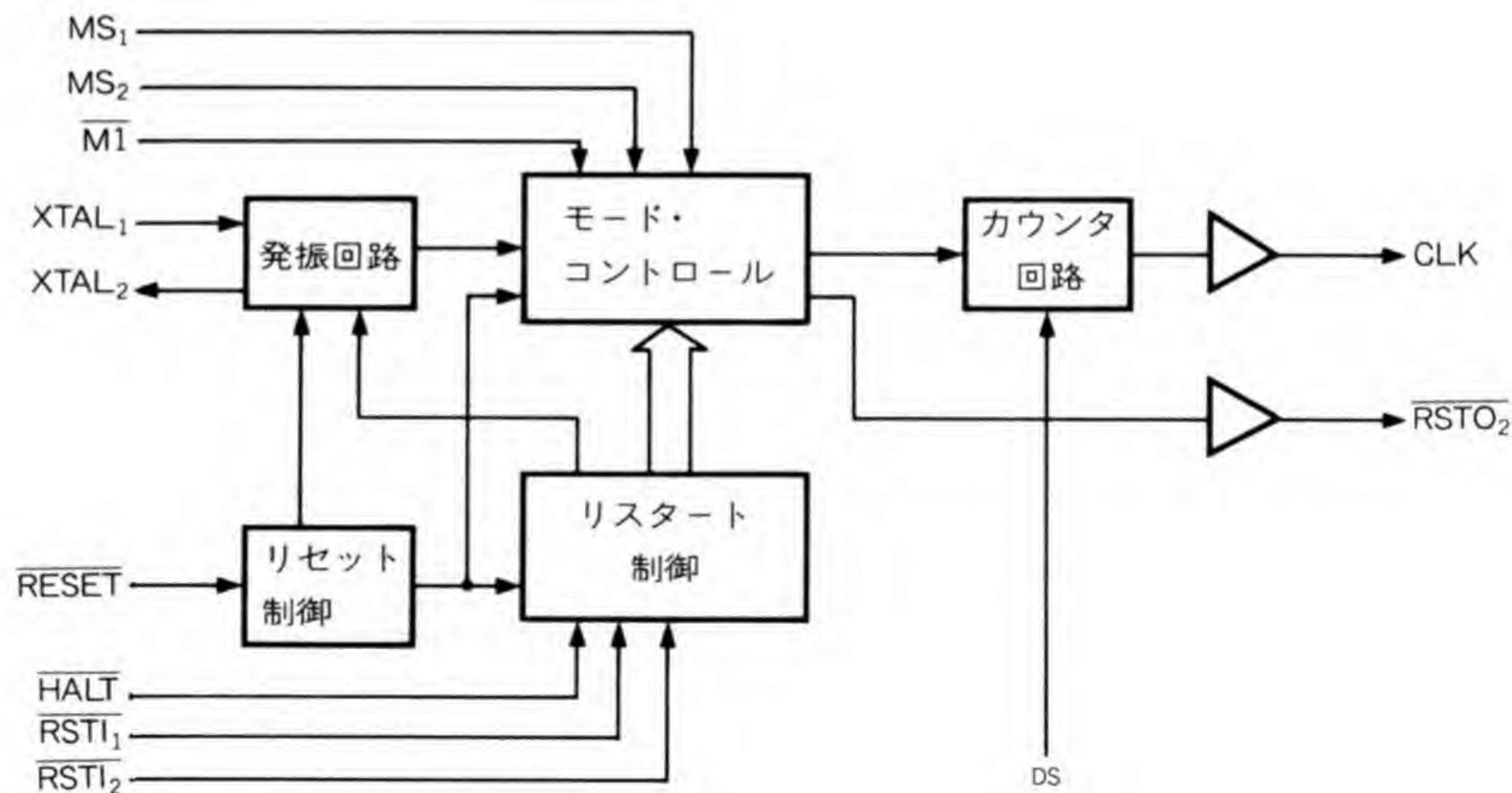
項 目	記号	定 格	単 位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
消費電力	$P_D$	0.25	W
動作温度	$T_{OPR}$	$-40 + 85$	°C
保存温度	$T_{STG}$	$-65 + 150$	°C

## ■ DC特性

( $T_a = -40 \sim +85^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測 定 条 件	max/min*	単 位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.0\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 1.6\text{mA}$	2.4*	V
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 1$	$\mu\text{A}$
$C_{IN}$		15	pF

## ■ ブロック図





## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{\text{RSTI}}_1$	リスタート入力1	2	入力	クロック(CLK)停止状態からのリスタート信号。MPUの $\overline{\text{INT}}$ 端子と接続する(レベル・トリガ入力)
$\overline{\text{HALT}}$	ホルト	3	入力	ホルト信号( $\overline{\text{HALT}}$ )入力。MPUの $\overline{\text{HALT}}$ 端子と接続する
$\overline{\text{MI}}$	マシン・サイクル	4	入力	マシン・サイクル( $\overline{\text{MI}}$ )信号入力。MPUの $\overline{\text{MI}}$ 端子と接続する
$\overline{\text{RSTO}}_2$	リスタート出力	5	出力	リスタート信号 $\overline{\text{RSTI}}_2$ の出力。MPUの $\overline{\text{NMI}}$ 端子と接続する
$\overline{\text{RSTI}}_2$	リスタート入力2	6	入力	クロック(CLK)停止状態からのリスタート信号(エッジ・トリガ入力)
CLK	クロック	7	出力	単相のクロック出力。 STOPモードでのホルト命令の実行によりMPUは動作を停止し、クロック出力を“0”レベルに保持する
DS	カウンタ選択	15	入力	カウンタ出力段数選択用入力。 STOPモードでクロック停止状態からのリスタート時ウォーミング・アップ時間を設定するための入力である
$\overline{\text{RESET}}$	リセット	13	入力	リセット信号。MPUの $\overline{\text{RESET}}$ 端子と接続。 クロック(CLK)停止状態からのリスタート信号(レベル・トリガ入力)
$\text{MS}_1$ , $\text{MS}_2$	モード選択	11, 12	入力	モード選択入力。 この二つのピンの状態により、三つのモード(RUN, IDLE, STOP)のいずれかが選択される
$\text{XTAL}_1$ (XIN), $\text{XTAL}_2$ (XOUT)	水晶接続	9, 10	入力 出力	水晶振動子接続端子



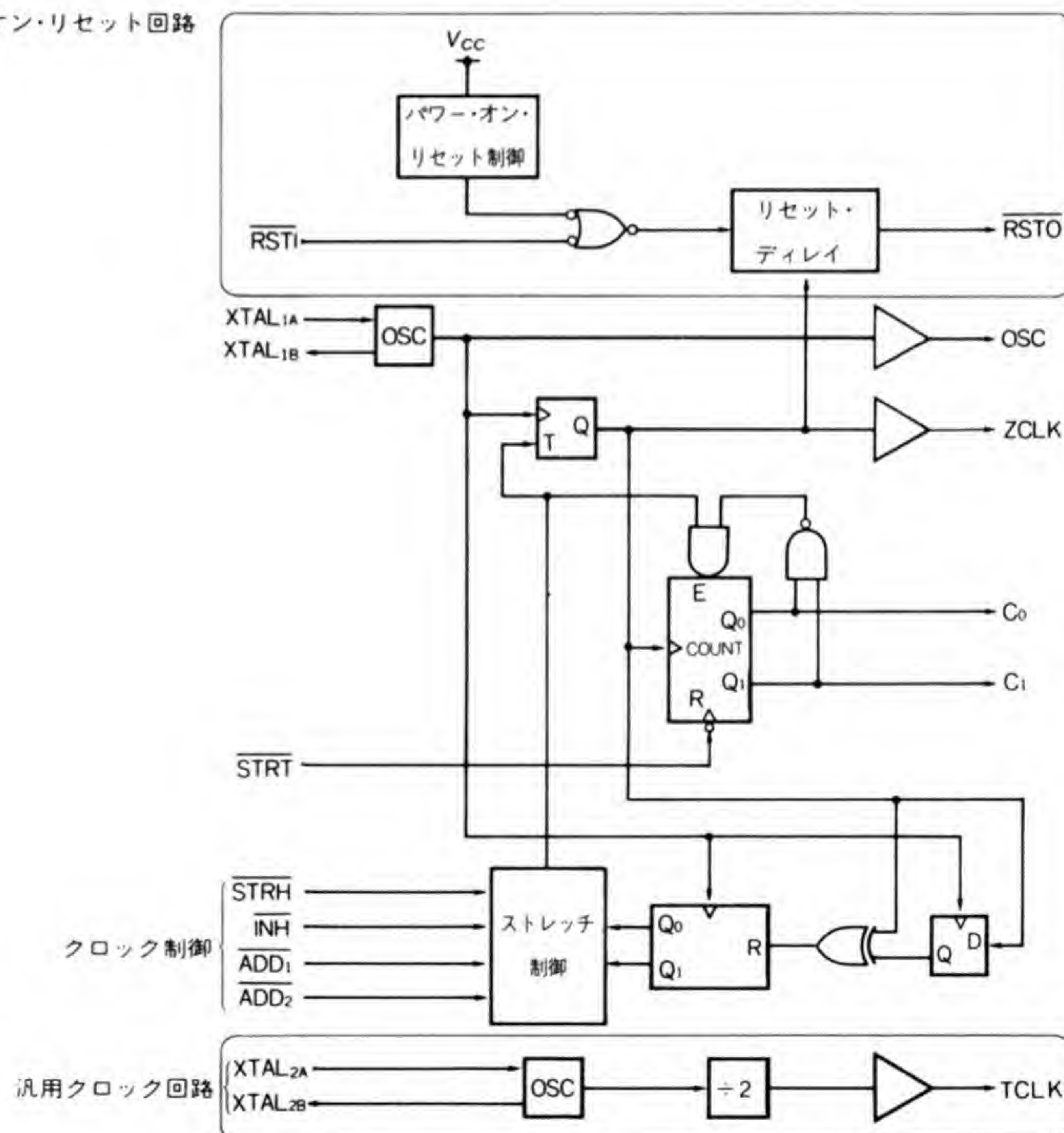
Pin diagram of the Z8581 IC. The chip is shown with pins 1 through 18. Pin 1 is XTIL1A, Pin 2 is XTIL1B, Pin 3 is STRH, Pin 4 is INH, Pin 5 is VCC (+5V), Pin 6 is ADD1, Pin 7 is ADD2, Pin 8 is STR, Pin 9 is C0, Pin 10 is C1, Pin 11 is XTIL2B, Pin 12 is XTIL2A, Pin 13 is TCLK, Pin 14 is GND (0V), Pin 15 is ZCLK, Pin 16 is OSC, Pin 17 is RSTO, and Pin 18 is RSTI.

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.3~+7.0	V
入力電圧	$V_{IN}$	-0.3~+7.0	V
動作温度	$T_{OPR}$	0+70	°C
保存温度	$T_{STG}$	-65+150	°C

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2.0\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=250\mu\text{A}$	2.4*	V
$I_{IL}$	$V_{IN}=0.4\sim 2.4\text{V}$	$\pm 10$	$\mu\text{A}$

- ・ 20 MHzまでの能力をもった二つの独立した発振回路をもっている
- ・ NMOSのマイクロプロセッサのクロック入力に適合するドライブ能力をもっている
- ・ クロックを外部からの制御によって任意に引き延ばし、タイミングの異なる素子とのインターフェース

### パワー・オン・リセット回路





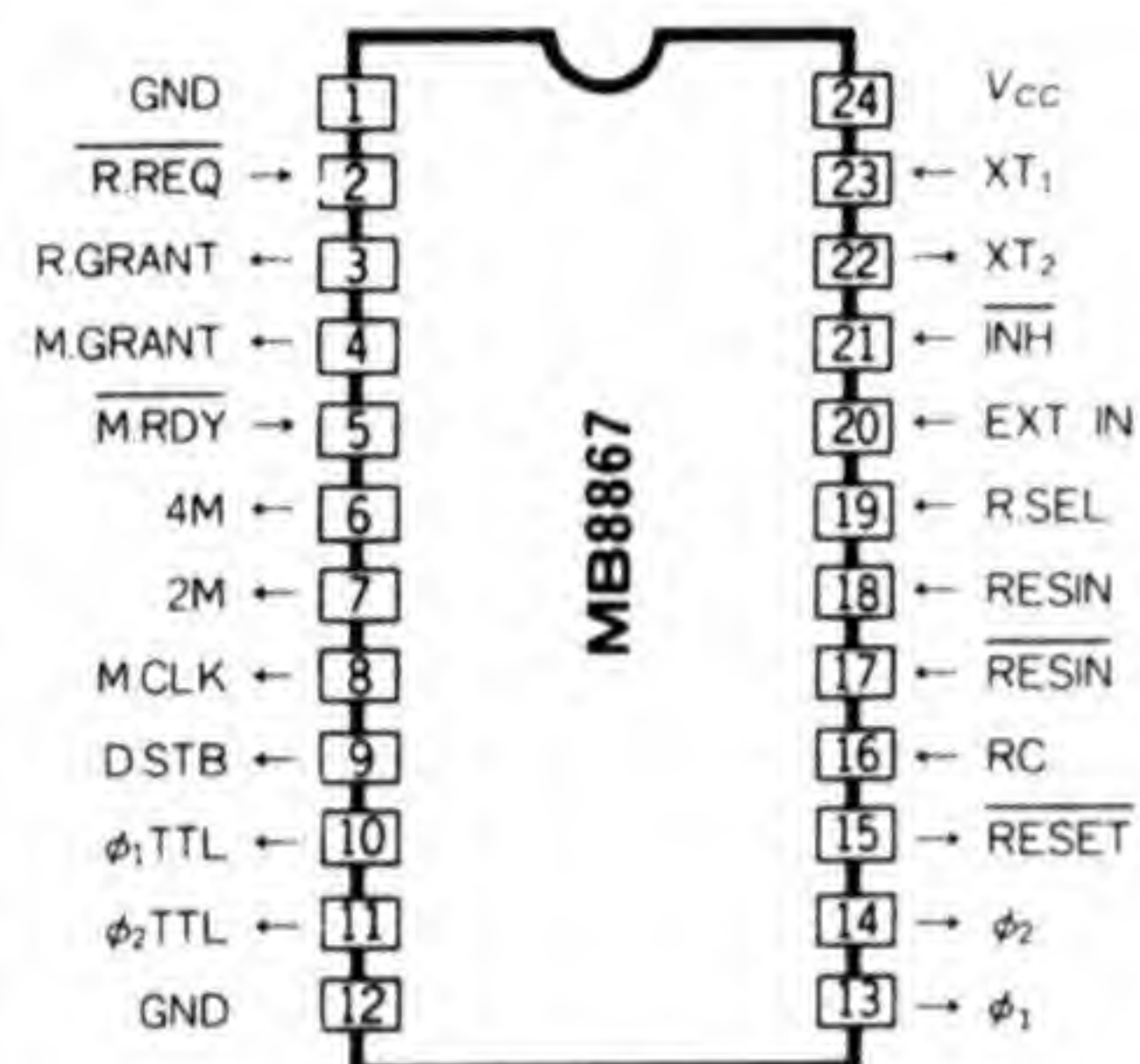
■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
XTAL <sub>1A</sub> , XTAL <sub>1B</sub>	システム・クロック・ソース	1, 2	入 力 出 力	システム・クロック用水晶振動子接続端子。内部回路動作クロックを生成する
XTAL <sub>2A</sub> , XTAL <sub>2B</sub>	汎用クロック・ソース	12, 11	入 力 出 力	汎用クロック用水晶振動子接続端子。外部への汎用クロック信号(TCLK)を生成する
ZCLK	システム・クロック	15	出 力	システム・クロック出力で、STRHで制御される
TCLK	汎用クロック	13	出 力	汎用クロック・ソースの1/2の周波数クロックが出力される
STRH	ZCLK デイレイ	3	入 力	ZCLK 信号の出力を遅延制御する
OSC	クロック出力	16	出 力	システム・クロック・ソースの周波数の信号を出力する
ADD <sub>1</sub> , ADD <sub>2</sub>	デイレイ 1, 2	6, 7	入 力	ZCLK 信号の出力遅延を、1～3周期のいずれにするかを定める
C <sub>0</sub> , C <sub>1</sub>	ZCLK カウント 0, 1	9, 10	出 力	STRT 入力後の ZCLK のカウント数をバイナリで出力する
INH	遅延禁止	4	入 力	ADD <sub>1</sub> , ADD <sub>2</sub> の入力を無効にする
RSTI	リセット入力	18	入 力	リセット入力端子で、システム・クロックに同期した信号(RSTO)を生成する
RSTO	リセット出力	17	出 力	パワー・オンまたは RSTI 入力によって生成されたシステム・リセット信号を出力する
STRT	スタート・カウント	8	入 力	2ビットの ZCLK カウンタをリセットし、C <sub>0</sub> , C <sub>1</sub> を0にする



# CG [Clock Generator]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	0~7.0	V
入力電圧	$V_{IN}$	-0.5~5.5	V
動作温度	$T_{OPR}$	-25+125	°C
保存温度	$T_{STG}$	-55+150	°C

## ■ DC特性

( $T_a = 0 \sim +70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

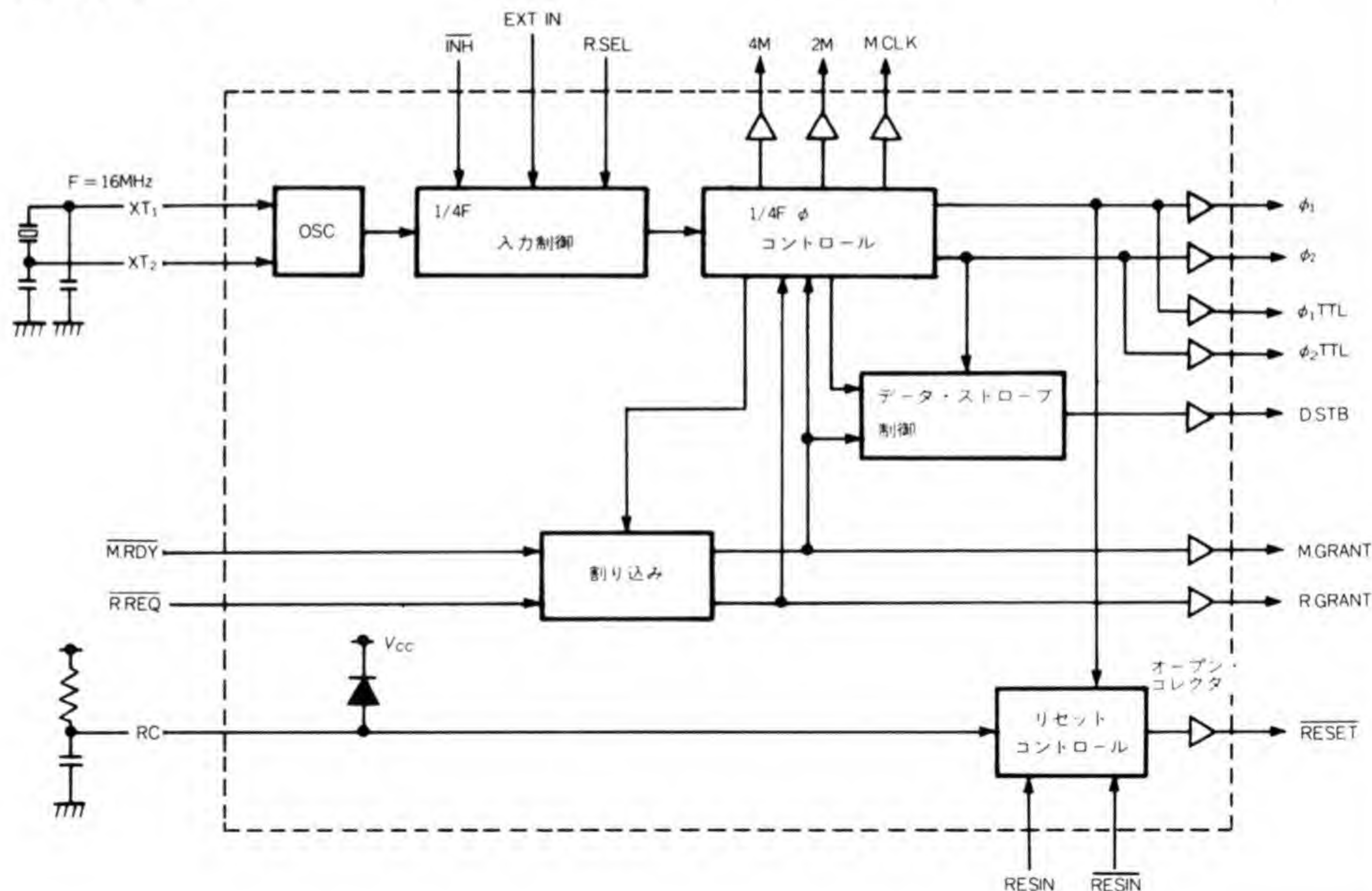
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 16\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 0.4\text{mA}$	2.4*	V

## ■ 特徴

- ・ 6800 CPUシステム用クロック・ジェネレータ
- ・ CPUに必要な信号をすべて発生する
- ・ 水晶発振により安定な2相クロックの発生
- ・  $\Phi 2$ に同期したメモリ用クロックおよびデータ・ストロープ信号の発生

- ・ クロック周波数の2倍, 4倍のタイミング信号
- ・ メモリからの割り込み (リフレッシュ・リクエスト, メモリ・レディ) 時のクロックの処理および割り込み確認信号の発生
- ・ 電源投入時の自動リセットおよび手動リセット信号の発生

## ■ ブロック図





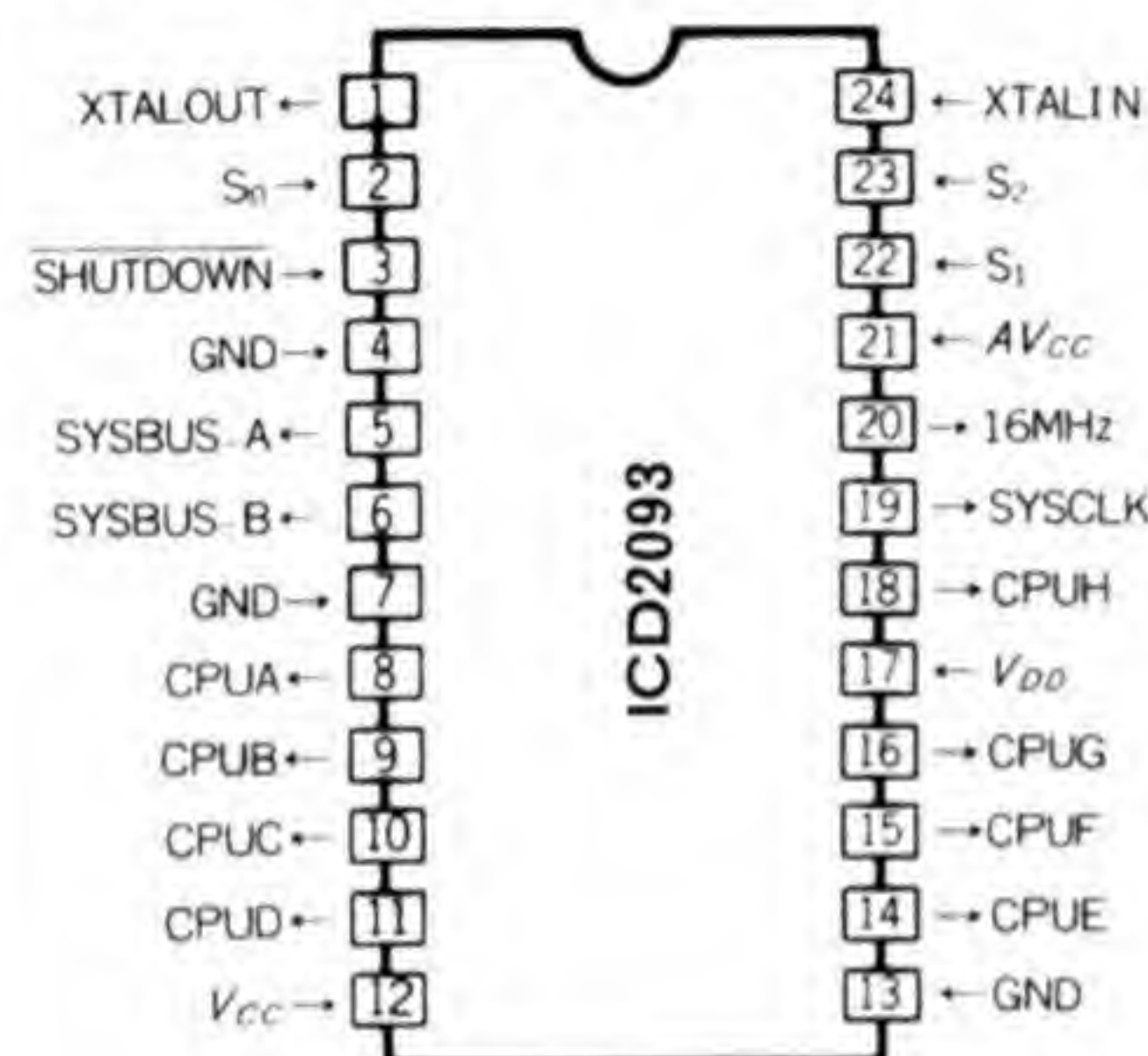
■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
XT <sub>1</sub> , XT <sub>2</sub>	水晶接続端子	23, 22	入 力	XT <sub>1</sub> , XT <sub>2</sub> の間にクロック周波数の4倍, または16倍の水晶振動子を接続する
EXT IN	外部クロック入力	20	入 力	XT <sub>1</sub> , XT <sub>2</sub> 端子を使用しない場合, この端子に外部クロックを入力する。外部クロックはプロセッサ・クロックの4倍または16倍の周波数をもつTTL信号を入力する
$\overline{\text{INH}}$	クロック切り替え	21	入 力	外部クロック入力を使用するか, XT <sub>1</sub> , XT <sub>2</sub> に水晶振動子を付けて水晶発振させるかの切り替え端子。この端子を“H”(開放)にすれば水晶発振となり, “L”(接地)にすれば外部クロック入力有効となる
R. SEL	分周選択	19	入 力	1/4分周回路の制御端子で, 開放(=“H”)にすれば1/4分周回路が動作し, 接地(=“L”)すれば分周は行わない
$\phi_1, \phi_2$	クロック出力	13, 14	出 力	マイクロプロセッサ(6800)用のクロック出力信号。このクロックはR. REQ, M. RDYの各制御入力信号によって制御される
$\phi_1$ TTL, $\phi_2$ TTL	クロック出力(TTL)	10, 11	出 力	$\phi_1, \phi_2$ とはほぼ同位相のTTLコンパチブル出力信号。このクロックは周辺LSIなどのイネーブル信号として使用
D. STB	データ・ストロブ	9	出 力	メモリのリード/ライト用のストロブ信号。この信号は $\phi_2$ が出てから4M信号の1サイクル分遅れて“H”となり, $\phi_2$ が“L”になる前に“L”になる。M. RDY信号が入力していないならば, $\phi_2$ の後半分の時間だけ“H”となる
M. CLK	メモリ・クロック	8	出 力	メモリ用のクロックで $\phi_2$ とはほぼ同位相のTTLコンパチブル信号。この信号はM. RDY信号によってのみ制御される
2M	2MHzパルス	7	出 力	M. CLKの2倍の周波数の信号で必要なタイミングの発生用に使用。このクロックは, M. RDY信号で制御される
4M	4MHzパルス	6	出 力	クロック発生用の基本信号で, 水晶発振または外部クロックがR. SELにより1/4分周されるかそのまま出力される
RC	RC 端子	16	入 力	電源投入時のリセット用の入力端子
RESIN, RESIN	リセット入力	18, 17	入 力	マニュアル・リセット用の入力端子
$\overline{\text{RESET}}$	リセット出力	15	出 力	リセット出力端子でオープン・コレクタ出力となっている
R. REQ	リフレッシュ要求	2	入 力	R. REQ信号はダイナミック・メモリのリフレッシュ時にクロックを制御するための入力信号
R. GRANT	リフレッシュ確認	3	出 力	R. REQ信号に対する確認出力信号
$\overline{\text{M. RDY}}$	メモリ・レディ	5	入 力	アクセス・タイムの遅いメモリを使用するときに使用する
M. GRANT	メモリ・レディ確認	4	出 力	M. RDY信号に対する確認出力信号



# CG [Clock Generator]

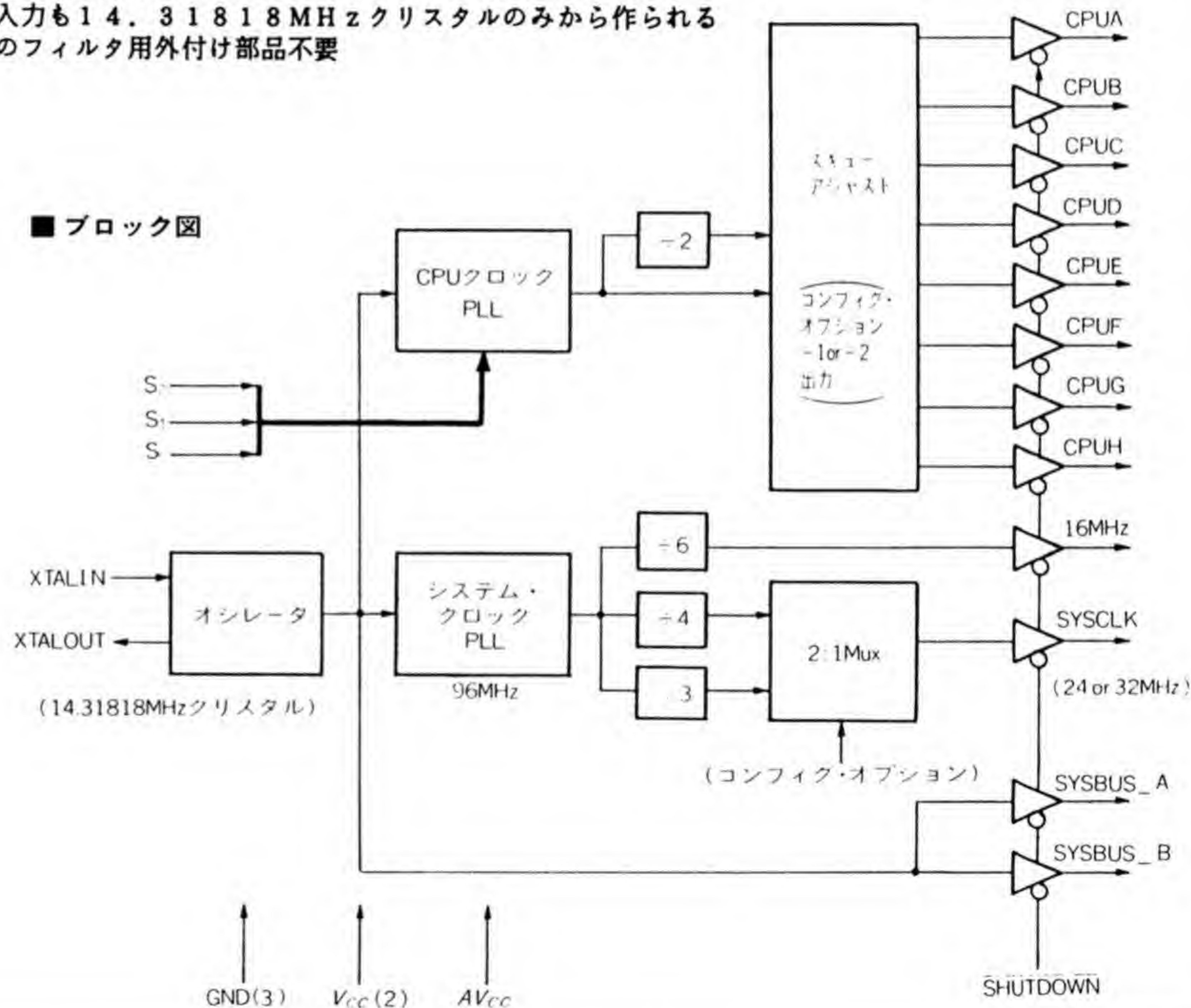
## ■ ピン接続



## ■ 特 徴

- ・ Pentiumプロセッサ・ベースの各種システム用1チップ・オシレータ
- ・ 8個の、 $\div 1$ または $\div 2$ 選択可能なクロックを出力できる  
注) $\div 1$ 、 $\div 2$ はコンフィグ・オプション
- ・ ハイ・ドライブ(48mA)、ハイ・ロード(50pF)でもトータル・スキューは250ps以下
- ・ 下記の4個の固定信号出力を持つ  
14.31818MHz $\times 2$ 、16MHz、24または32MHz
- ・ CPUクロック周波数レンジ  
10MHz $\sim$ 100MHz (デューティ50%)
- ・ Green仕様では、オプションでパワーダウン・モードもサポート
- ・ PLLへの入力も14.31818MHzクリスタルのみから作られる
- ・ PLL回路のフィルタ用外付け部品不要

## ■ ブロック図



## ■ 最大定格

項目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5V \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 48\text{mA}$	0.5	V
$V_{OH}$	$I_{IL} = 48\text{mA}$	$V_{CC} - 0.5^*$	V
$I_{IL}$		-250	$\mu\text{A}$



## ■端子機能

端子名	ピン番号	入出力	機 能
XTALOUT	1	出力	14.31818MHzクリスタル接続端子
S0	2	入力	CPUクロックROM選択信号入力(Bit0)
SHUTDOWN (OUTDIS)	3	入力	"L"の時、内部の発信回路をシャット・ダウン状態にする
SYSBUS_A	5	出力	14.31818MHzクロック出力
SYSBUS_B	6	出力	14.31818MHzクロック出力
CPUA	8	出力	CPUクロック出力A (÷1または÷2)
CPUB	9	出力	CPUクロック出力B (÷1または÷2)
CPUC	10	出力	CPUクロック出力C (÷1または÷2)
CPUD	11	出力	CPUクロック出力D (÷1または÷2)
CPUE	14	出力	CPUクロック出力E (÷1または÷2)
CPUF	15	出力	CPUクロック出力F (÷1または÷2)
CPUG	16	出力	CPUクロック出力G (÷1または÷2)
CPUH	18	出力	CPUクロック出力H (÷1または÷2)
SYSCLK	19	出力	24MHzまたは32MHzクロック出力
16MHz	20	出力	16MHzクロック出力
S1	22	入力	CPUクロックROM選択信号入力(Bit1)
S2	23	入力	CPUクロックROM選択信号入力(Bit2)
XTALIN	24	入力	14.31818MHzクリスタル接続端子

## ■CPUクロック精度

CPUクロック周波数は、S0-S2の設定によりいつでも変更可能

S0	S1	S2	設定周波数 (MHz)	CPU Clock ÷1(MHz)	CPU Clock ÷2(MHz)	VCO (MHz)	PPM エラー
0	0	0	20.000	20.003	10.002	80.013	167
0	0	1	33.333	33.322	16.661	66.645	331
0	1	0	60.000	60.000	30.000	120.000	0
0	1	1	40.000	40.006	20.003	80.013	167
1	0	0	50.000	50.114	25.057	100.227	2267
1	0	1	66.667	66.818	33.409	133.636	2270
1	1	0	80.000	80.013	40.006	160.026	167
1	1	1	100.000	100.227	50.114	100.227	2267

## ■SYS CLK精度

設定周波数 (MHz)	出力周波数		PPMエラー	
	オプション1	オプション2	オプション1	オプション2
24.000	23.993	23.967	1359	307
32.000	31.990	31.957	1359	307

## ■コンフィグレーション・オプション

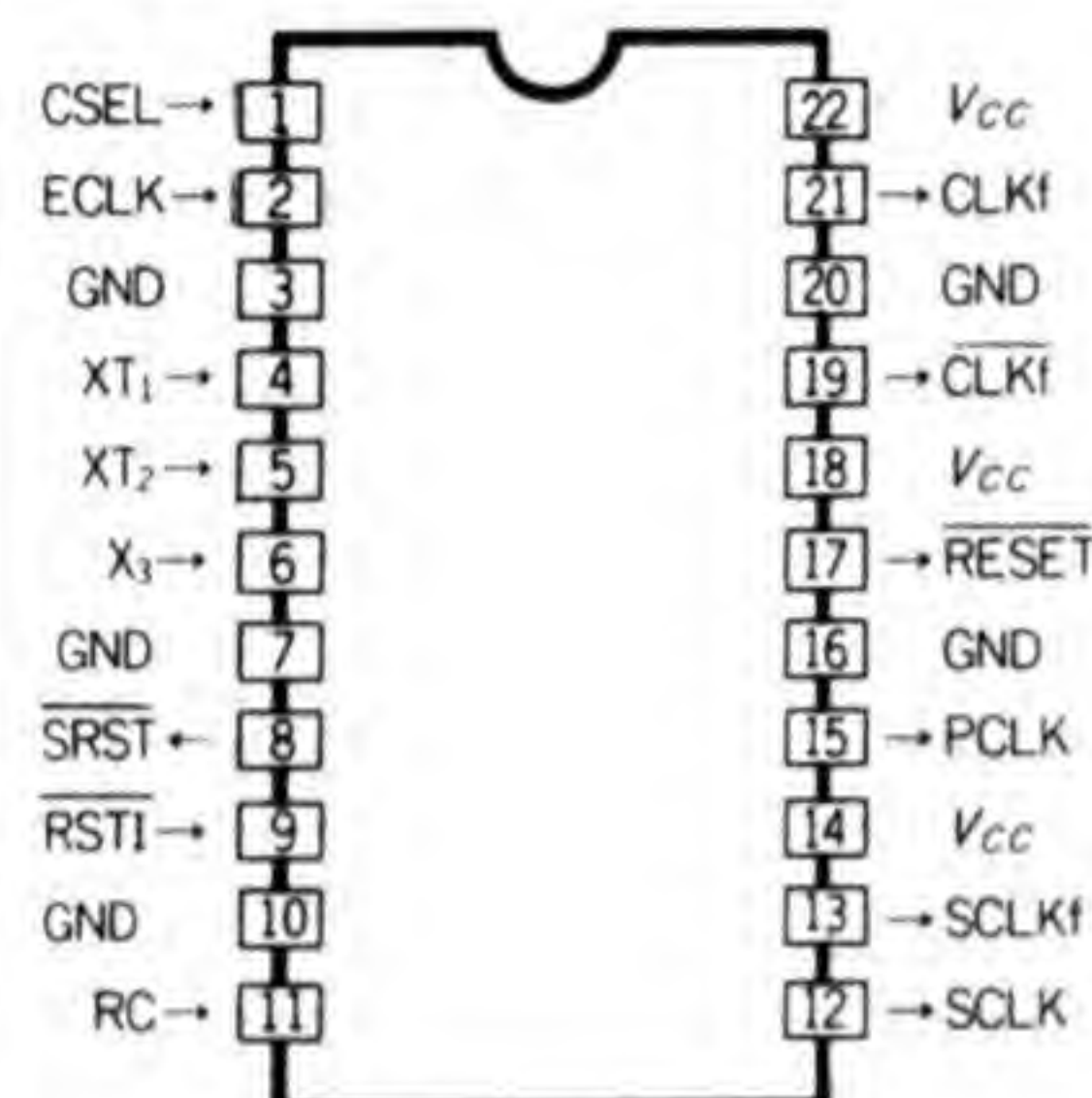
オプション1, オプション2の分周設定値は下記の通り

端子	オプション1	オプション2	端子	オプション1	オプション2
CPUA	÷2	÷2	CPUF	÷2	÷1
CPUB	÷2	÷2	CPUG	÷2	÷1
CPUC	÷2	÷1	CPUH	÷1	÷1
CPUD	÷2	÷1	SYSCLK	24MHz	24MHz
CPUE	÷2	÷1	Pin3	OUTDIS	SHUTDOWN



# CPG [Clock Pulse Generator]

## ■ ピン接続

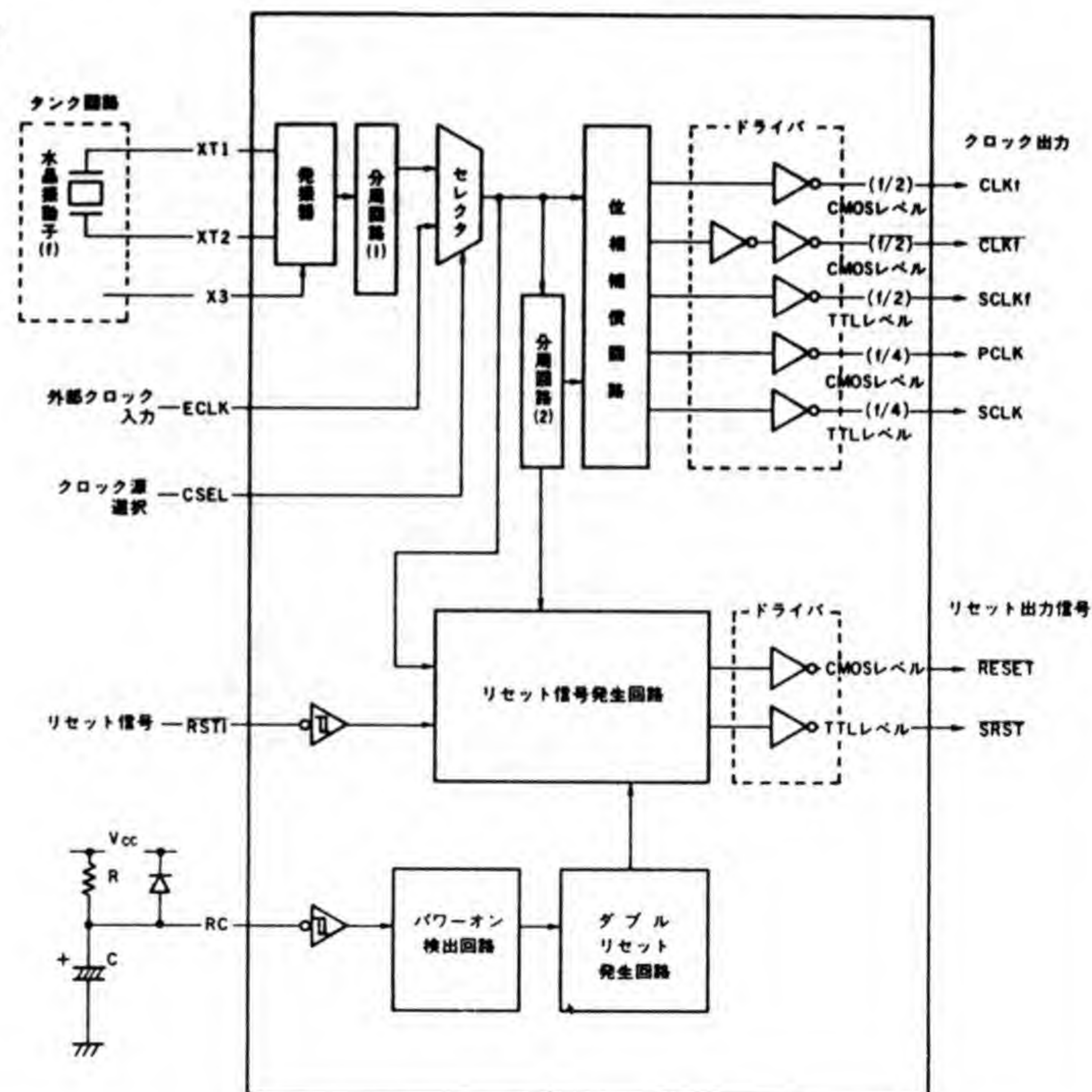


## ■ 特 徴

- ・ 32ビット・マイクロプロセッサF32にクロックを提供するクロック・パルス・ジェネレータ
- ・ F32/300, F32/200システムの周辺デバイス用システム・クロックを発生
- ・ 水晶振動子100MHzを使用し、50MHzを出力
- ・ クロック源として外部クロックまたは水晶振動子の接続が可能

- ・ F32/300, F32/200の内部位相に同期した1/2周波数のクロックを出力
- ・ パワー・オン・リセット回路内蔵
- ・ CPUとFPUの内部クロック位相合わせ用ダブル
- ・ リセット機構内蔵

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単 位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
消費電力	$P_D$	2	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-50~150	°C

## ■ DC 特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 5\text{mA}$	0.5	V
$V_{OH}$	$I_{OH} = 1\text{mA}$	2.4*	V
$C_{IN}$	$T_a = 25^\circ\text{C}$ , $f = 1\text{MHz}$	15	pF



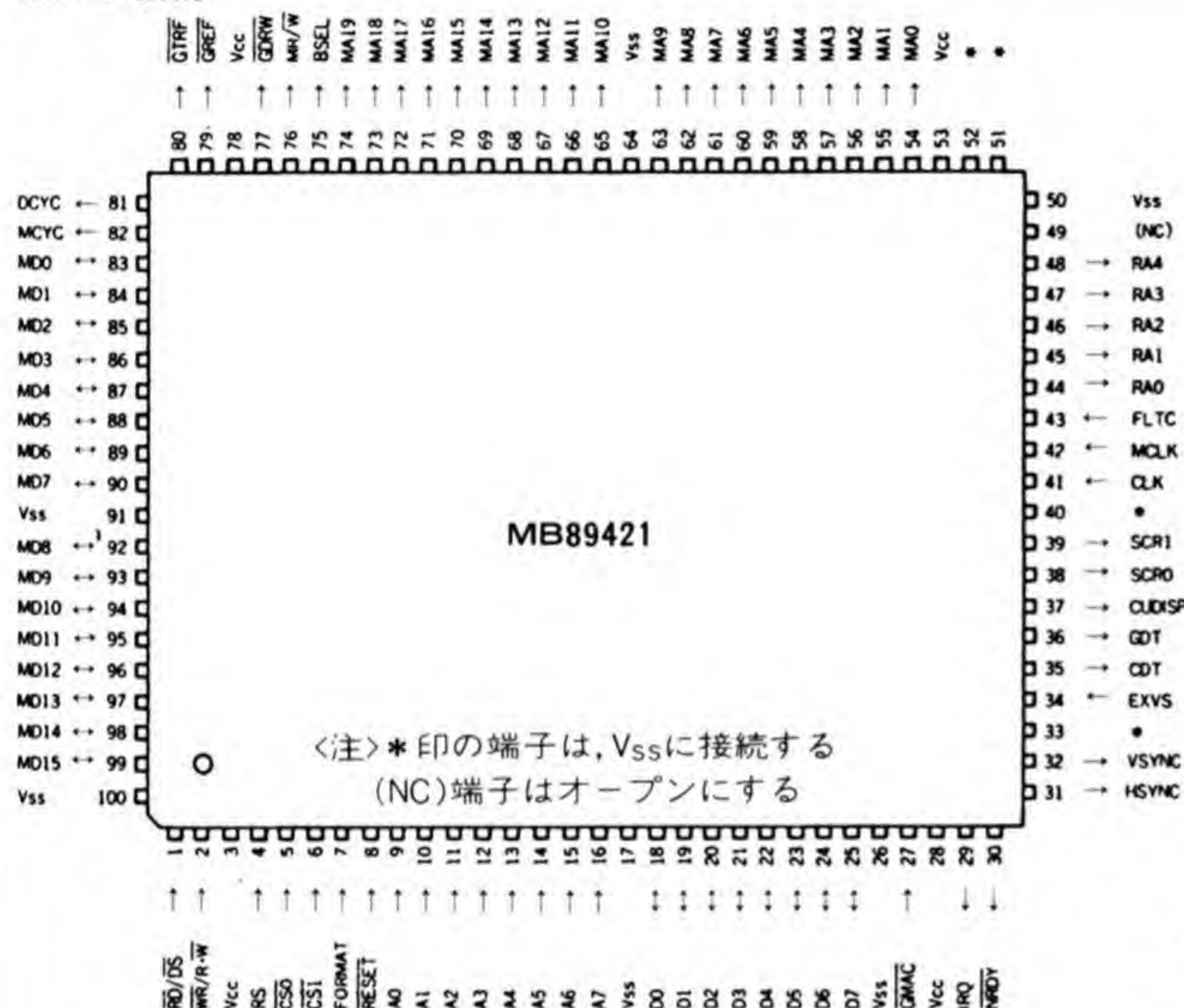
■端子機能

端子名	ピン番号	入出力	機能
CSEL	1	入力 (TTL)	クロック源を選択する入力端子。 この端子を“L”レベルにすると水晶振動子がクロック源となり“H”レベルにすると外部クロック入力 (ECLK) がクロック源となる。
ECLK	2	入力 (TTL)	外部クロック入力端子。 この端子に入力するクロックは、必要とする $\overline{\text{CLKf}}$ 信号と同じ周波数で、TTL レベルの信号を入力する。
XT <sub>1</sub> XT <sub>2</sub>	4 5	入力	XT <sub>1</sub> と XT <sub>2</sub> の間に水晶振動子を接続する端子。 内部のオーバートーン発振回路が安定した発振を行う。使用する水晶振動子は、必要とする $\overline{\text{CLKf}}$ 信号の2倍の周波数のものを選ぶ。
X <sub>3</sub>	6	入力	タンク回路を接続する端子。 水晶振動子を接続するときに使用する。
$\overline{\text{CLKf}}$	19	出力 (CMOS)	CPU 用の動作クロック出力端子 (位相0°)。 CPU の内部クロック作成用の基準クロック (内部クロックの2倍) であり、水晶振動子の1/2の周波数で、CMOS レベルの信号で出力する。
CLKf	21	出力 (CMOS)	CPU 用の動作クロック出力端子 (位相180°)。 CPU の内部クロック作成用の基準クロック (内部クロックの2倍) であり、水晶振動子の1/2の周波数で、CMOS レベルの信号で出力する。
PCLK	15	出力 (CMOS)	周辺デバイス用の動作クロック出力端子。 周辺デバイスの内部クロック作成用の基準クロックであり、水晶振動子の1/4の周波数で、CMOS レベルの信号で出力する。
SCLKf	13	出力 (TTL)	システム用のクロック出力端子。 G <sub>MICRO</sub> F32 ファミリー・デバイスで構成されたシステムのクロックであり、水晶振動子の1/2の周波数で、TTL レベルの信号で出力する。
SCLK	12	出力 (TTL)	システム用のクロック出力端子。 G <sub>MICRO</sub> F32 ファミリー・デバイスで構成されたシステムのクロックであり、水晶振動子の1/4の周波数で、TTL レベルの信号で出力する。
RC	11	ヒステリシス入力	パワー・オン・リセット用の入力端子。 この端子はシュミット・トリガになっている。RC 時定数回路の接続によりパワー・オン・リセットが可能となる。
$\overline{\text{RSTI}}$	9	ヒステリシス入力 (TTL)	リセット要求用の入力端子。 この端子において“L”レベルを検出すると $\overline{\text{CLKf}}$ 信号に同期して、リセット信号 ( $\overline{\text{RESET}}$ , $\overline{\text{SRST}}$ ) を出力する。シュミット・トリガ入力になっている。
$\overline{\text{RESET}}$	17	出力 (CMOS)	CPU 用のリセット出力端子。 RC 端子によるパワー・オン・リセット、または $\overline{\text{RSTI}}$ 信号によるリセット要求時に $\overline{\text{CLKf}}$ 信号に同期して、CMOS レベルの信号で出力する。リセット中は“L”レベルである。 なお、パワー・オン・リセット時は、ダブル・リセットとなる。
$\overline{\text{SRST}}$	8	出力 (TTL)	システム・リセット用の出力端子。 RC 端子によるパワー・オン・リセット、または $\overline{\text{RSTI}}$ 信号によるリセット要求時に $\overline{\text{CLKf}}$ 信号に同期して、TTL レベルの信号で出力する。 リセット中は“L”レベルである。



# GCRTC(Graphic CRT Controller)

## ■ピン接続



## ■特 徴

- ・ラスタ・スキャン方式のCRT表示用コントローラ
- ・描画機能：直線描画矩形領域のビット転送(BitBLT)
- ・描画属性：32ビット幅の線種設定
- ・描画性能：直線描画---2Mピクセル/秒  
BitBLT ---32Mピクセル/秒
- ・MB89321A/MB89322Aと同一画面フォーマット
- ・画面メモリ：キャラクタ画面64Kワード  
+グラフィック・メモリ1Mワード
- ・キャラクタ表示、グラフィック表示、重ね合わせ表示の3モードを持つ
- ・表示メモリをメイン・メモリ領域にマッピングすることによりCPUから直接アクセス可能
- ・デュアル・ポートRAMとのインターフェース機能内蔵し、リアル・タイム転送サポート

## ■最大定格

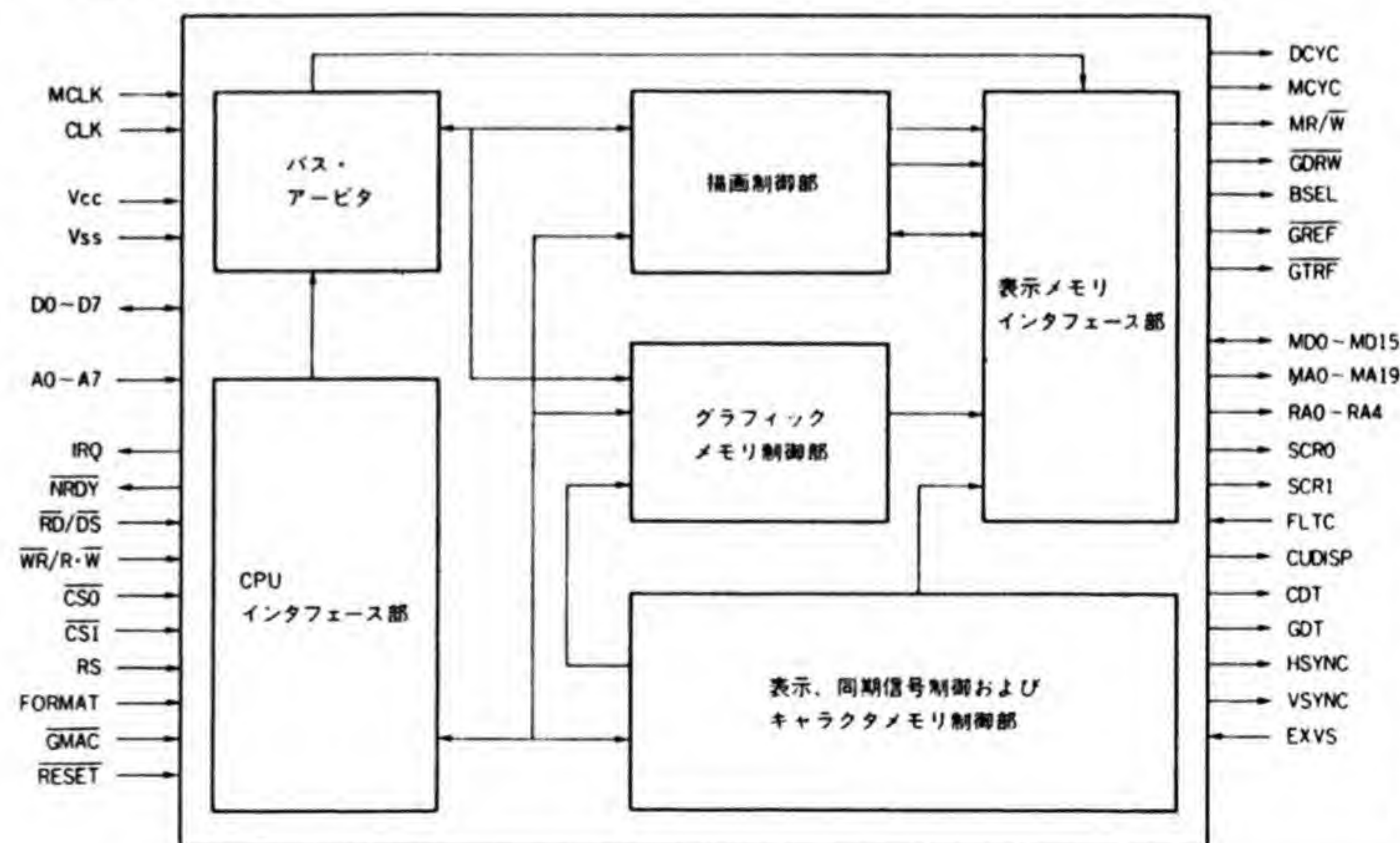
項 目	記号	定 格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~7.0	V
消費電力	P <sub>D</sub>	0.6	W
動作温度	T <sub>OPR</sub>	-40~85	°C
保存温度	T <sub>STG</sub>	-55~150	°C

## ■DC 特性

(T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.4	V
V <sub>IH</sub>		2.4*	V
V <sub>OL</sub>	I <sub>OL</sub> =1.6mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> =400μA	2.4*	V
I <sub>OFL</sub>		±10	μA
I <sub>IL</sub>		±10	μA
C <sub>IN</sub>		20	pF

## ■ブロック図





■端子機能

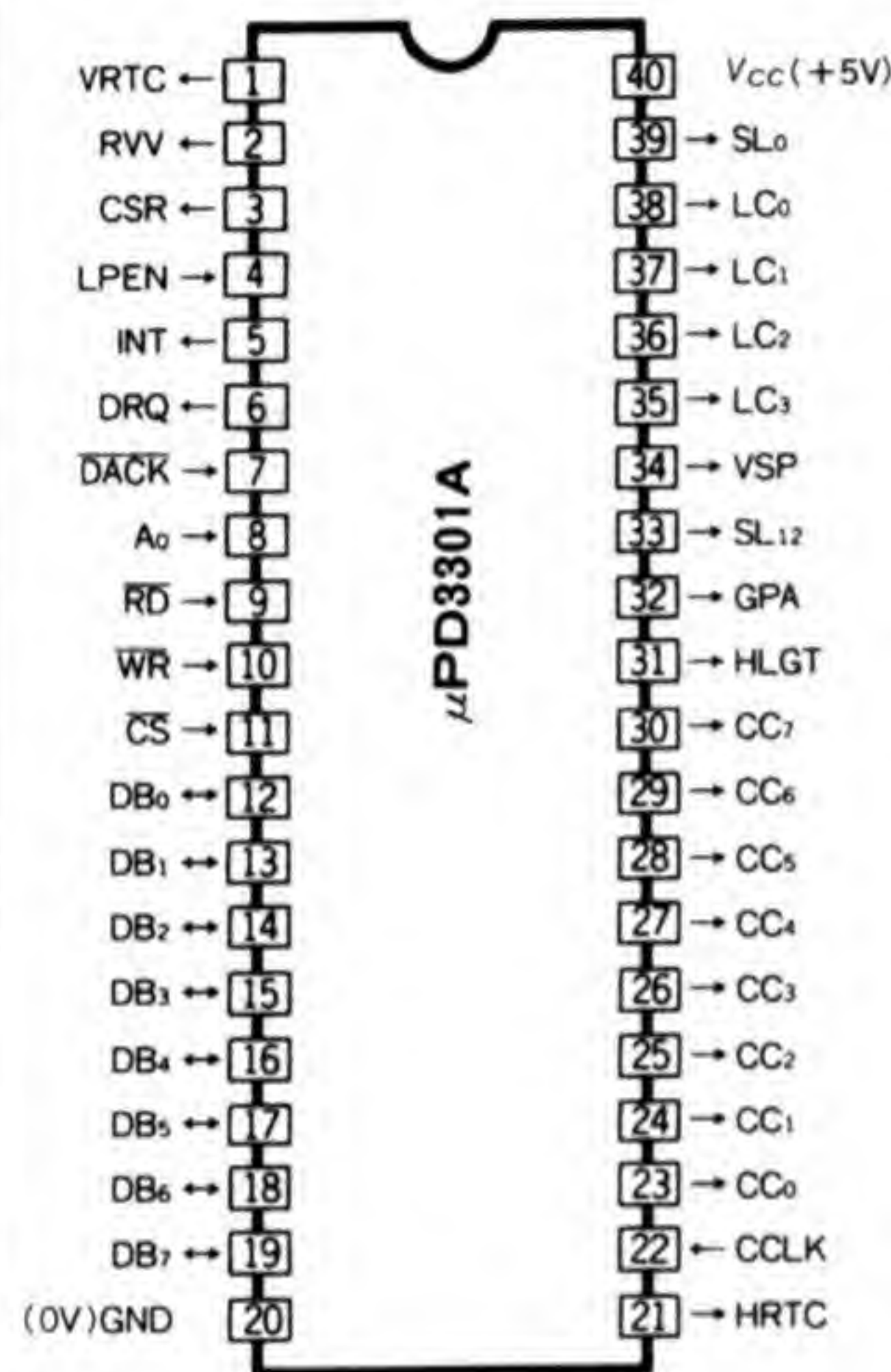
端子名	ピン番号	入出力	機能
MCLK	42	入力	描画、リフレッシュ動作の基準となるクロック入力端子。MCLKの2クロック分が1メモリ・サイクルになる
CLK	41	入力	キャラクタ・クロック入力端子。CLKの2クロック分が1キャラクタ周期になる
$\overline{\text{RD}}/\overline{\text{DS}}$	1	入力	86系CPUのリード信号入力端子。G <sub>MICRO</sub> 系CPUのデータ・ストロブ信号入力端子
$\overline{\text{WR}}/\text{R}\cdot\overline{\text{W}}$	2	入力	86系CPUのライト信号入力端子。G <sub>MICRO</sub> 系CPUのリード・ライト信号入力端子
$\overline{\text{CS0}}$	5	入力	チップ・セレクト0信号入力端子。CS0は、GCRTCのレジスタ・アクセスをアドレス・レジスタ方式で制御するときに使用する。CPUは、CS0が“L”レベルのときのみGCRTCの内部レジスタをアドレス・レジスタ経由でリード/ライトできる
$\overline{\text{CS1}}$	6	入力	チップ・セレクト1信号入力端子。CS1は、GCRTCのレジスタ・アクセスをCPU直接指定方式で制御するときに使用する
RS	4	入力	レジスタ・セレクト信号入力端子。通常、CPUのアドレス・バスの最下位ビット(LSB)A0を接続する。この信号が“L”レベルのときアドレス・レジスタを、“H”レベルのとき内部レジスタを選択する
$\overline{\text{NRDY}}$	30	出力	CPUへのノーマリ・ノット・レディ信号出力端子。NRDYは、GCRTCへのレジスタ・アクセス・サイクルまたは、CPU描画サイクル終了により“H”レベルになる
FORMAT	7	入力	レジスタ・アクセス信号である $\overline{\text{RD}}/\overline{\text{DS}}$ 、および $\overline{\text{WR}}/\text{R}\cdot\overline{\text{W}}$ 信号に対するCPUインターフェース・セレクト設定(86系とG <sub>MICRO</sub> 系)をするための入力信号端子。“L”レベル入力でG <sub>MICRO</sub> 系、“H”レベル入力で86系インターフェースになる
$\overline{\text{GMAC}}$	27	入力	CPUなどの外部デバイスが、GCRTCに対してグラフィック・メモリの使用権を要求する入力信号端子
IRQ	29	出力	割り込み要求信号出力端子。垂直ブランキング、および直線描画/BitBLTの終了を要因として、“H”レベルになる。ステータス・レジスタ(RIF)をリードすることにより“L”レベルになる
$\overline{\text{RESET}}$	8	入力	GCRTCをリセットするためのリセット信号入力端子。電源投入時には、RESET端子を“L”レベルにする必要がある
D0~D7	18~25	入出力	CPUとGCRTC間のデータ転送を行う双方向のデータ・バス。データ・バス端子は3ステート出力となっており、CPUからリードされたとき以外はハイ・インピーダンス状態になる
A0~A7	9~16	入力	内部レジスタ・アドレス入力端子
DCYC	81	出力	1キャラクタ表示サイクルを示す信号で、キャラクタ・クロックに同期して出力する
MCYC	82	出力	グラフィック・メモリに対するアクセス・タイミングを示す信号で、メモリ・クロックに同期して出力する

端子名	ピン番号	入出力	機能
$\overline{\text{GTRF}}$	80	出力	DPRAM転送サイクルを示す出力信号端子。 $\overline{\text{GTRF}}$ は、DPRAM転送サイクル期間中、CLKに同期して“L”レベルになる
$\overline{\text{GREF}}$	79	出力	リフレッシュ期間中であることを示す出力信号端子。 $\overline{\text{GREF}}$ は、リフレッシュ期間中MCLKに同期して“L”レベルになる
$\overline{\text{GDRW}}$	77	出力	BitBLT動作、または直線描画期間中であることを示す出力信号端子。 $\overline{\text{GDRW}}$ は、BitBLT動作および直線描画期間中、MCLKに同期して“L”レベルになる
MA0~MA19	54~63, 65~74	出力	グラフィック・アドレスまたは、キャラクタ・アドレス出力端子。グラフィック表示サイクル時は、MA0~MA19よりグラフィック・アドレスを出力する。キャラクタ表示サイクル時は、MA0~MA15よりキャラクタ・アドレスを、MA16~MA19より“1”を出力する。リフレッシュ期間中は、MA0~MA10よりリフレッシュ・アドレスを出力する
MD0~MD15	83~90, 92~99	入出力	描画データ入出力端子。描画サイクル期間以外には、MD端子はハイ・インピーダンス状態になる
MR/ $\overline{\text{W}}$	76	出力	グラフィック・メモリ・リード/ライト出力信号端子。描画動作時において、グラフィック・メモリにデータを書き込むとき“L”レベルになる
BSEL	75	出力	バス切り替え信号出力端子。GMAC=“L”になると、GCRTC内部でCPUなどの外部デバイスがアクセス可能なサイクルを検出して、BSEL信号を1メモリ・サイクル期間、MCLKに同期して“L”レベルにする
RA0~RA4	44~48	出力	ラスタ・アドレス出力端子
FLTC	43	入力	キャラクタ・アドレス、ラスタ・アドレス端子をフローティング制御するための入力信号端子。FLTCが“H”レベル期間、キャラクタ・アドレス、ラスタ・アドレス信号は、フローティング状態になっている
HSYNC	31	出力	水平同期信号出力端子
VSYSN	32	出力	垂直同期信号出力端子
EXVS	34	入力	外部垂直同期信号入力端子。マスタ・スレーブ・モードで使用する
CDT	35	出力	キャラクタ表示タイミング出力信号端子。“H”レベルのとき、キャラクタ画面表示期間であることを示す
GDT	36	出力	グラフィック表示タイミング出力信号端子。“H”レベルのとき、グラフィック画面表示期間であることを示す
DUDISP	37	出力	カーソル表示信号。CDTが“H”レベルのときに、カーソル表示期間中“H”レベルになる
SCR0, SCR1	38 39	出力	表示しているスクリーンを示すためのステータス出力信号端子。この信号は、ラスタ背景色、およびメモリ・バンク切り替え用などに使用できる



# CRTC (CRT Controller)

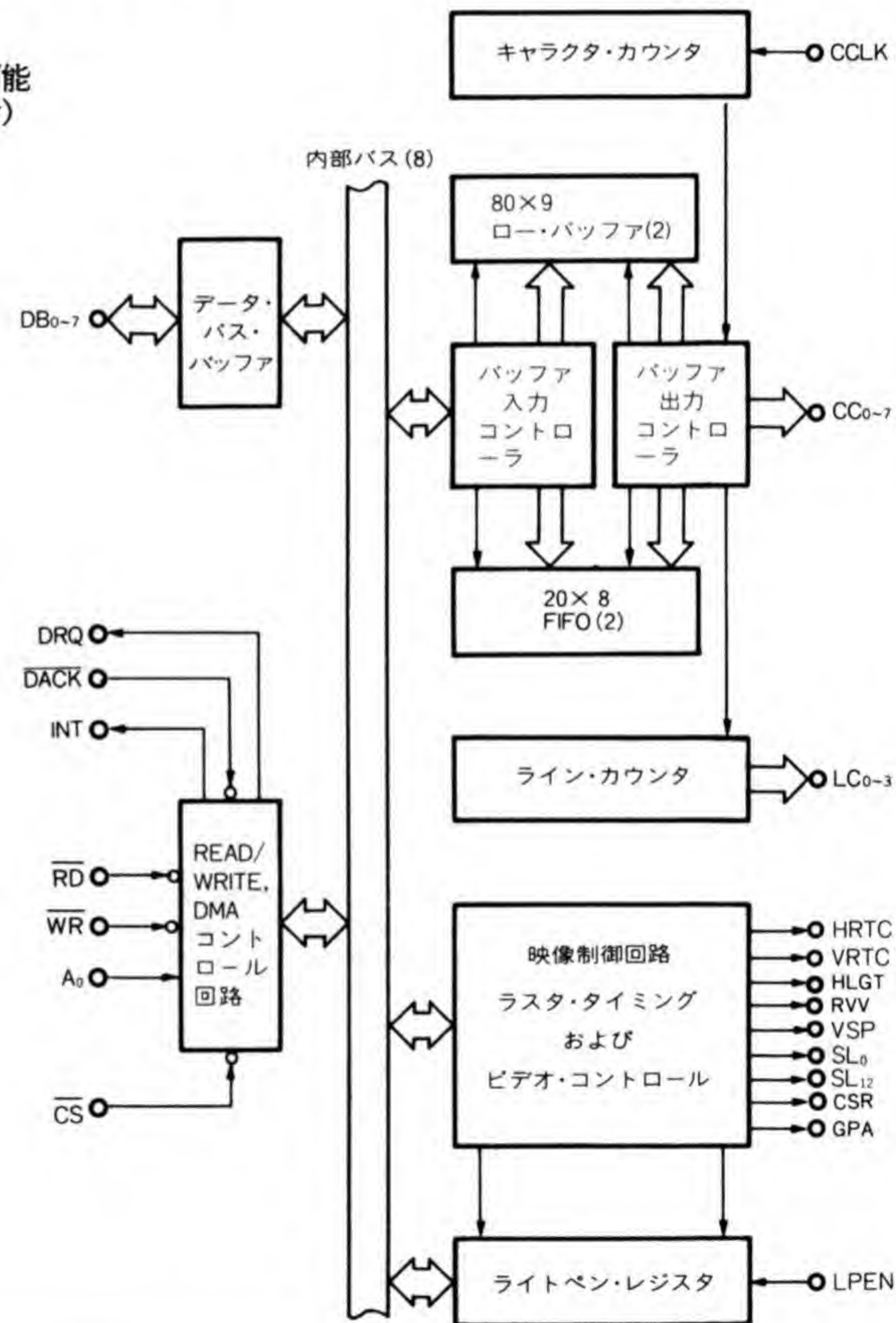
## ■ ピン接続



## ■ 特徴

- ・ 8080A, Z80バス・コンパチブル
- ・ ライトペン検出機能内蔵
- ・ 20ヶ所/行のアトリビュート指定可能
- ・ アトリビュート機能によるセミグラフィックが可能
- ・ 画面構成はプログラマブル (最大80字×64行)
- ・ キャラクタの輝度強調 (ハイライト) 機能あり
- ・ キャラクタのリバース機能あり

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.5~+7.0	V
入力電圧	V <sub>IN</sub>	-0.5~+7.0	V
動作温度	T <sub>OPR</sub>	0~+70	℃
保存温度	T <sub>STG</sub>	-65~+150	℃

## ■ DC特性

(T<sub>a</sub>=0~+70℃, V<sub>CC</sub>=5V±5%)

記号	測定条件	min	max	単位
V <sub>IL</sub>		-0.5	0.8	V
V <sub>IH</sub>		2.2	5.5	V
C <sub>I</sub>			10	pF
V <sub>OL</sub>	I <sub>OL</sub> =1.6mA		0.45	V
V <sub>OH</sub>	I <sub>OH</sub> =-150μA	2.4		V
C <sub>O</sub>			20	pF



■端子機能

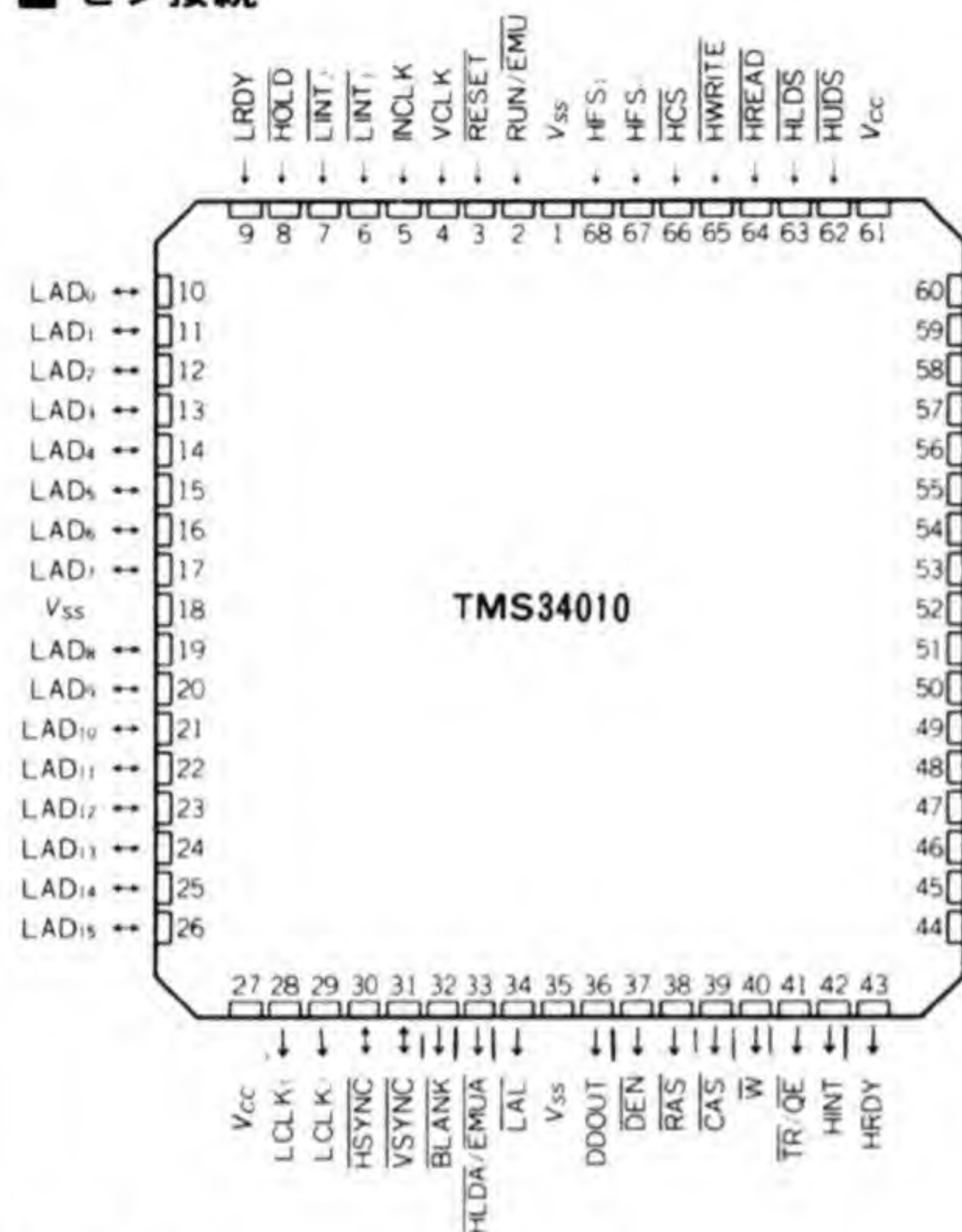
端子名	名称	ピン番号	入出力	機能
VRTC	垂直帰線信号出力	1	出力	垂直帰線信号出力端子。 ▶ ICW: VRTC TIME で信号幅を指定する
RVV	映像信号反転制御	2	出力	映像信号反転制御出力端子。 ▶ OCW: START DISPLAY でリバース・ビデオを指定したとき ▶ アトリビュート: リバース・ビデオを指定したとき
CSR	カーソル信号	3	出力	カーソル信号出力端子。 ▶ OCW: DISPLAY CURSOR で表示位置および表示可否を指定する ▶ ICW: Blinking Time および Cursor Format で表示モードを指定する
LPEN	ライトペン信号	4	入力	ライトペン信号入力端子。 ライトペンからの信号によって X, Y 両方向座標をラッチし、ライトペン・インプット・ステータスを "1" にする。 ▶ OCW: READ LIGHT PEN で座標を読み取ることができる
INT	割り込み要求	5	出力	割り込み要求出力端子。 画面終了時、または、特殊制御文字を検出したときに出力される。ステータス・フラグを読むことによって、どちらの割り込みであるかを判別できる
DRQ	DMA 要求	6	出力	DMA 要求出力端子。 次行に表示する文字またはアトリビュート・コードを、予め、メモリから行バッファまたは FIFO に DMA 転送するための DMA コントローラ制御信号。 ▶ ICW: DMA mode でモード設定をする
$\overline{\text{DACK}}$	DMA アクノリッジ	7	入力	DMA アクノリッジ入力端子。 DMA 転送データの受け入れを可能にする
A <sub>0</sub>	アドレス	8	入力	アドレス・バス 0 入力端子。 ICW, OCW を実行するときに使用する
$\overline{\text{RD}}$	リード制御	9	入力	リード制御入力端子。 ICW, OCW を実行するときに使用する
$\overline{\text{WR}}$	ライト制御	10	入力	ライト制御入力端子。 ICW, OCW を実行するときおよび DMA 転送時に使用する
$\overline{\text{CS}}$	チップ・セレクト	11	入力	チップ・セレクト入力端子。 ICW, OCW を実行するときに使用する
DB <sub>0~7</sub>	データ・バス	12~19	入出力	データ・バス入出力端子。 ICW, OCW 実行時または DMA 転送時に使用される
HRTC	水平帰線	21	出力	水平帰線信号出力端子
CCLK	クロック	22	入力	クロック入力端子。 文字幅周期で変化する単相クロックを入力する
CC <sub>0~7</sub>	文字コード・アドレス	23~30	出力	文字コード・アドレス信号出力端子。 文字発生 ROM のアドレス端子に接続し文字種類を表現する
HLGT	ハイライト	31	出力	ハイライト信号出力端子
GPA	汎用アトリビュート	32	出力	汎用アトリビュート信号出力端子
SL <sub>12</sub>	オーバーライン/アンダライン	33	出力	オーバーラインまたはアンダライン信号出力端子
VSP	映像信号	34	出力	映像消去信号出力端子。 ▶ 垂直帰線区間、水平帰線区間 ▶ アトリビュート: シークレット、ブリンク指定のとき ▶ ノントランスペアレント・アトリビュート・コード検出時の 1 文字区間 ▶ 1 行おき表示モード時の偶数行表示のとき ▶ DMA アンダラン発生時
LC <sub>0~3</sub>	文字ライン・アドレス	35~38	出力	文字ライン・アドレス出力端子。 文字発生 ROM のアドレス端子に接続し文字の縦方向ドット位置を表現する
SL <sub>0</sub>	バーチカル・ライン	39	出力	バーチカル・ライン信号出力端子。 ▶ アトリビュート: バーチカル・ラインを指定したとき出力される

(注) ICW, OCW はこの IC で使用されるコマンドの総称  
▶ ICW: イニシャライゼーション・コマンド・ワード  
▶ OCW: オペレーション・コマンド・ワード



# GSP (Graphic System Processor)

## ■ ピン接続



## ■ 特 徴

- ・ 32ビット長ALU内蔵
- ・ 32ビット長プログラム・カウンタ, スタック・ポインタ, ステータス・レジスタ
- ・ 32ビット長汎用レジスタを30本もつ
- ・ メモリ空間 128バイト/1Gビット・アドレス
- ・ 256バイト キャッシュ・メモリ
- ・ リセット/割り込み (割り込み8種類, ソフト割り込み23トラップ)
- ・ DMA/デュアル・ポートVRAMダイレクト・インターフェース
- ・ 8/16ビット, ホストCPUインターフェース
- ・ ホスト独立型グラフィックス処理
- ・ 最大4096×4096ピクセル 65536色表示

- ・ フレーム・バッファ・サイズ最大32K×32K
- ・ ラスタ・オペレーション
- ・ 単一ピクセルから最大8K×8K×8K (32K×32K×1K) のピクセル・ブロック転送
- ・ 論理演算16種類, 算術演算6種類
- ・ 透明モード
- ・ プレーン・マスキング
- ・ カラー拡張
- ・ コーナ・アジャスト
- ・ CRT同期信号発生

## ■ 最大定格

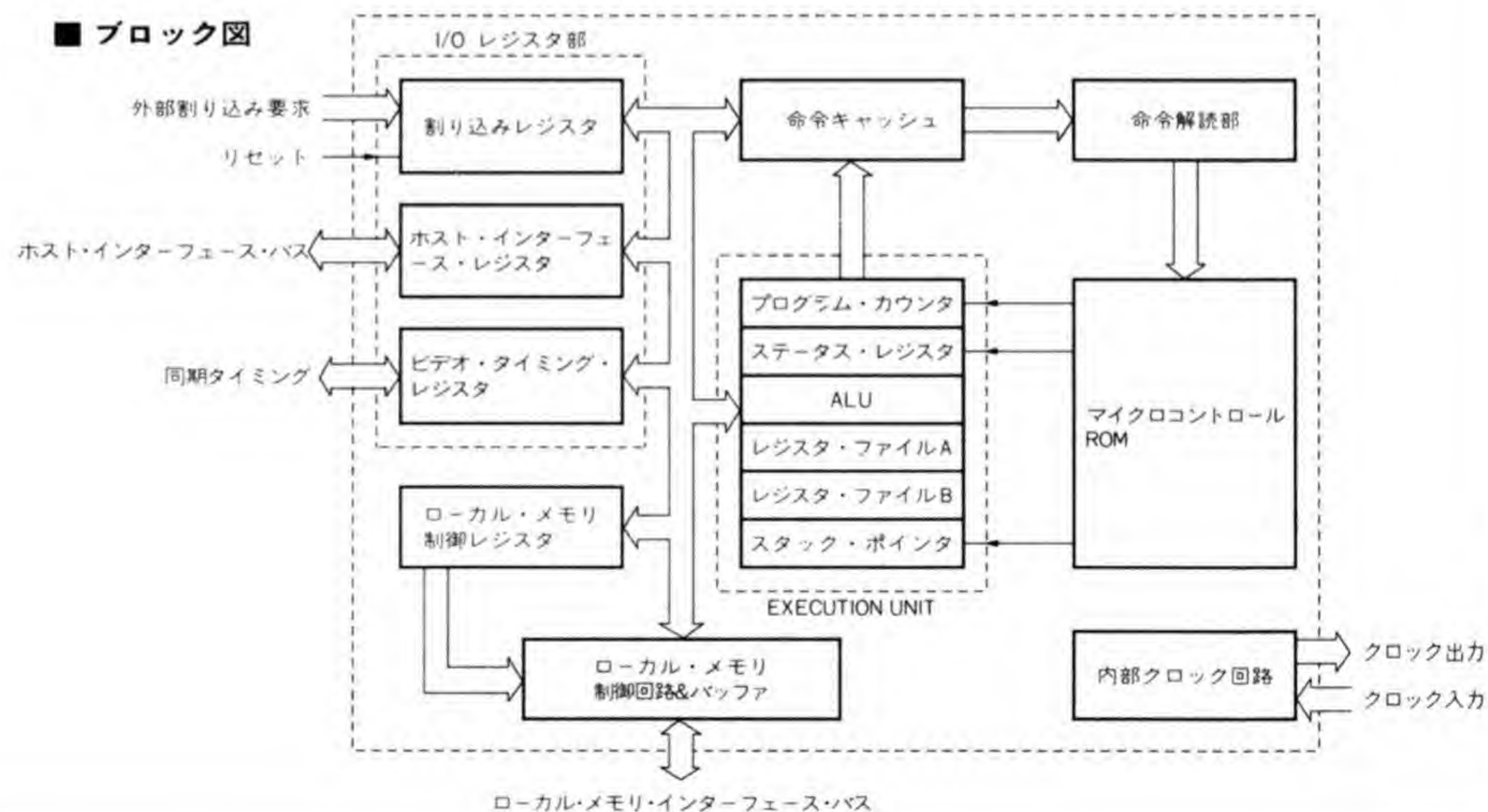
項 目	記号	定 格	単位
電源電圧	V <sub>CC</sub>	0~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~20	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-10~150	°C

## ■ DC特性

(T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)

記号	測 定 条 件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.2*	V
V <sub>OL</sub>	I <sub>OL</sub> =2.0mA	0.6	V
V <sub>OH</sub>	I <sub>OH</sub> =400μA	2.6*	V
I <sub>OL</sub>	V <sub>OUT</sub> =0.6, 2.8V	±20	μA
I <sub>IH</sub>	V <sub>IN</sub> =0~V <sub>CC</sub>	20	μA
C <sub>IN</sub>		10	pF
C <sub>OUT</sub>		10	pF

## ■ ブロック図





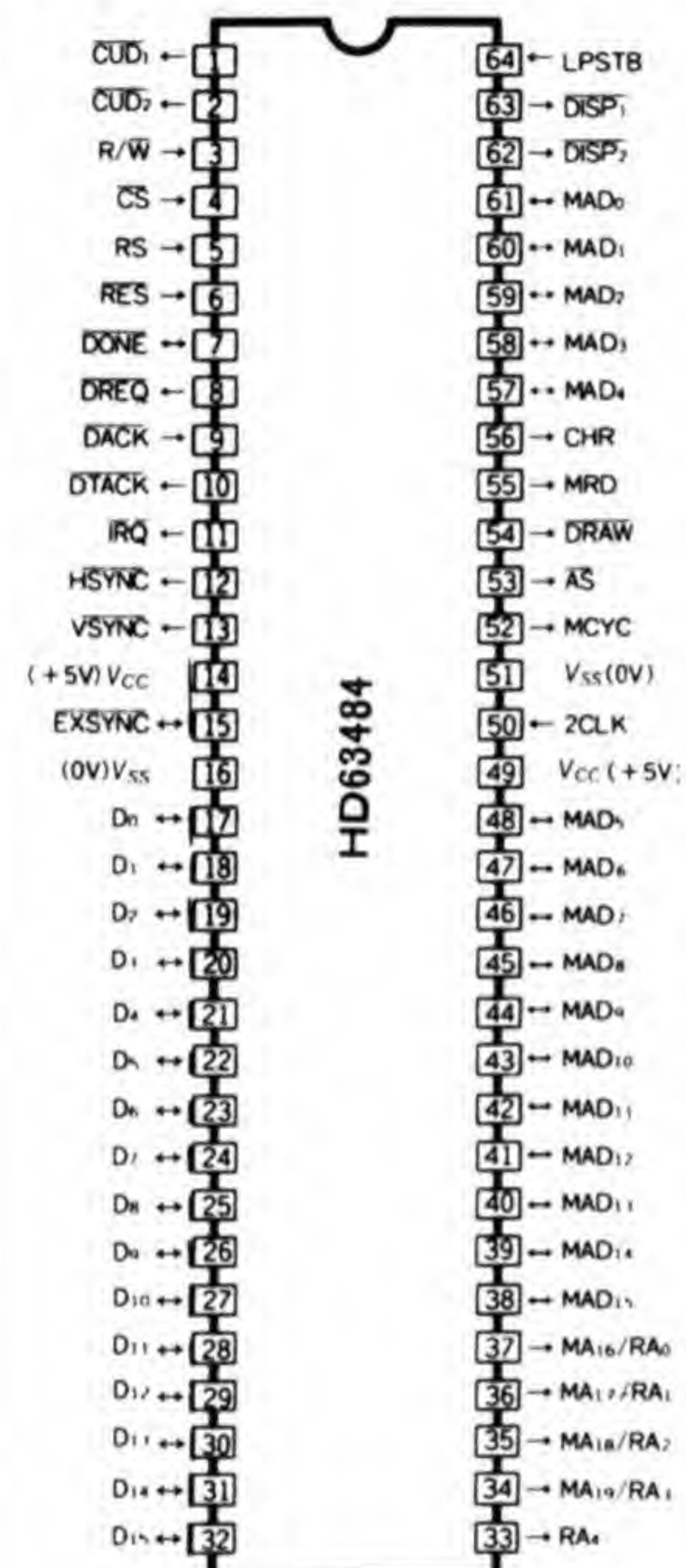
## ■端子機能

端子名	名称	ピン番号	入出力	機能
HCS	ホスト・チップ・セレクト	66	入力	チップ・セレクト
HD <sub>0</sub> ~HD <sub>15</sub>	ホスト・データ・バス	44~51, 53~60	入出力	双方向データ・バス・ポート、16ビット
HFS <sub>0</sub> , HFS <sub>1</sub>	ホスト・ファンクション・セレクト	67, 68	入力	ホスト・ファンクション選択
HINT	ホスト・インタラプト・リクエスト	42	出力	ホスト割り込み要求
HLDS	ホスト・ロー・データ・セレクト	63	入力	下位データ選択
HUDS	ホスト・アッパ・データ・セレクト	62	入力	上位データ選択
HRDY	ホスト・レディ	43	出力	ホスト・レディ
HREAD	ホスト・リード・ストローブ	64	入力	リード信号入力
HWRITE	ホスト・ライト・ストローブ	65	入力	ライト信号入力
RAS	ローカル・ロウ・アドレス・ストローブ	38	出力	行アドレス・ストローブ
CAS	ローカル・カラム・アドレス・ストローブ	39	出力	列アドレス・ストローブ
DDOUT	ローカル・データ・ディレクション・アウト	36	出力	ローカル・データの方向出力
DEN	ローカル・データ・イネーブル	37	出力	ローカル・データ使用可
LAD <sub>0</sub> ~LAD <sub>15</sub>	ローカル・アドレス/データ・バス	10~17, 19~26	入出力	ローカル・アドレス/データ・バス・ポート、16ビット、アドレスとデータの情報がマルチプレクスされている
LAL	ローカル・アドレス・ラッチ	34	出力	アドレス・ラッチ
LCLK <sub>1</sub> , LCLK <sub>2</sub>	ローカル・アウトプット・クロック	28, 29	出力	ローカル・クロック出力
LINT <sub>1</sub> , LINT <sub>2</sub>	ローカル・インタラプト・リクエスト	6, 7	入力	ローカル割り込み入力
LRDY	ローカル・レディ	9	入力	ローカル・レディ
TR/OE	ローカル・シフト・レジスタ・トランファ/アウトプット・イネーブル	41	出力	VRAMの $\overline{\text{TR}}/\overline{\text{QE}}$ ピンにダイレクトに接続されている
W	ローカル・ライト・ストローブ	40	出力	ローカル・ライト・ストローブ
INCLK	インプット・クロック	5	入力	クロック入力
HOLD	ホールド・リクエスト	8	入力	ホールド要求
RUN/EMU	ラン/ノット・エミュレート	2	入力	通常未使用、テスト、エミュレーションのとき使用する
HLDA/ EMUA	ホールド・アクノリッジ/エミュレート・アクノリッジ	33	出力	ホールド要求の許可、エミュレータ要求の許可をマルチプレクスしている
BLANK	ブランキング	32	出力	ブランキング
HSYNC	水平同期	30	入出力	水平同期
VCLK	ビデオ・クロック	4	入力	ビデオ・クロック
VSNC	垂直同期	31	入出力	垂直同期
RESET	リセット	3	入力	リセット入力



## ACRTC [Advanced CRT Controller]

## ■ ピン接続



## ■ 最大定格

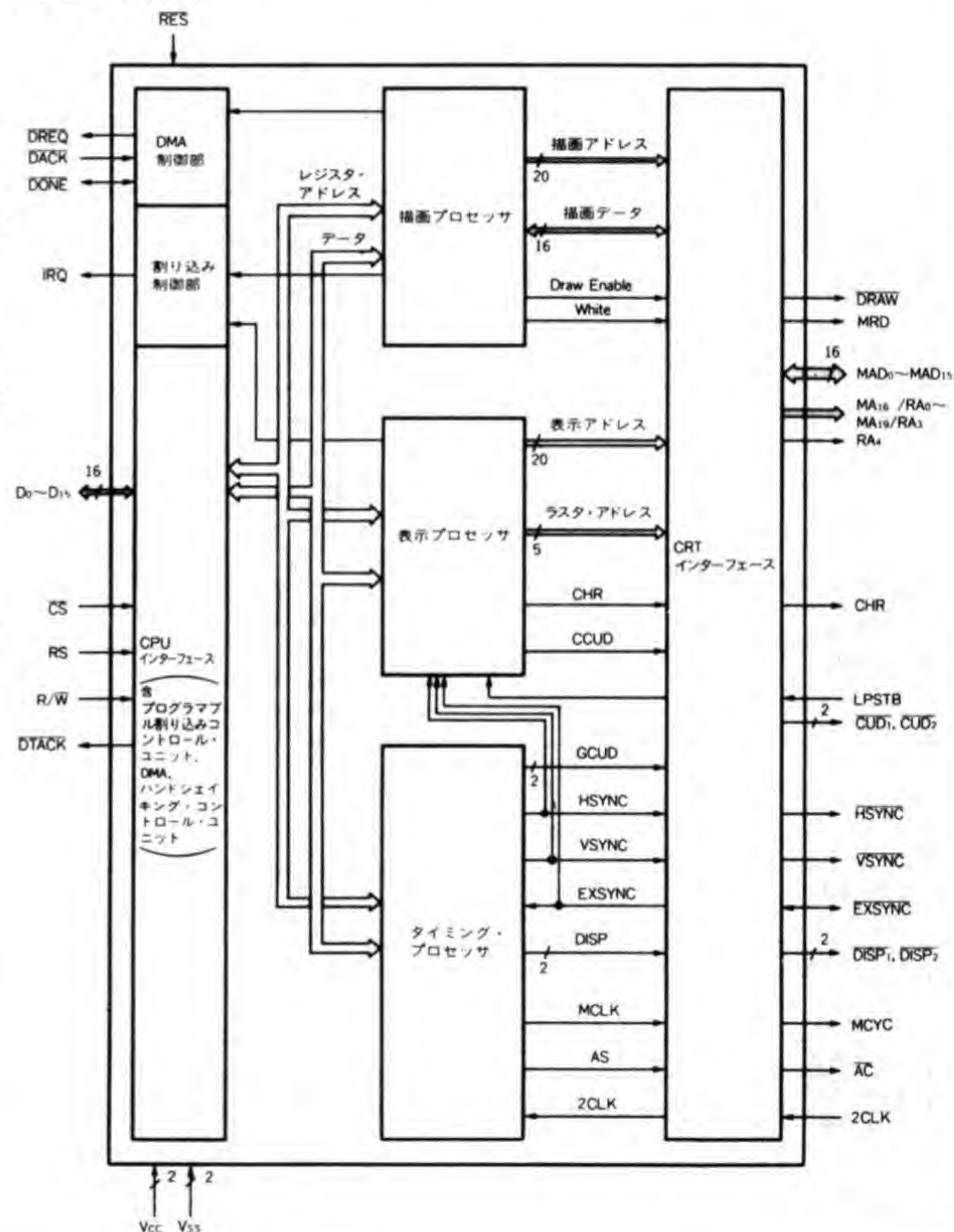
項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
出力電流	$I_O$	5	mA
	$\Sigma I_O$	120	mA
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-55 \sim +150$	°C

## ■ 特徴

- ・高速描画処理, 500 ns/画素 (8 MHz 動作時)
- ・グラフィック描画コマンド 23 種を含む合計 38 種のコマンドを内蔵
- ・1画素あたりのデータ長が可変 (1, 2, 4, 8, 16 ビット/画素より選択)
- ・8 種の描画演算モード (色優先モードなど)
- ・描画エリア管理機能 (クリッピング)
- ・X-Y座標による直接または間接描画点指定
- ・16×16ドットのグラフィック・パターンRAM内蔵
- ・3種のフレーム・バッファ・アクセス方式 (シングル, デュアルφ, デュアル1アクセス・モード) が選択可能
- ・フレーム・バッファ最大2Mバイトおよびリフレッシュ・メモリ最大128KバイトがCPUより独立に管理可能
- ・16ビットCPUおよび8ビットCPUとの接続が選択可能
- ・3水平分割画面+1ウィンドウをサポート
- ・グラフィック画面とキャラクタ画面の混在表示
- ・水平分割画面とウィンドウ画面の重ね合わせ表示
- ・水平/垂直のスムーズ・スクロール
- ・水平/垂直の拡大表示 (縦/横独立に1~16倍)
- ・キャラクタ・カーソル (2本) / グラフィック・カーソル制御機能
- ・各種アトリビュート信号出力 (ブリンク, スムース・スクロール量など)
- ・DMAインターフェース内蔵

- ・CPUへの割り込み機能
- ・外部同期機能 (ACRTC ⇔ CRT C / TV など)
- ・ライトペン検出機能内蔵
- ・ダイナミックRAM用リフレッシュ・カウンタ内蔵

## ■ ブロック図



## ■ 動作条件

記号	min	typ	max	単位
$V_{CC}$	4.75	5.0	5.25	V
$V_{IL}$	0	—	0.7	V
$V_{IH}$	2.2	—	$V_{CC}$	V
$T_{OPR}$	0	25	70	°C



## ■ 端子機能

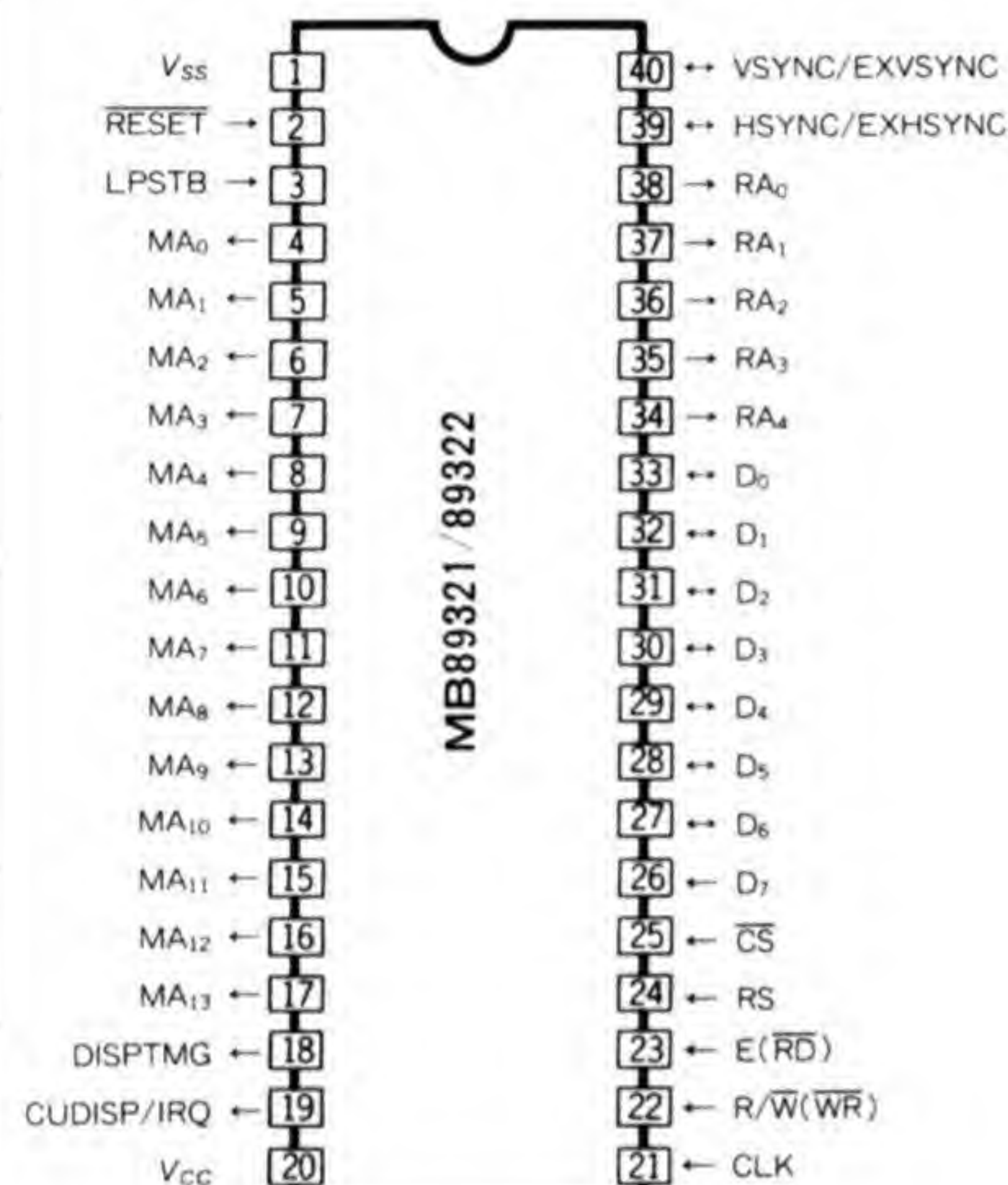
端子名	ピン番号	入出力	機能
CUD <sub>1</sub> , CUD <sub>2</sub>	1, 2	出力	カーソルを表示するための出力信号
R/ $\overline{W}$	3	入力	CPUとACRTC間のデータの方向を示す
$\overline{CS}$	4	入力	チップ・セレクト端子。CPUからこのACRTCに対して読み書きを行う場合に、アドレス指定によってこの端子を“L”にする。この端子が“L”のときACRTCの内部レジスタに対して読み書きができる
RS	5	入力	レジスタ・セレクト。“H”で制御レジスタが選択され、“L”でアドレスおよびステータス・レジスタが選択される
$\overline{RES}$	6	入力	この端子を“L”にすることで、ACRTCの内部状態をリセットする
$\overline{DONE}$	7	入出力	DMA転送の終了を示す
DREQ	8	出力	DMA転送を行うときのDMACに対するデータ転送要求信号
$\overline{DACK}$	9	入力	DMA要求に対する応答入力
$\overline{DTACK}$	10	出力	非同期バス・インターフェースでのデータ転送信号、データ転送の完了を示す
$\overline{IRQ}$	11	出力	CPUに対してコマンドの終了、未定義コマンド検出などを知らせるための割り込み要求信号
$\overline{HSYNC}$	12	出力	CRTに対する水平同期信号
$\overline{VSYNC}$	13	出力	CRTに対する垂直同期信号
(+5V) $V_{cc}$	14	—	電源
EXSYNC	15	入出力	複数のACRTCを同期させるための入出力信号
(0V) $V_{ss}$	16	—	グラウンド
D <sub>0</sub> ~D <sub>15</sub>	17~32	入出力	双方向データ・バス、16ビットのデータ・バス、8ビットCPUと接続する場合はD <sub>0</sub> ~D <sub>7</sub> のみ接続する

端子名	ピン番号	入出力	機能
RA <sub>0</sub> ~RA <sub>3</sub> , RA <sub>4</sub>	37~34, 33	出力	キャラクタ・モードのときに、キャラクタ・ジェネレータへのラスタ・アドレスを出力する。RA <sub>4</sub> は漢字ROMなどを使用するとき利用する
MAD <sub>0</sub> ~MAD <sub>15</sub>	61~57, 48~38	入出力	フレーム・バッファ・アドレスとフレーム・バッファ・データのマルチプレクス入出力
V <sub>cc</sub> (+5V)	49	—	電源
2CLK	50	入力	ACRTCのための基準クロック
V <sub>ss</sub> (0V)	51	—	グラウンド
MCYC	52	出力	ACRTCがアドレス・サイクルのとき“L”となり、データ・サイクルのときに“H”となる
$\overline{AS}$	53	出力	フレーム・バッファ・アドレスのラッチ・タイミング信号
$\overline{DRAW}$	54	出力	“L”でACRTCが描画サイクルであることを示し、“H”で表示サイクルであることを示す
MRD	55	出力	メモリ・リード、画面メモリとACRTC間のデータの転送方向を示す。“L”で画面メモリへの書き込み、“H”で画面メモリからの読み込みを示す
CHR	56	出力	CHR=“H”でキャラクタ画面メモリの選択を、CHR=“L”でグラフィック画面メモリの選択を行う
DISP <sub>1</sub> , DISP <sub>2</sub>	63, 62	出力	画面の表示タイミングの出力信号
LPSTB	64	入力	ライトペンからの文字検出パルスを入力信号



# CRTC (CRT Controller)

## ■ ピン接続



( )はMB89322

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~7.0	V
消費電力	$P_D$	0.6	W
動作温度	$T_{OPR}$	-40~85	°C
保存温度	$T_{STG}$	-55~150	°C

## ■ DC特性

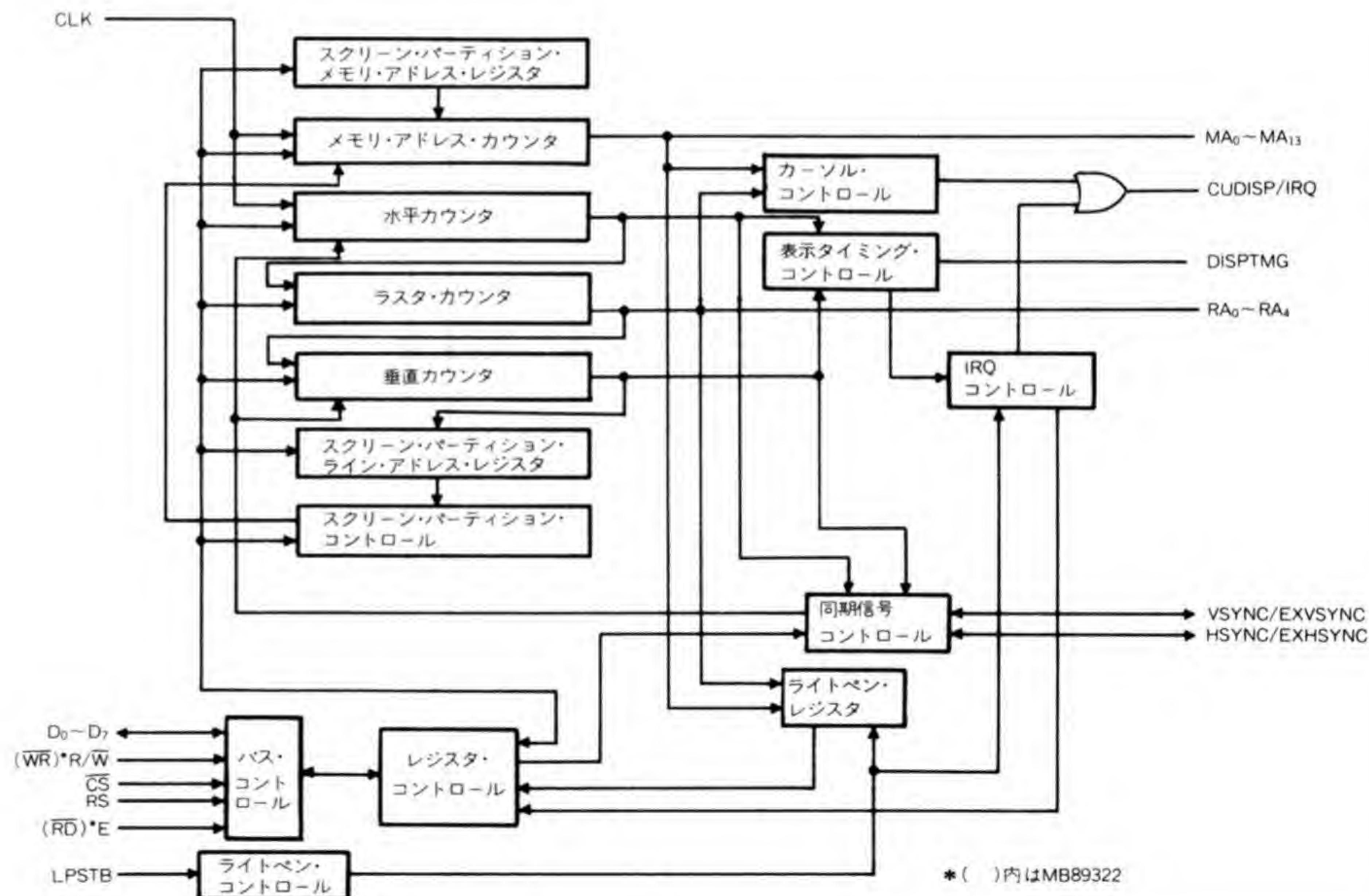
( $T_a = -20 \sim 75^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 100\mu\text{A}$	2.4*	V
$I_{IL}$	$V_{IN} = 0.4 \sim 2.4\text{V}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		10	pF

## ■ 特 徴

- ・ スクリーン/キャラクタ・フォーマットはプログラマブル
- ・ カーソル表示 (位置, 形状, ブリンク) はプログラマブル
- ・ 3種類のスキャン・モード選択可能  
ノンインタレース  
インタレース  
インタレース&ビデオ
- ・ ライトペン検出機能
- ・ リフレッシュ・メモリ・アドレス機能内蔵

## ■ ブロック図



\* ( )内はMB89322



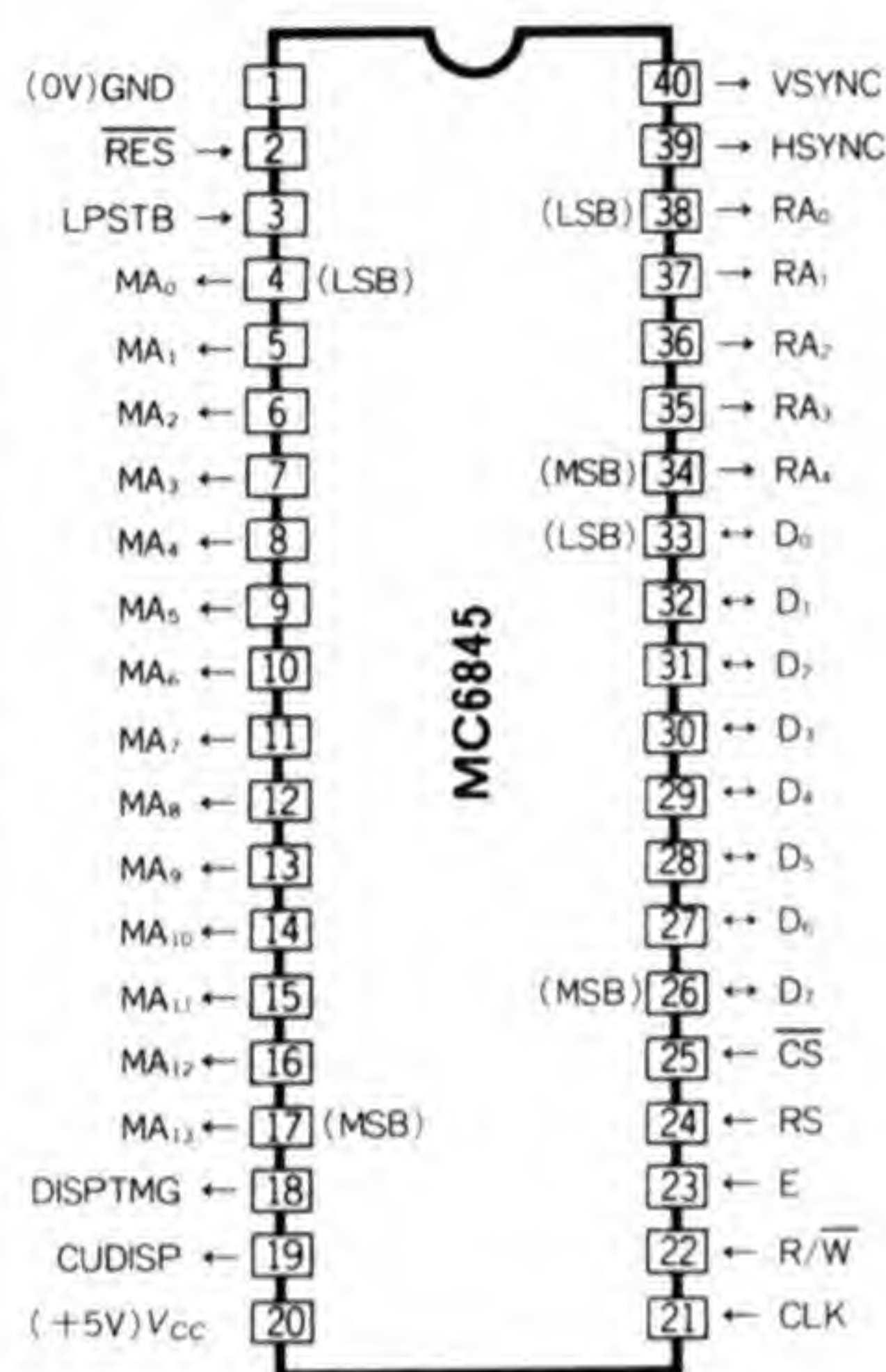
## ■端子機能

端子名	名称	ピン番号	入出力	機能
V <sub>SS</sub>	グラウンド	1	—	グラウンド端子
$\overline{\text{RESET}}$	リセット	2	入力	CRTC をリセットするための入力端子。この端子に“L”レベルを入力することにより、CRTC は以下ようになる。 ① 内部カウンタはクリアされて停止する。 ② 出力信号は、すべて“L”レベルになる。 ③ 内部レジスタのうちコントロール・レジスタとステータス・レジスタ以外は影響を受けない。 ④ コントロール・レジスタ (R <sub>30</sub> , R <sub>31</sub> ) はリセット解除後、初期設定する必要がある。 リセットは、LPSTB 端子が“L”レベルのときにのみ有効。また、RESET 端子が“H”レベルになると直ちに表示動作が開始される
LPSTB	ライトペン・ストロブ	3	入力	ライトペンからの文字検出パルス信号入力端子。この端子に“H”レベルが検出されると、ライトペン・レジスタにはメモリ・アドレスが、また、ライトペン・ラスタ・レジスタには、ラスタ・アドレスと表示ステータス・ビットがセットされる
MA <sub>0</sub> ┆ MA <sub>13</sub>	メモリ・アドレス	4 ┆ 17	出力	リフレッシュ・メモリ・アドレス出力端子
DISPTMG	ディスプレイ・タイミング	18	出力	表示タイミング信号出力端子。表示期間は“H”レベルとなる
CUDISP/ IRQ	カーソル・ディスプレイ・タイミング/インタラプト・リクエスト	19	出力	カーソル表示信号出力、割り込み要求信号出力端子。カーソル表示期間は、“H”レベルとなる。コントロール・レジスタの設定により表示タイミング“L”レベル期間に“H”レベルの割り込み要求信号を出力することができる
V <sub>CC</sub>	電源	20	—	+5 V 電源供給端子
CLK	クロック	21	入力	クロック入力端子。 TV 同期モードでは、EXHSYNC 期間中は“L”レベルになる
R/ $\overline{\text{W}}$ (WR)	リード/ライト (ライト)	22	入力	MPU の R/ $\overline{\text{W}}$ 信号入力端子。 (MPU のライト信号入力端子)
$\overline{\text{E}}$ (RD)	イネーブル (リード)	23	入力	MPU のイネーブル信号入力端子。 (MPU のリード信号入力端子)
RS	レジスタ・セレクト	24	入力	内部レジスタ・セレクト信号入力端子。 通常アドレス・バス最下位ビット (LSB) A <sub>0</sub> を接続する。この端子が“H”レベルのときは、内部レジスタを、また“L”レベルのときはアドレス・レジスタをアクセスする
$\overline{\text{CS}}$	チップ・セレクト	25	入力	チップ・セレクト信号入力端子。MPU が CRTC をアクセスする場合に、“L”レベルにする
D <sub>7</sub> ┆ D <sub>0</sub>	データ・バス	26 ┆ 33	入出力	MPU データ・バス端子
RA <sub>4</sub> ┆ RA <sub>0</sub>	ラスタ・アドレス	34 ┆ 38	出力	ラスタ・アドレス出力端子
HSYNC/ EXHSYNC	水平同期出力/入力	39	入出力	水平同期信号出力、外部水平同期信号入力端子。リセットにより水平同期信号出力となる。HSYNC は、正論理 (アクティブ“H”) で出力する
VS <sub>Y</sub> NC/ EXVS <sub>Y</sub> NC	垂直同期出力/入力	40	入出力	垂直同期信号出力、外部垂直同期信号入力端子。リセットにより垂直同期信号出力となる。VS <sub>Y</sub> NC は、正論理 (アクティブ“H”) で出力する



# CRTC [CRT Controller]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
入力電圧	$V_{IN}$	-0.3 ~ +7.0	V
動作温度	$T_{OPR}$	-20 ~ +75	°C
保存温度	$T_{STG}$	-55 ~ +150	°C

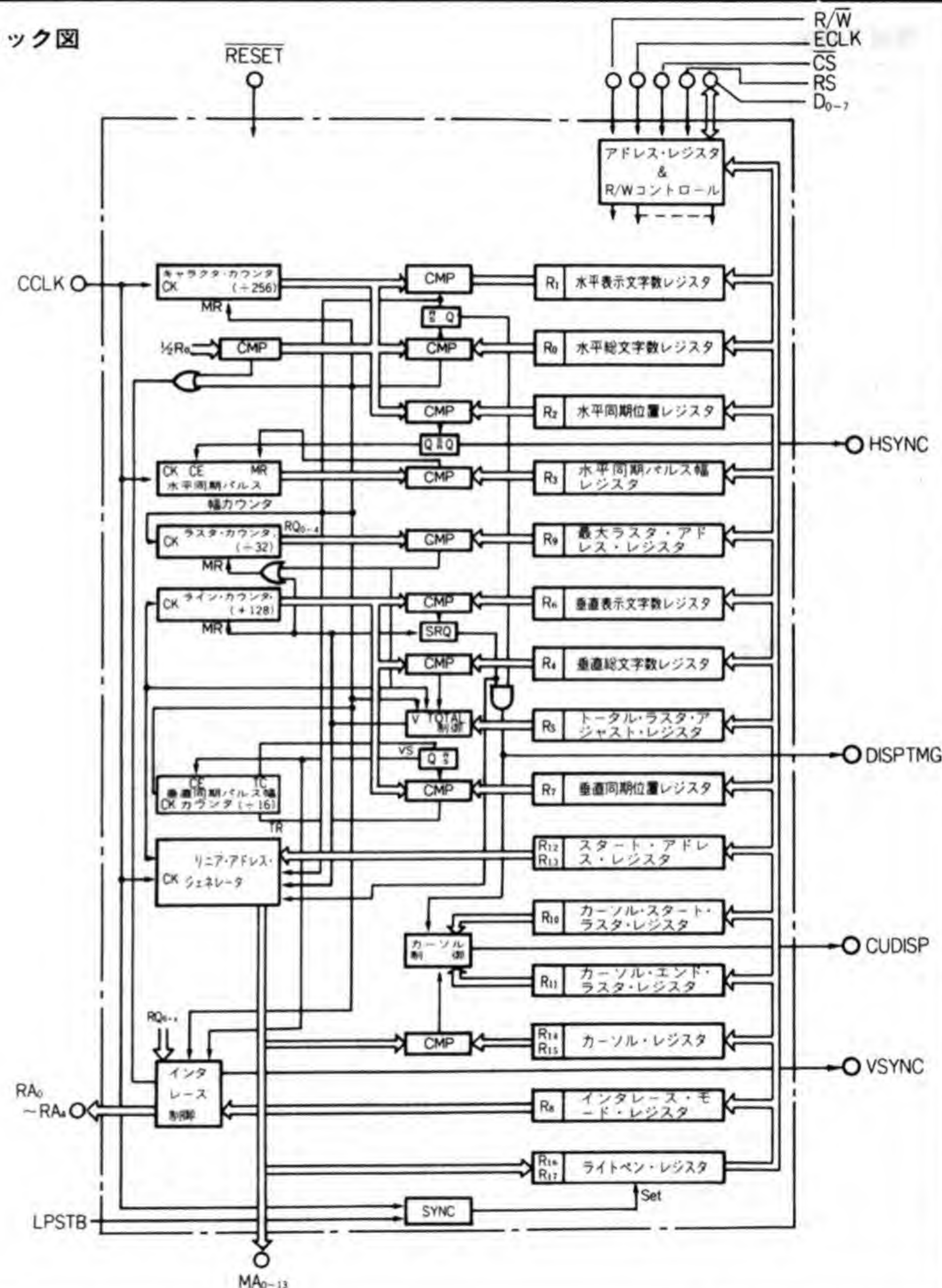
## ■ DC特性

記号	測定条件	min	max	単位
$V_{IH}$		2.0	$V_{CC}$	V
$V_{IL}$		-0.3	0.8	V
$I_{IL}$	入力リーク電流 $\begin{matrix} H \rightarrow L \\ L \rightarrow H \end{matrix}$	-2.5	+2.5	$\mu A$
$C_I$			12.5	pF
$V_{OH}$	$I_{OH} = -205 \mu A$ H $\rightarrow$ L	2.4		V
$V_{OL}$	$I_{OL} = 1.6 mA$ L $\leftarrow$ H		0.4	V
$I_{OFF}$	3ステートOFF電流0.4~2.4V	-10	+10	$\mu A$
$C_O$			10	pF

## ■ 特徴

- ・ 6800バス・コンパチブル
- ・ ライトペン機能あり
- ・ アトリビュート機能なし
- ・ 画面構成はプログラマブル (最大256字×64行)
- ・ カラー機能なし
- ・ カーソル機能はプログラマブル
- ・ 割り込み, DMA機能はない
- ・ キャラクタ・クロック: 3.0 / 3.7 MHz
- ・ 内部レジスタはリセット信号でクリアされない

## ■ ブロック図





## ■ 端子機能

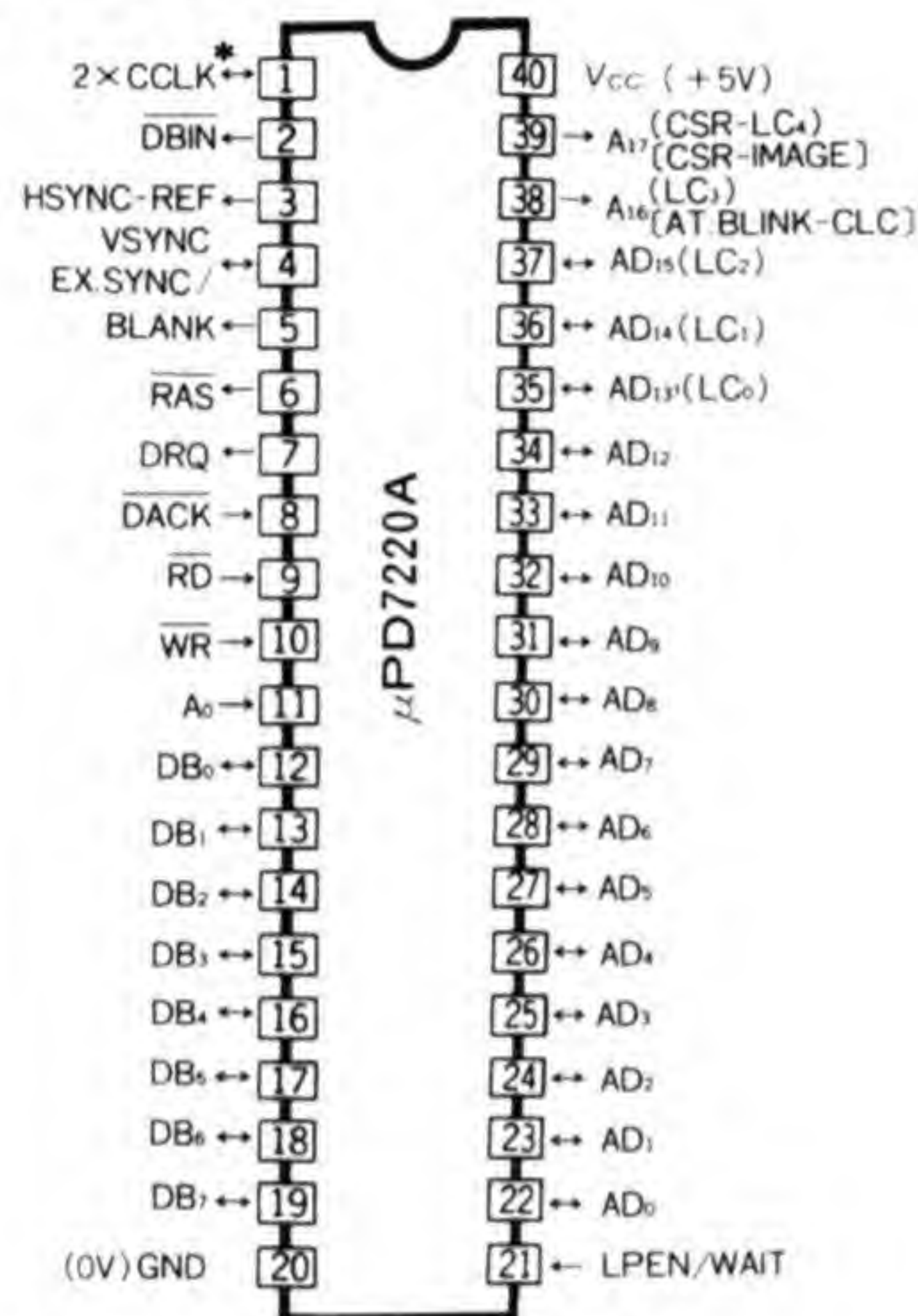
端子名	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	33~26	入出力	CPUとのデータ転送に使用される。データ・バスの出力は3ステート・バッファになっており、CPUがレジスタをリードするとき以外は、ハイ・インピーダンス状態となっている
R/ $\overline{W}$	22	入力	データ転送の方向を制御。R/ $\overline{W}$ が“H”レベルのとき、CRTCのデータがCPUに転送され、R/ $\overline{W}$ が“L”レベルのとき、CPUからCRTCにデータが転送される
$\overline{CS}$	25	入力	CRTCをアドレッシングするためのものであり、CPUは $\overline{CS}$ が“L”レベルのときのみCRTCの内部レジスタに対してリード/ライト動作を実行できる
RS	24	入力	CRTCの内部の1本のアドレス・レジスタと18本のコントロール・レジスタを分離するのに使用。すなわち、RSが“L”レベルのときアドレス・レジスタが選択され、RSが“H”レベルのときコントロール・レジスタが選択される
E	23	入力	CPUがCRTCの内部レジスタをリード/ライトするときのストロブ信号として使用
$\overline{RES}$	2	入力	外部からのCRTCをリセットするための入力信号
CLK	21	入力	CRTC内の動作の基準となるクロック入力信号。CLKは外部の高速ドット・タイミング回路から導入
HSYNC	39	出力	水平同期信号。CRTディスプレイ装置に水平同期をかけるための出力信号
VSNC	40	出力	CRTディスプレイ装置に垂直同期をかけるための出力信号。垂直同期信号のパルス幅は16ラスタ周期固定

端子名	ピン番号	入出力	機能
DISPTMG	18	出力	水平および垂直走査の画像表示期間を示す信号。DISPTMGが“H”レベルの期間にのみCRTディスプレイ装置にビデオ信号を供給するように制御する必要がある
MA <sub>0</sub> ~ MA <sub>13</sub>	4~17	出力	CRTディスプレイ装置に表示された画像を一定の周期でリフレッシュするためのメモリ・アドレス出力信号
RA <sub>0</sub> ~RA <sub>4</sub>	38~34	出力	キャラクタ・ジェネレータやパターン・ジェネレータのラスタ・セレクト信号に使用
CUDISP	19	出力	CRTディスプレイ画面上にカーソルを表示するためのビデオ信号
LPSTB	3	入力	ライトペンからの文字検出パルスであり、LPSTBが入力されたときリフレッシュ・メモリ・アドレス (MA <sub>0</sub> ~MA <sub>13</sub> ) の内容が14ビットのライトペン・レジスタにセットされる



# CRTC (CRT Controller)

## ■ ピン接続



\* この端子はプルアップが必要

( ) : 文字モード時

[ ] : 文字/グラフィック混在モード時

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm10\%$ )

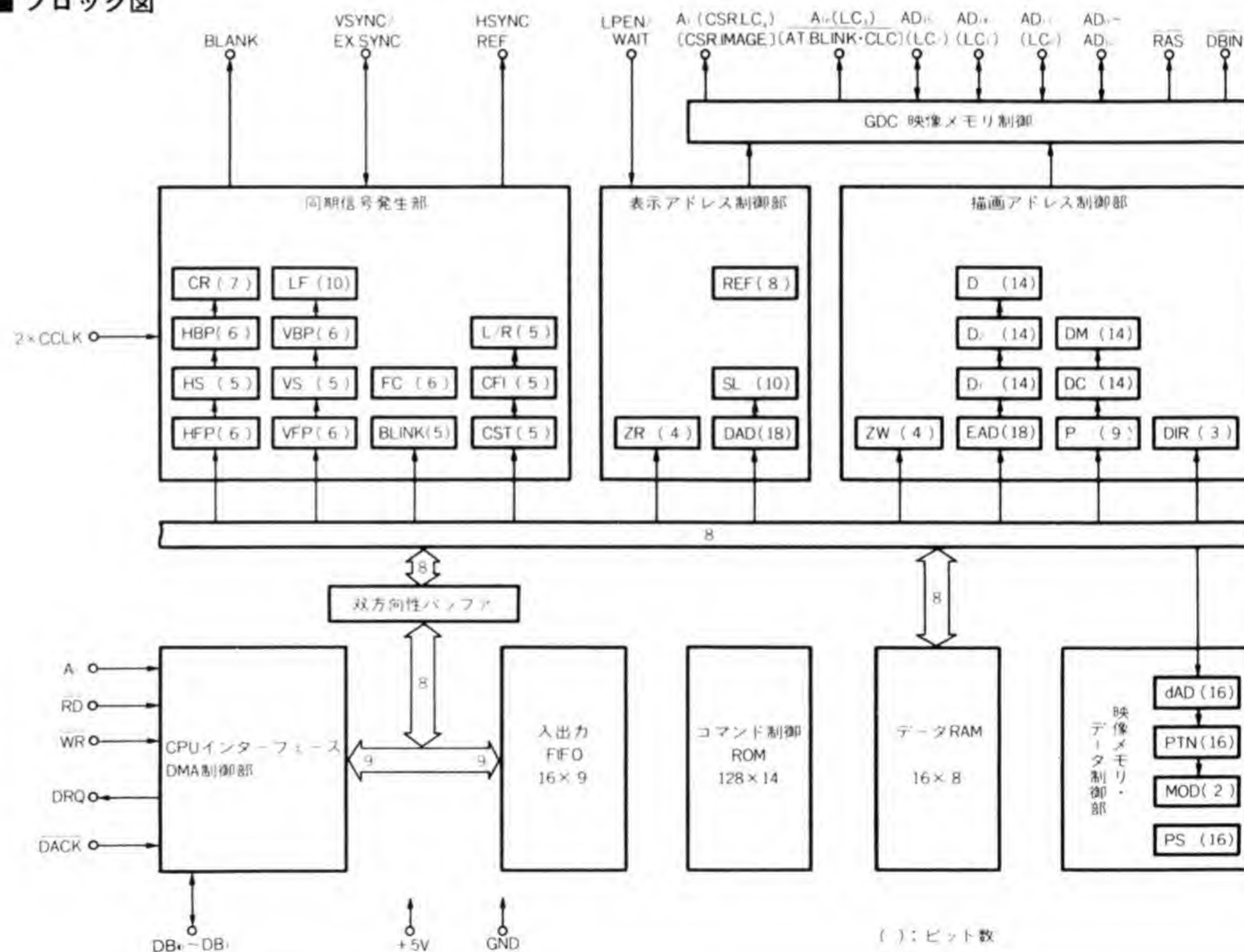
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL}=2.2\text{mA}$	0.45	V
$V_{OH}$	$I_{OH}=400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT}=0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		20	pF

## ■ 特徴

- ・高速グラフィック描画機能  
500ns/ドット (8MHz動作時)
- ・描画タイミングの選択機能  
フラッシュレス/フラッシュ・モード
- ・拡大描画/拡大表示機能
- ・パニング、スクロール機能
- ・1文字単位でのアトリビュート設定
- ・インタレース/ノンインタレース走査可能

- ・自動カーソル・シフト
- ・複数のGDCによる映像制御ができる外部同期機能
- ・I/O FIFO内蔵
- ・主記憶とは独立した映像メモリ (最大256K語×16ビット) を直接制御可能
- ・DMA機能

## ■ ブロック図



( ) : ビット数



■端子機能

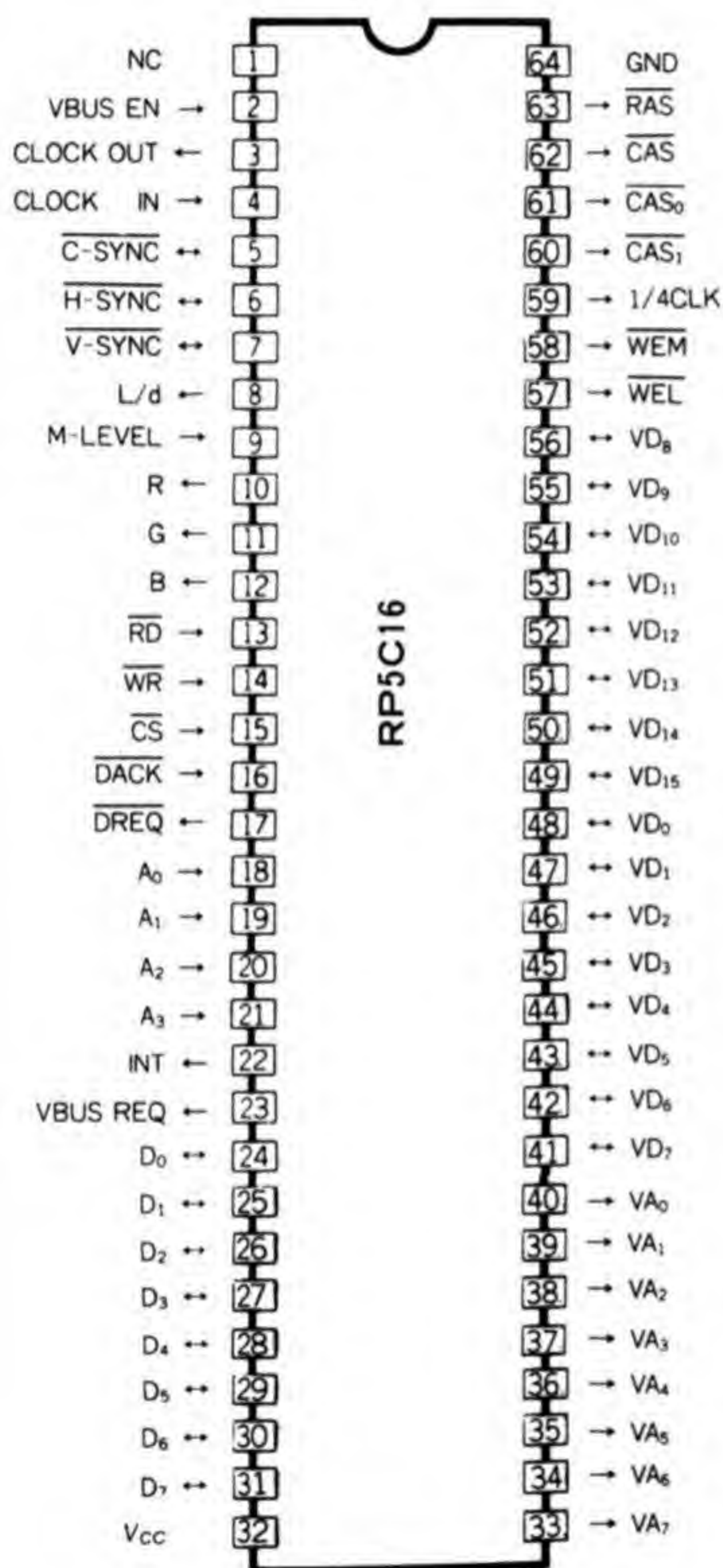
端子名	名 称	ピン番号	入 出 力	機 能
2×CCLK	2×キャラクタ・クロック	1	入 力	単相クロックを供給。クロックの周波数は水平方向の表示文字数（表示ドット数）と水平表示時間との関係で決まる
$\overline{\text{DBIN}}$	データ・バス・イン	2	出 力	映像メモリに対するリード/モディファイ/ライトの実行時にのみ出力され、映像メモリの出力を映像メモリのデータ・バスに乗せるために使用
HSYNC-REF	水平同期リフレッシュ	3	出 力	水平同期信号としてモニタ・テレビに接続
VSYNC	垂直同期	4	入出力	7220がマスタ動作時に垂直同期信号としてモニタ・テレビに接続
EX. SYNC	外部同期			7220がスレーブ動作時に外部同期入力端子として使用
BLANK	ブランク	5	出 力	表示消去信号として使用
$\overline{\text{RAS}}$	ロウ・アドレス・ストロープ	6	出 力	この信号には以下の3種の用途がある。 ① アドレス多重化を行っている16ピン・ダイナミック RAM に対する $\overline{\text{RAS}}$ , $\overline{\text{CAS}}$ 信号を作るための基本タイミング信号 ② “H” レベル時 $\text{AD}_0 \sim \text{AD}_{15}$ に対するアドレス・ラッチ・タイミング信号 ③ 映像メモリのアドレス・サイクル弁別用タイミング信号
DRQ	DMA リクエスト	7	出 力	DMA 要求出力で DMA コントローラの DRQ 入力に接続
$\overline{\text{DACK}}$	DMA アクノリッジ	8	入 力	DMA 転送中であることを示す入力で、DMA コントローラの $\overline{\text{DACK}}$ 出力が接続される
$\overline{\text{RD}}$	CPU リード・ストロープ	9	入 力	CPU が7220からデータまたはステータス・フラグを読み出すとき、“L” レベル信号を供給する
$\overline{\text{WR}}$	CPU ライト・ストロープ	10	入 力	CPU が7220にコマンドまたはパラメータを書き込むとき、“L” レベル信号を供給する
$\text{A}_0$	CPU アドレス・バス 0	11	入 力	CPU のアドレス・ライン最下位ビットが接続され、 $\overline{\text{RD}}$ , $\overline{\text{WR}}$ 信号との組み合わせにより、データ・バス信号の種類を選択する
$\text{DB}_0 \sim \text{DB}_7$	CPU データ・バス 0～7	12～19	入出力	双方向性のデータ・バスで、8ビットまたは16ビットの標準的な CPU に接続
LPEN	ライトペン・ストロープ	21	入 力	ライトペンが光入力を検出したとき、“H” レベルの信号を入力
WAIT	描画停止			描画停止動作が設定されている場合、最低4クロック間“H”レベルとなる信号を入力すると、7220は描画実行中であってもその描画を一時停止して表示アドレスを出力
$\text{AD}_0 \sim \text{AD}_{12}$	アドレス/データ・バス	22～34	入出力	双方向性のアドレス/データ・バスで映像メモリに接続
$\text{AD}_{13} \sim \text{AD}_{15}$	アドレス/データ・バス	35～37	入出力	双方向性のアドレス/データ・バスで、映像メモリに接続
$\text{LC}_0 \sim \text{LC}_2$	ライン・カウンタ 0～2		出 力	文字モード時に、7220に内蔵されている5ビットのライン・カウンタの下位4ビットが出力される
$\text{A}_{16}$	ディスプレイ・メモリ・アドレス16	38	出 力	グラフィック・モード時に、アドレスの上位2ビットが出力され、映像メモリに接続
$\text{LC}_3^*$	ライン・カウンタ 3		出 力	文字モード時に、7220に内蔵されている5ビットのライン・カウンタの下位4ビットが出力される
$\overline{\text{ATBLINK}}^{**}$ $-\text{CLC}$	プリンキング・タイミング		出 力	文字/グラフィック混在モード時に、プリンキングする文字属性に供給するプリンキング・タイミング信号と、外部回路によって構成するライン・カウンタに対するクリア信号を時分割して出力する
$\text{A}_{17}$	ディスプレイ・メモリ・アドレス17	39	出 力	グラフィック・モード時に、アドレスの上位2ビットが出力され、映像メモリに接続
$\text{CSR}^*-\text{LC}_4$	カーサ・ライン・カウンタ 4		出 力	文字モード時にカーサ表示出力とライン・カウンタの最上位ビットを時分割して出力
$\text{CSR}^{**}-\text{IMAGE}$	カーサ・イメージ		出 力	文字/グラフィック混在モード時に、カーサ表示出力と、イメージ信号出力を時分割して出力

\*……文字モード時      \*\*……文字/グラフィック混在モード時



# CRTC (CRT Controller)

## ■ ピン接続



## ■ 特 徴

- ・ 四つのモードをもつCRTコントローラ  
80×25文字のカラー画面  
640×200ドットのカラー画面  
40×25文字と40×25文字のカラー2画面  
320×200ドットと40×25文字のカラー2画面
- ・ RGB出力で最大15色表示
- ・ 仮想スクリーン
- ・ 水平、垂直方向へのスムーズ・スクロール可能
- ・ 前後反転、左右反転、上下反転、白黒反転のアトリビュート機能
- ・ マウス用カーソル内蔵
- ・ マスタ/スレーブ・モード
- ・ 再定義可能な文字セット
- ・ ビデオRAM更新のためのバッファ・レジスタ、アドレス・カウンタ内蔵

## ■ 最大定格

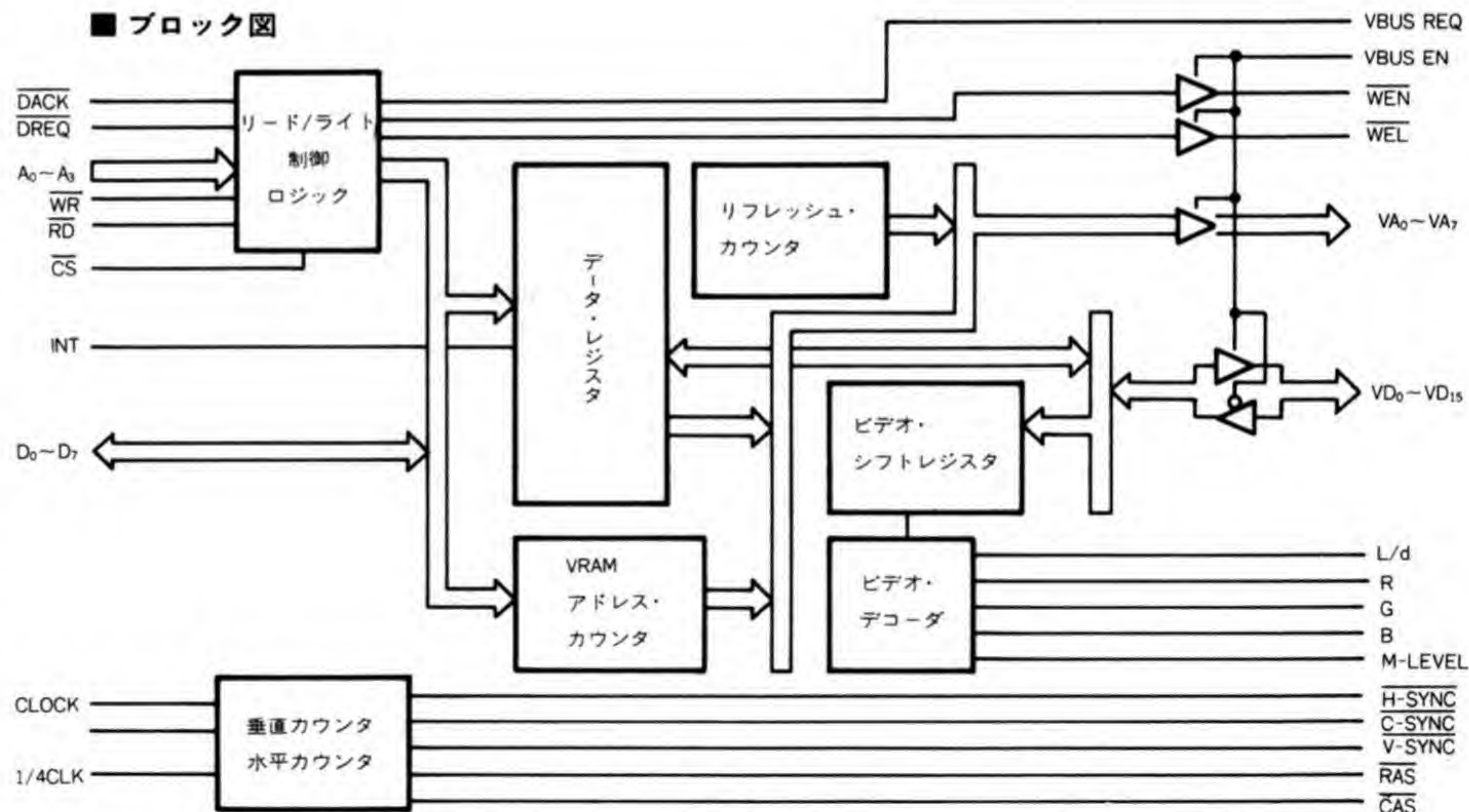
項 目	記号	定 格	単 位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~7.0	V
消費電力	P <sub>D</sub>	0.3	W
動作温度	T <sub>OPR</sub>	-10~70	℃
保存温度	T <sub>STG</sub>	-40~125	℃

## ■ DC特性

(T<sub>a</sub> = -10~70℃, V<sub>CC</sub> = 5V ± 10%)

記号	測 定 条 件	max/min*	単 位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 3.2mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> = 400μA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> = 0.4~2.4V	10	μA
I <sub>IL</sub>	V <sub>IN</sub> = 0~V <sub>CC</sub>	10	μA

## ■ ブロック図





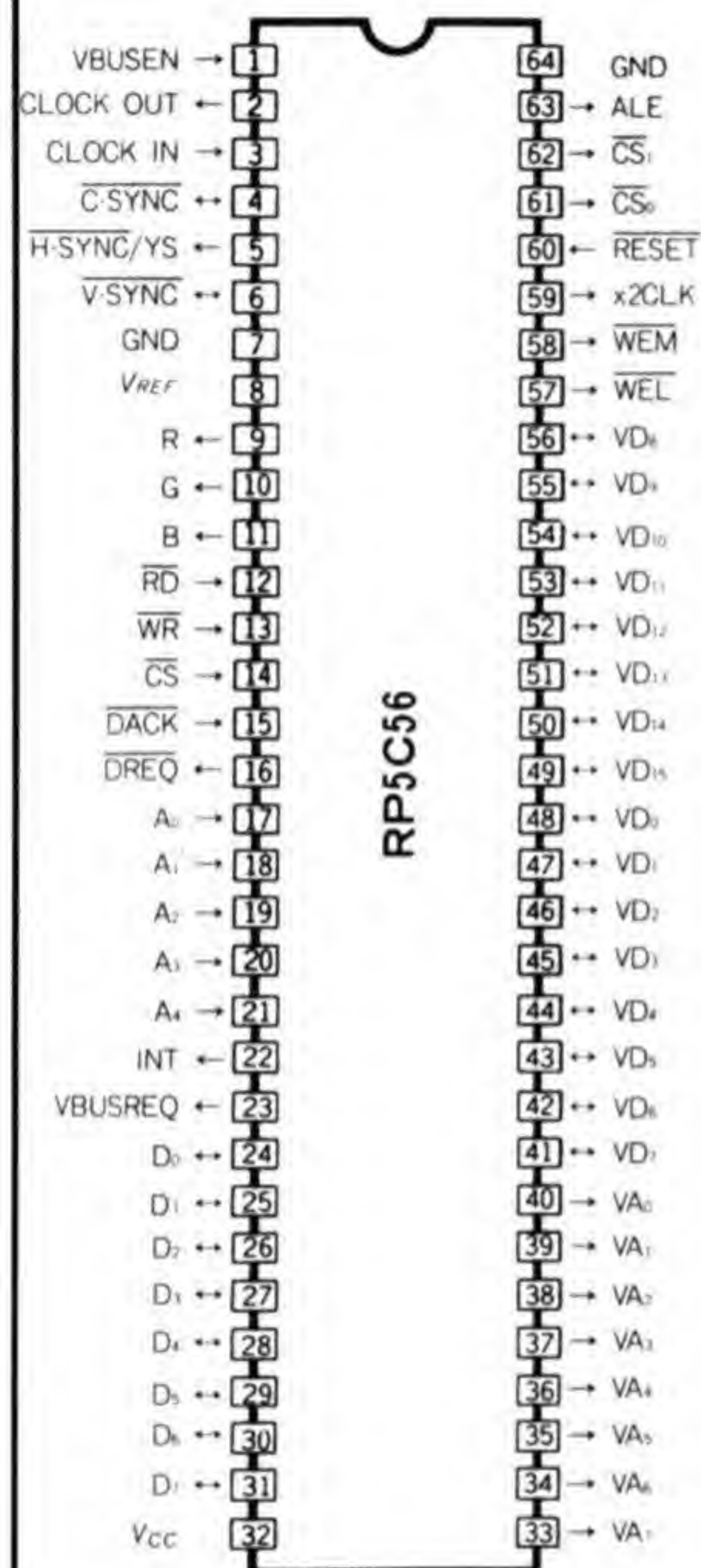
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{\text{CS}}$	チップ・セレクト	15	入力	コントロール・レジスタ、アドレス・レジスタ、バッファ・レジスタのリード/ライトを可能にする
$\overline{\text{RD}}$	リード・ストロブ	13	入力	リード信号
$\overline{\text{WR}}$	ライト・ストロブ	14	入力	ライト信号
$\text{A}_0 \sim \text{A}_3$	アドレス 0 ~ 3	18 ~ 21	入力	コントロール・レジスタの選択ライン
$\text{D}_0 \sim \text{D}_7$	データ 0 ~ 7	24 ~ 31	入出力	データ・バス、データ 0 = LSB, データ 7 = MSB
INT	割り込み	22	出力	割り込み要求出力
$\overline{\text{DREQ}}$	DMAリクエスト	17	出力	DMA 要求出力
$\overline{\text{DACK}}$	DMAアクノリッジ	16	入力	DMA 受け入れ入力
$\overline{\text{RAS}}$	ロウ・アドレス・ストロブ	63	出力	ロウ・アドレスをセットする。 タイミングを与える (下位 8 ビット)
$\overline{\text{CAS}}$	カラム・アドレス・ストロブ	62	出力	カラム・アドレスをセットする。 タイミングを与える (上位 8 ビット)
$\overline{\text{CAS}}_0$	カラム・アドレス・ストロブ 0	61	出力	アドレスが 0 ~ 3 FFFH のときにのみアクティブになる $\overline{\text{CAS}}$
$\overline{\text{CAS}}_1$	カラム・アドレス・ストロブ 1	60	出力	アドレスが 4000H ~ 7 FFFH のときにのみアクティブになる $\overline{\text{CAS}}$
VBUS EN	ビデオ・バス・イネーブル	2	入力	"L" のとき、 $\overline{\text{CAS}}$ , $\overline{\text{CAS}}_0$ , $\overline{\text{CAS}}_1$ , $\overline{\text{RAS}}$ , $\overline{\text{WEL}}$ , $\overline{\text{WEM}}$ , $\text{VA}_0 \sim \text{VA}_7$ , $\text{VD}_0 \sim \text{VD}_{15}$ をハイ・インピーダンスにする
VBUS REQ	ビデオ・バス・リクエスト	23	出力	5 C16 が VBUS をアクセスする 4 クロック前にアクティブになる
$\overline{\text{WEM}}$	ライト・イネーブル MSB	58	出力	ライトはアーリー・ライト動作
$\overline{\text{WEL}}$	ライト・イネーブル LSB	57	出力	ライトはアーリー・ライト動作
$\text{VA}_0 \sim \text{VA}_7$	ビデオ・メモリ・アドレス 0 ~ 7	40 ~ 33	出力	ビデオ・メモリのアドレス出力
$\text{VD}_0 \sim \text{VD}_{15}$	ビデオ・メモリ・データ 0 ~ 15	48 ~ 41, 56 ~ 49	入出力	ビデオ・メモリのデータ・バス、データ 0 = LSB, データ 15 = MSB
CLOCK IN CLOCK OUT	クロック入力 クロック出力	4 3	入力 出力	水晶振動子を接続する、14.31818MHz
M-LEVEL	ミドル・レベル	9	入力	RGB3 値出力のとき、CRTC に対し中間レベルを与える
$V_{CC}$ , GND	電源, グラウンド	32, 64	—	電源端子
R, G, B L/d	赤, 緑, 青 ライト/ダーク	10 ~ 12 8	出力	ビデオ出力 (2 値または 3 値)
$\overline{\text{C-SYNC}}$	コンポジット同期	5	入出力	マスタ・モードのとき出力 (オープン・ドレイン出力) スレーブ・モードのとき $\overline{\text{H-SYNC}}$ 入力
$\overline{\text{V-SYNC}}$	垂直同期	7	入出力	マスタ・モードのとき出力 (オープン・ドレイン出力) スレーブ・モードのとき $\overline{\text{V-SYNC}}$ 入力
$\overline{\text{H-SYNC}}$	水平同期	6	入出力	マスタ・モードのとき出力 (オープン・ドレイン出力) スレーブ・モードのとき $\overline{\text{H-SYNC}}$ 入力
1/4 CLK	1/4 クロック	59	出力	クロック 1/4 分周出力



# CRTC [CRT Controller]

## ■ ピン接続



## ■ 最大定格

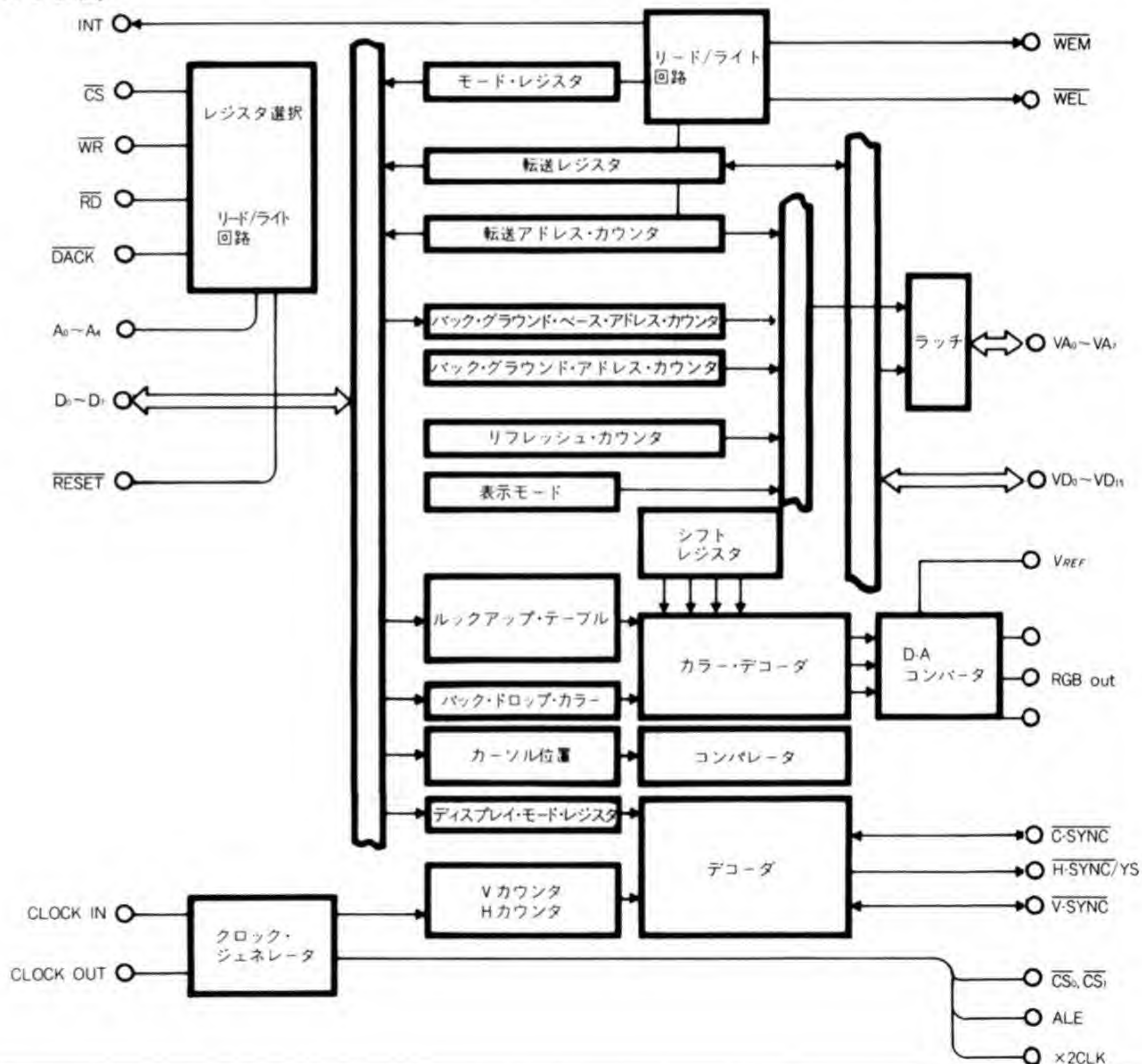
項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim V_{CC} + 0.3$	V
$V_{REF}$ 電圧	$V_{REF}$	$-0.3 \sim V_{CC} + 0.3$	V
入力電圧	$V_I$	$-0.3 \sim V_{CC} + 0.3$	V
出力電圧	$V_O$	$-0.3 \sim V_{CC} + 0.3$	V
最大消費電力	$P_d$	700	mW
動作周囲温度	$T_{OPR}$	0 ~ 70	°C
保存温度	$T_{STG}$	-40 ~ 125	°C

## ■ 特徴

- ・ 4種類の表示モードをもつCRTコントローラ
- ・ 64文字×24行のテキスト表示
- ・ 512×192ドットのグラフィック表示
- ・ 64文字×24行のテキスト表示の2画面の重ね合わせ
- ・ テキストとグラフィックの2画面の重ね合わせ

- ・ NTSC方式対応 (ノンインターレース)
- ・ RGB (16値) 出力
- ・ 4096色カラーから最大16色表示可能
- ・ クロス・ヘア・カーソル表示可能
- ・ マスタ・モード/スレーブ・モードの切り替え可能

## ■ ブロック図





■ 端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS}$	チップ・セレクト	14	入力	内部レジスタのリード/ライト・コントロール
$\overline{RD}$	リード	12	入力	内部レジスタの読み出し
$\overline{WR}$	ライト	13	入力	内部レジスタの書き込み
$A_0 \sim A_4$	アドレス	17~21	入力	内部コントロール・レジスタの選択
$D_0 \sim D_7$	データ	24~31	入出力	データ・バス, CPU へ接続
INT	割り込み出力	22	出力	CPU への割り込み信号
ALE	アドレス・ラッチ・イネーブル	63	出力	Row Address Latch Enable 信号
$\overline{CS_0}, \overline{CS_1}$	チップ・セレクト	61, 62	出力	Column Address をセットする信号
$\overline{WEL}$	ライト・イネーブル L	57	出力	V-RAM Write Eneble LSB
$\overline{WEM}$	ライト・イネーブル M	58	出力	V-RAM Write Eneble MSB
$VA_0 \sim VA_7$	ビデオ・メモリ・アドレス	40~33	出力	V-RAM アドレス出力
$VD_0 \sim VD_{15}$	ビデオ・メモリ・データ	48~41, 56~49	入出力	V-RAM データ入出力
CLKIN	クロック入力	3	入力	水晶接続, 22.90908 MHz
CLKOUT	クロック出力	2	出力	水晶接続, 22.90908 MHz (出力)
$\times 2 \text{ CLK}$	$\times 2$ クロック出力	59	出力	2 分周 Clock 出力
R,G,B	R,G,B 出力	9, 10, 11	出力	各端子より 16 レベルの出力
$\overline{C-SYNC}$	コンポジット同期	4	入出力	マスタ・モード時は出力, スレーブ・モード時は入力
$\overline{V-SYNC}$	垂直同期	6	入出力	マスタ・モード時は出力, スレーブ・モード時は入力
$\overline{H-SYNC}/\overline{YS}$	水平同期/ビデオ・スイッチ	5	出力	$D_0$ (アドレス No.12, バンク 0) = 1 : $\overline{H-SYNC}$ = 0 : $\overline{YS}$
$\overline{DACK}$	DMA アクノリッジ	15	入力	DMAC, CPU からの DMA 要求を受ける
$\overline{DREQ}$	DMA リクエスト	16	出力	CRTC から DMA の要求を出力する
VBUSREQ	ビデオ・バス・リクエスト	23	出力	データ転送可能区間を出力する
VBUSEN	ビデオ・バス・イネーブル	1	入力	"L" にすると VRAM インターフェース端子がハイ・インピーダンスになる
$\overline{RESET}$	リセット	60	入力	RP5C56 内部のステータスを設定する
$V_{ref}$	リファレンス電源	8	—	R,G,B 出力用 DAC のリファレンス電源

■ 推奨動作条件 ( $T_a = 0 \sim 70^\circ\text{C}$ )

記号	項目	定格値			単位
		min	typ	max	
$V_{CC}$	電源電圧	4.5	5.0	5.5	V
$V_{REF}$	$V_{REF}$ 電圧	4.5	5.0	5.5	V
$f_{XT}$	水晶周波数		22.90908		MHz

■ DC特性

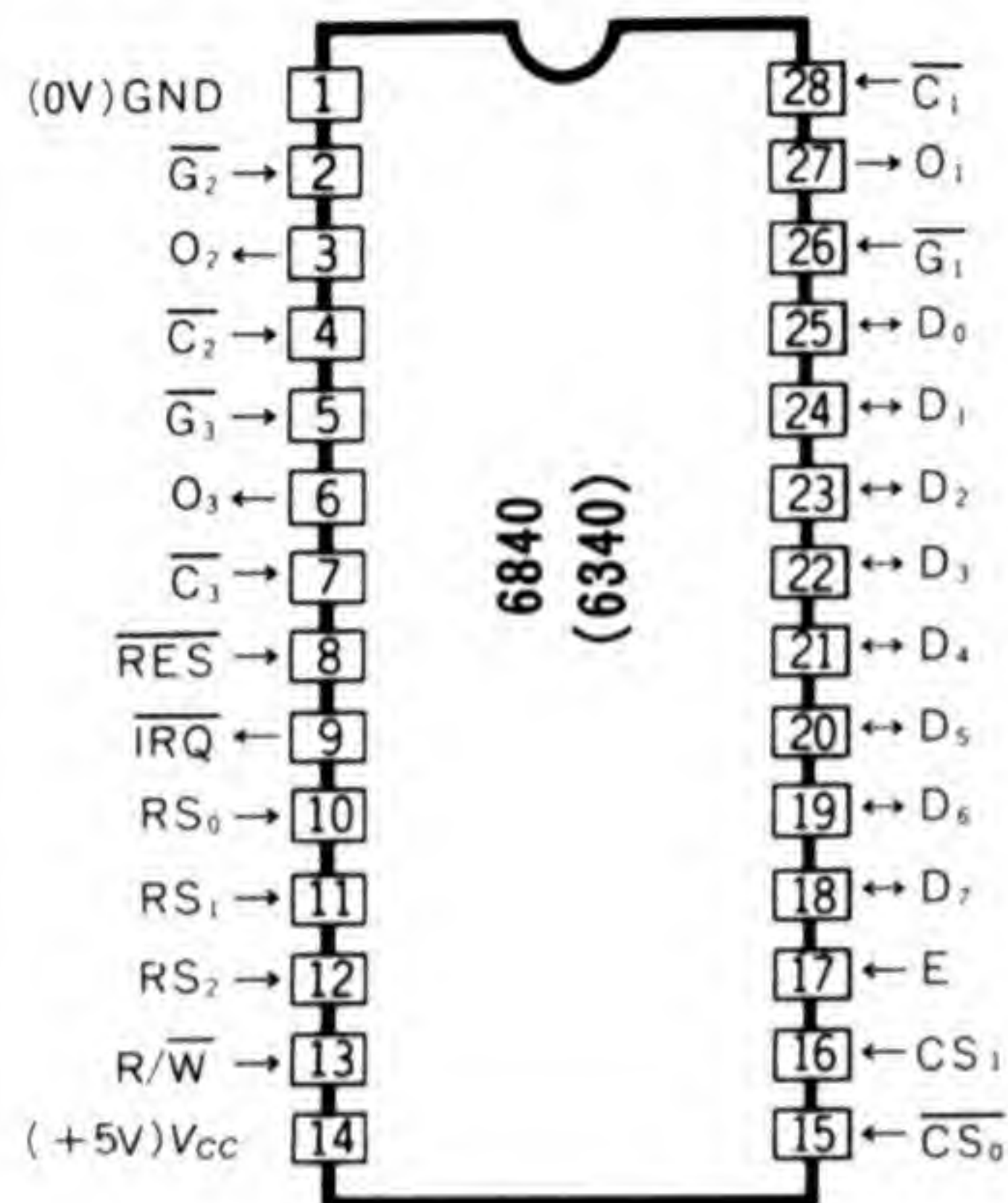
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	項目	測定条件	min	max	単位
$V_{IH}$	"H" 入力電圧		2.2	$V_{CC} + 0.3$	V
$V_{IL}$	"L" 入力電圧		-0.3	0.6	V
$I_{LI}$	入力リーク電流	$0\text{V} \leq V_I \leq V_{CC}$	-10	+10	$\mu\text{A}$
$V_{OH}$	"H" 出力電圧	$I_{OH} = -4\text{mA}$	2.4		V
$V_{OL}$	"L" 出力電圧	$I_{OL} = 4.0\text{mA}$		0.4	V
$I_{OL}$	オフ状態出力リーク電流	$0\text{V} \leq V_O \leq V_{CC}$	-10	+10	$\mu\text{A}$
$I_{CC1}$	電源電流(動作時)			60	mA
$I_{CC2}$	電源電流( $V_{REF}$ off)			40	mA



# PTM [Programmable Timer Module]

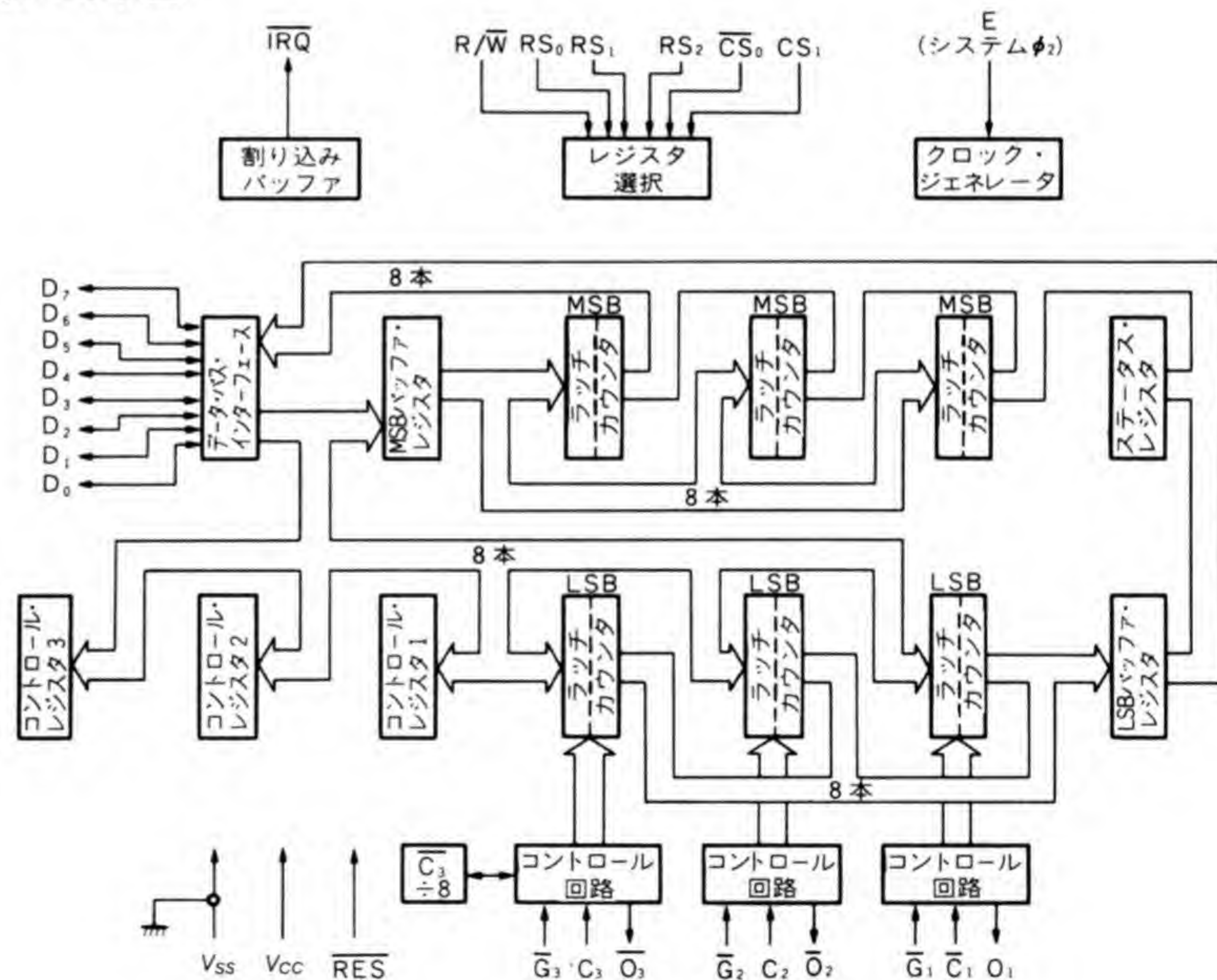
## ■ピン接続



## ■特徴

- ・ 68系CPUに適合
- ・ 独立した三つの16ビット・タイマ
- ・ コンチニユアス・モード, シングル・ショット・モード選択可能
- ・ 周波数比較機能, パルス幅比較機能
- ・ デュアル8ビット・カウンタ, 16ビット・カウンタ指定可能
- ・ 独立した割り込み設定可能

## ■ブロック図



## ■最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
入力電圧	$V_{IN}$	-0.3 ~ +7.0	V
動作温度	$T_{OPR}$	-20 ~ +75	°C
保存温度	$T_{STG}$	-55 ~ +150	°C

## ■DC特性

項目	max/min*	単位
$V_{IH}$	2.2*	V
$V_{IL}$	0.8	V
$V_{OH}$	2.4*	V
$V_{OL}$	0.4	V



■端子機能

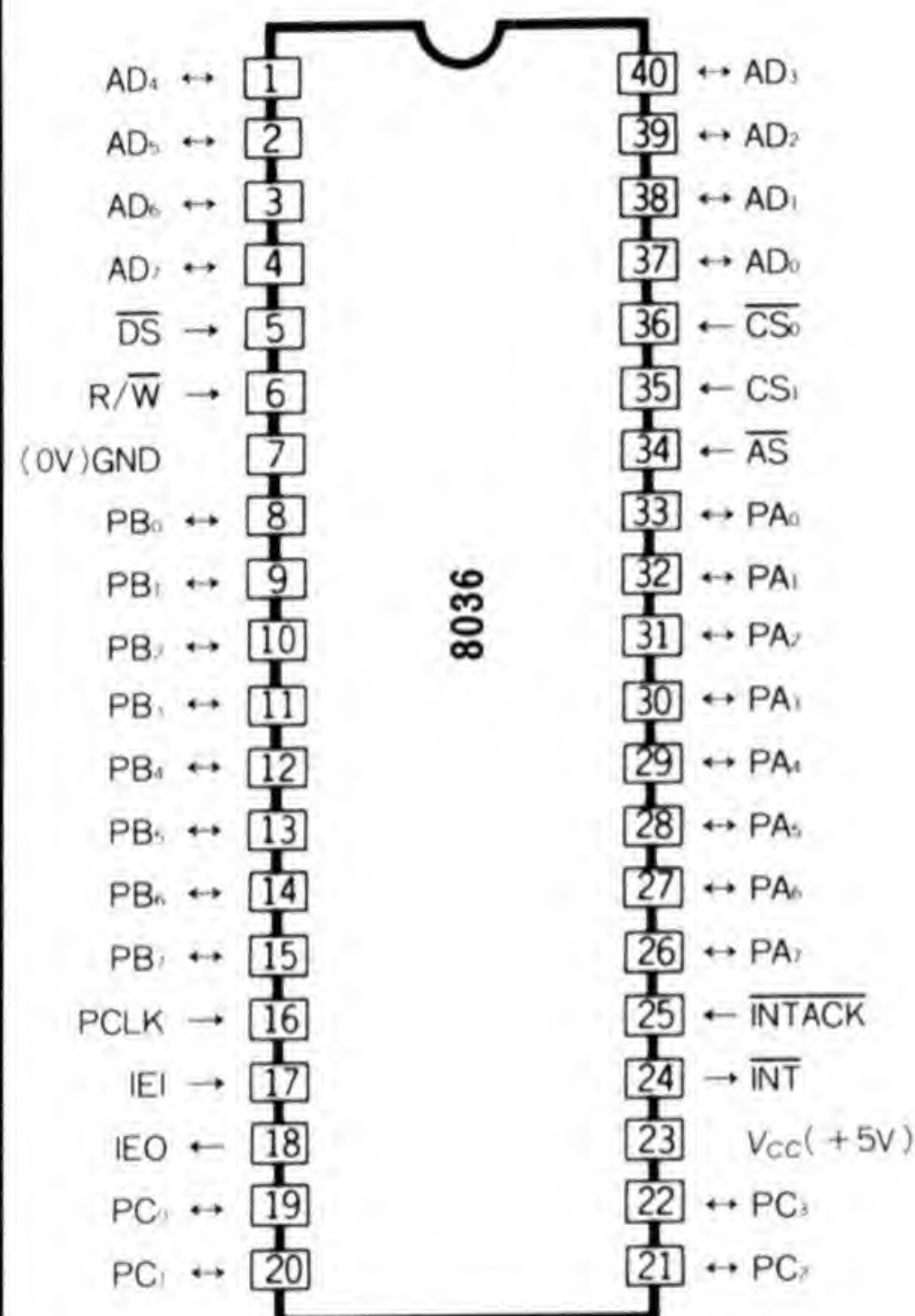
端子名	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	25~18	入出力	CPUとの間のデータ転送に使用。データ・バスの出力は3ステート・バッファになっている
$\overline{CS}_0$ , CS <sub>1</sub>	15, 16	入力	チップ・セレクト信号で、 $\overline{CS}_0$ が“L”, CS <sub>1</sub> が“H”レベルのときのみR/W動作が可能となる
R/ $\overline{W}$	13	入力	データ転送の方向を制御する入力信号
E	17	入力	CPUが内部レジスタ、ラッチなどをR/ $\overline{W}$ するときのスローブ信号として使用される。また、外部クロック ( $\overline{C}_1$ , $\overline{C}_2$ , $\overline{C}_3$ ) 信号、ゲート入力 ( $\overline{G}_1$ , $\overline{G}_2$ , $\overline{G}_3$ ) 信号、リセット ( $\overline{RES}$ ) 信号を同期化し、内部に取り込む機能をもつ
$\overline{IRQ}$	9	出力	この信号はアクティブ“L”であり、通常CPUの $\overline{IRQ}$ 端子に直接（または割り込み優先順位回路を通して）接続する。この端子はオープン・ドレイン出力端子である
$\overline{RES}$	8	入力	$\overline{RES}$ 入力が“L”レベルになり、リセットがかかると次の動作が行われる。 (1) すべてのタイマ・ラッチは最大カウント値(FFFF) <sub>16</sub> にプリセットされる (2) すべてのコントロール・レジスタはクリアされる。ただしコントロール・レジスタ#1のビット0 (CR <sub>10</sub> )は“1”となる (3) すべてのカウントは、タイマ・ラッチの内容〔最大カウント値(FFFF) <sub>16</sub> 〕でプリセットされる (4) すべてのカウント出力はリセットされ、すべてのカウント・クロックはディセーブルとなる (5) ステータス・レジスタのビットはすべてクリアされる

端子名	ピン番号	入出力	機能
RS <sub>0</sub> , RS <sub>1</sub> , RS <sub>2</sub>	10, 11, 12	入力	R/ $\overline{W}$ 信号と組み合わせて使用され、内部レジスタ、カウンタ、タイマ・ラッチを選択するために使用される
$\overline{C}_1$ , $\overline{C}_2$ , $\overline{C}_3$	28, 4, 7	入力	$\overline{C}_1$ , $\overline{C}_2$ , $\overline{C}_3$ は、それぞれタイマ#1, #2, #3を動作させるための外部クロック入力信号。この信号はEクロックで同期化された後、各タイマのカウンタ・デクリメント信号として使用される
$\overline{G}_1$ , $\overline{G}_2$ , $\overline{G}_3$	26, 2, 5	入力	$\overline{G}_1$ , $\overline{G}_2$ , $\overline{G}_3$ は、それぞれタイマ#1, #2, #3のトリガ信号、ゲート信号を入力する端子。周波数比較モード、パルス幅比較モードでは測定するパルスを入力する
O <sub>1</sub> , O <sub>2</sub> , O <sub>3</sub>	27, 3, 6	出力	タイマが発生する各種パルス信号を出力する端子。この信号は、コンティニュアンス・モード、シングル・ショット・モードのときに出力される



# CIO [Counter/Timer and Parallel I/O Unit]

## ■ピン接続



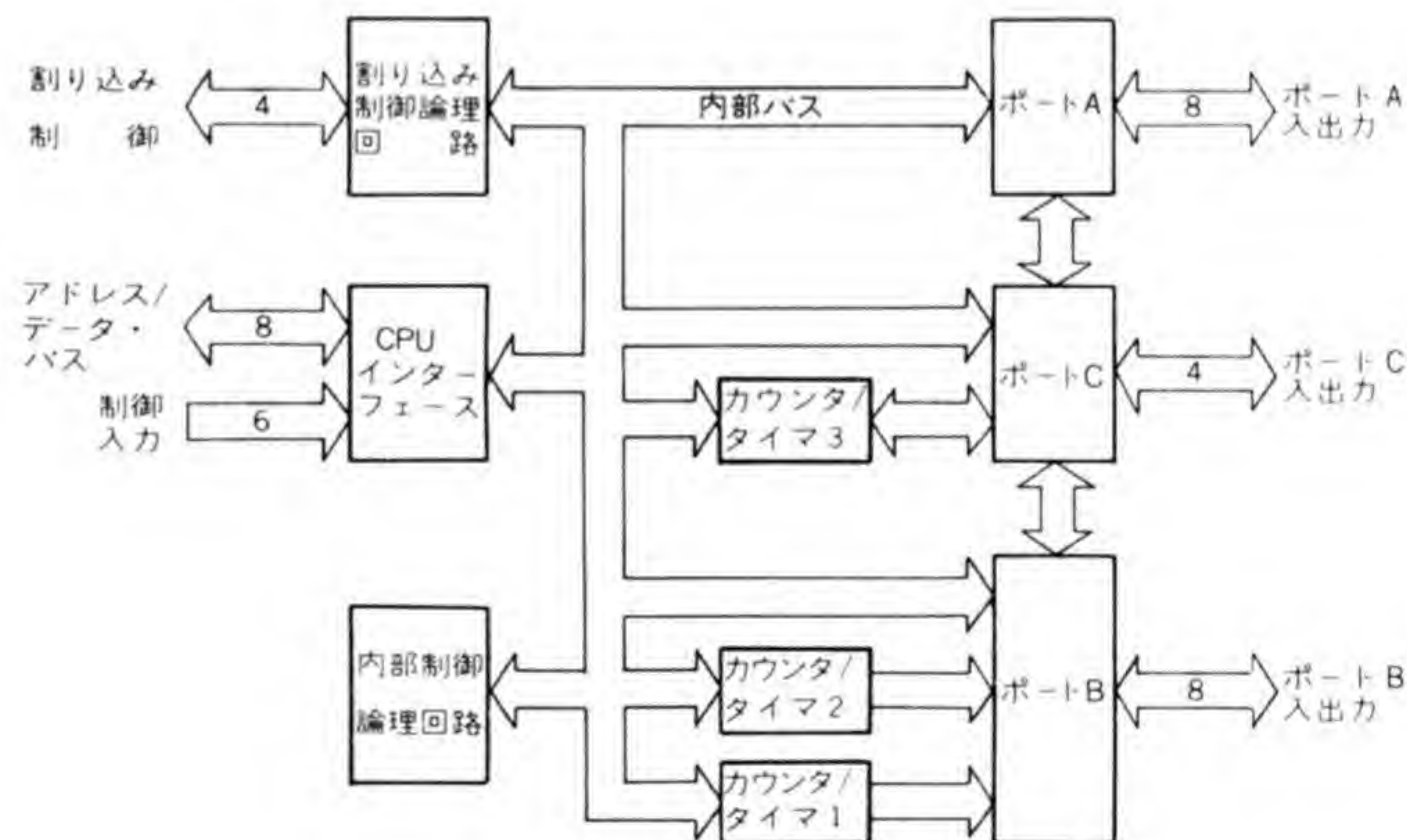
## ■特徴

- 2個の独立した、8ビット・ダブル・バッファ付き双方向入出力ポートおよび4ビットの専用入出力ポートから構成されている
- 入出力ポートはプログラム可能な極性、プログラム可能な方向性（ビット・モード）、パルス・キャッチャ、プログラム可能なオープン・ドレイン出力をもっている
- 3ワイヤを含む四つのハンドシェイク・モード（IEEE 488など）
- 高速データ転送用のREQUEST/WAIT信号

をもつ

- 16のベクタ割り込みコントローラとしてのプログラム可能なフレキシブル・パターン認識論理回路をもっている
- 三つの独立したカウンタ/タイマを内蔵
- 各カウンタ/タイマが最高4本の外部アクセス線をもつ
- 出力デューティ・サイクルは3通り（パルス、単発型、方形波）にプログラム可能
- レジスタはすべて読み出し/書き込み可能

## ■ブロック図



## ■最大定格

項目	記号	定格	単位
入力電圧	$V_{IN}$	-0.3 ~ +7.0	V*
出力電圧	$V_{OUT}$	-0.3 ~ +7.0	V*
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	-65 ~ +150	°C

(\*) GND端子に対して印加する全入出力電圧



## ■端子機能

端子名	名称	ピン番号	入出力	機能
AD <sub>0</sub> ~AD <sub>7</sub>	アドレス/データ・バス	37~40, 1~4	入出力	マルチプレクスされたシステム・アドレス/データ・バス
$\overline{AS}$	アドレス・ストロープ	34	入力	アクティブ“L”アドレスの確定を示す
$\overline{DS}$	データ・ストロープ	5	入力	アクティブ“L”. データの確定を示す
R/ $\overline{W}$	読み出し/書き込み	6	入力	“H”で読み出し, “L”で書き込み
$\overline{CS_0}$	チップ・セレクト 0	36	入力	アクティブ“L”. チップ選択信号
CS <sub>1</sub>	チップ・セレクト 1	35	入力	アクティブ“H”. チップ選択信号
$\overline{INT}$	割り込み要求	24	オープン・ドレイン	アクティブ“L”. 割り込み要求を示す
$\overline{INTACK}$	割り込み応答	25	入力	アクティブ“L”割り込み応答サイクルを示す
IEI	割り込みイネーブル入力	17	入力	アクティブ“H”. 割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
IEO	割り込みイネーブル出力	18	出力	アクティブ“H”. 割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
PA <sub>0</sub> ~PA <sub>7</sub>	ポート A の入出力線	33~26	入出力	周辺装置との間で情報転送を行う
PB <sub>0</sub> ~PB <sub>7</sub>	ポート B の入出力線	8~15	入出力	周辺装置との間で情報転送を行う
PC <sub>0</sub> ~PC <sub>3</sub>	ポート C の入出力線	19~22	入出力	周辺装置との間で情報転送を行う
PCLK	クロック	16	入力	単相クロック, CPU と同一のものでなくてもよい

$\overline{AS}$  と  $\overline{DS}$  が同時に “L” となることにより初期状態 (リセット) になる

## ■DC特色

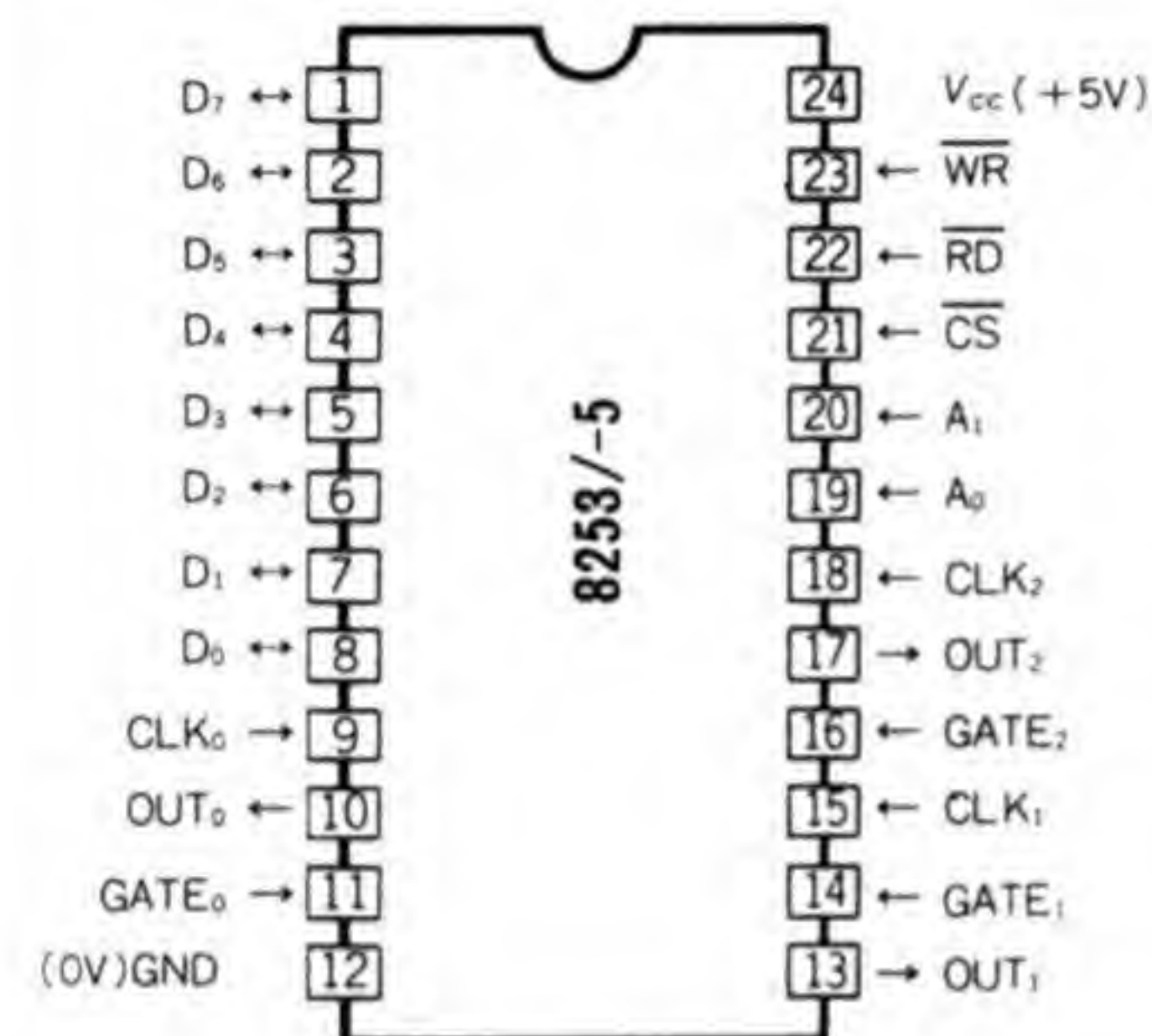
( $V_{CC}=5V \pm 5\%$ ,  $T_a = 0 \sim +70^\circ C$ )

項目	記号	条件	max	min	単位
入力“H”電圧	$V_{IH}$		$V_{CC}+0.3$	2.0	V
入力“L”電圧	$V_{IL}$		0.8	-0.3	V
出力“H”電圧	$V_{OH}$	$I_{OH} = -250\mu A$		2.4	V
出力“L”電圧	$V_{OL}$	$I_{OH} = +2.0mA$	0.4		V
		$I_{OL} = +3.2mA$	0.5		V
入力リーク電流	$I_{IL}$	$0.4 \leq V_{IH} \leq 2.4V$	10.0		$\mu A$
出力リーク電流	$I_{OL}$	$0.4 \leq V_{OUT} \leq 2.4V$	10.0		$\mu A$
消費電流	$I_{CC}$		200		mA



# PIT [Programmable Interval Timer]

## ■ ピン接続



## ■ 特 徴

- ・ 3 個のプリセット型 16 ビット・ダウン・カウンタ内蔵
- ・ 6 種の動作モードが任意に割り当て可能
- ・ 2 進または 10 進 (BCD) カウント可能
- ・ カウント実行中にデータ読み出しおよび設定可能
- ・ オート・ロード機能あり
- ・ クロック周期 0 ~ 2 MHz

## ■ 注意点

- ・ 外部リセット端子がないため、ハードウェア・リセットは不可能

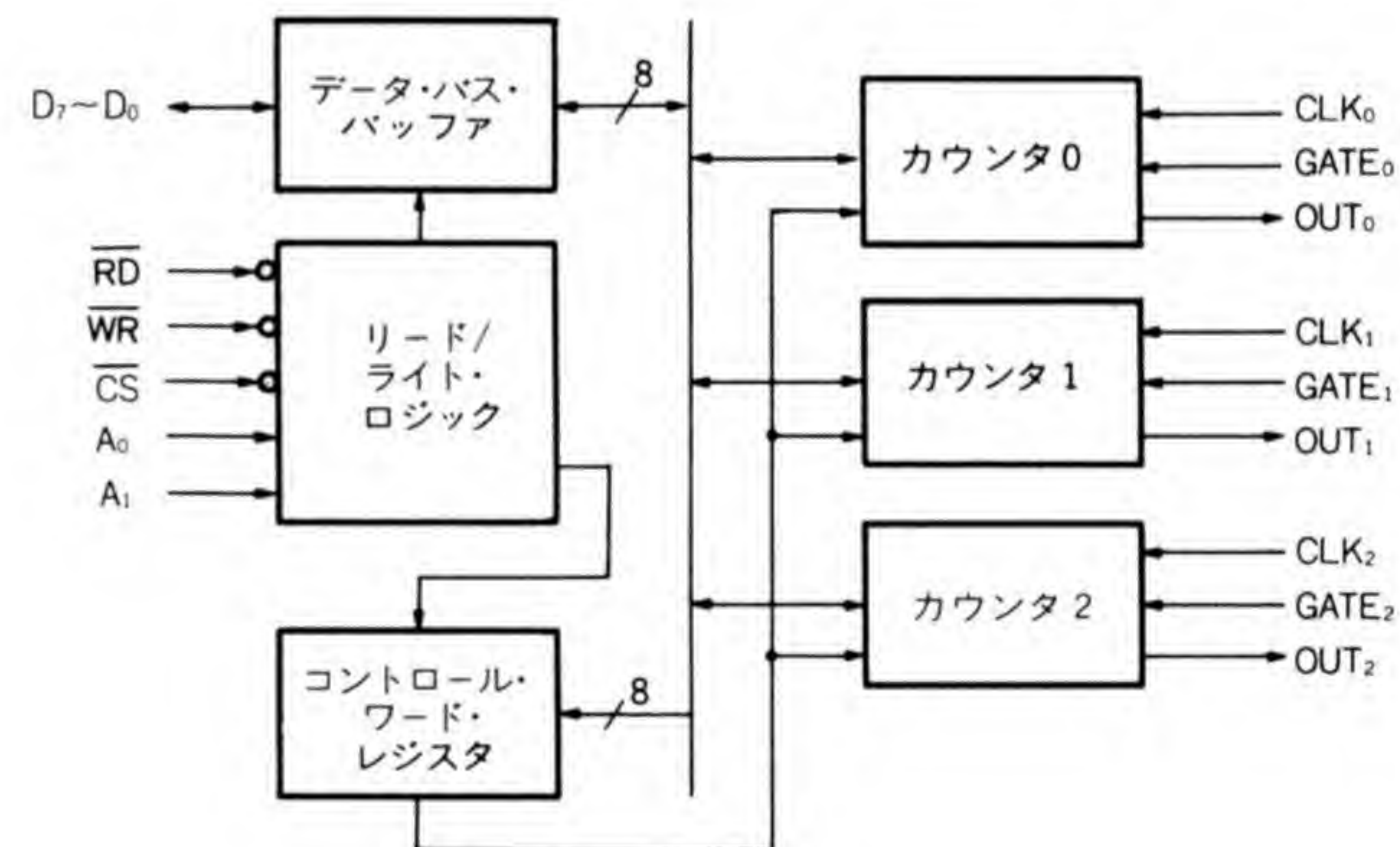
## ■ 最大定格

項 目	記号	定 格	単 位
電源電圧	$V_{CC}$	-0.5 ~ +7.0	V
入力電圧	$V_{IN}$	-0.5 ~ +7.0	V
出力電圧	$V_{OUT}$	-0.5 ~ +7.0	V
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	-65 ~ +150	°C

## ■ DC特性

記号	測 定 条 件	min*/max	単 位
$V_{IL}$		-0.5/0.8	V
$V_{IH}$		2.2/ $V_{CC}+0.5V$	V
$V_{OH}$		2.4*	V
$V_{OL}$	$I_{OL}=2.2mA$	0.45	V
$I_{IL}$	$V_I=0 \sim V_{CC}$	±10	μA
$I_{CC}$		140	mA

## ■ ブロック図





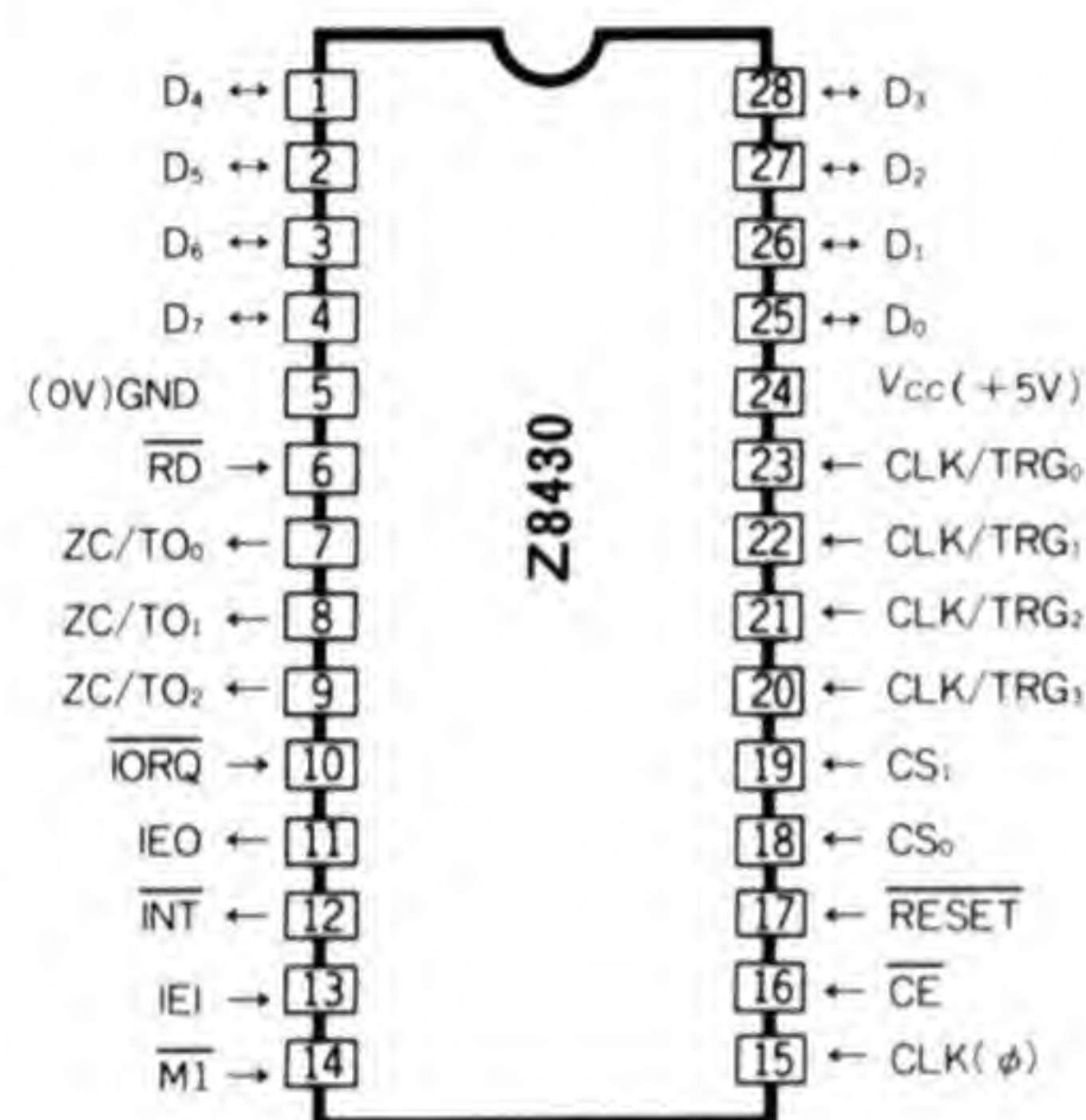
■ 端子機能

端子名	ピン番号	入出力	機能
$D_7 \sim D_0$	1 ~ 8	入出力	8ビット、3ステートの双方向性データ・バス。 $\overline{CS}=0$ のときアクティブとなり、データの入出力が可能である
$CLK_0 \sim CLK_2$	9, 15, 18	入力	クロック入力。各カウンタのカウント・レートを定める。 $CLK$ 入力の立ち下がりでカウントする
$OUT_0 \sim OUT_2$	10, 13, 17	出力	各カウンタの出力。モードにより、レート出力、方形波出力、ワンショット出力が得られ、割り込みリクエスト信号としても使用できる
$GATE_0 \sim GATE_2$	11, 14, 16	入力	モード選択により、各カウンタをゲート、トリガ、リセットする
$A_0, A_1$	19, 20	入力	カウンタ・セレクト信号。各カウンタを選択する。コントロール・ワード書き込みのときは、 $A_0, A_1=1, 1$ とする
$\overline{CS}$	21	入力	チップ・セレクト。 $\overline{CS}$ を“L”にすると $D_7 \sim D_0$ がアクティブとなる
$\overline{RD}$	22	入力	カウンタの内容を読み出すときに使う。 $\overline{RD}$ を“L”にすると、データがバス上に出力される
$\overline{WR}$	23	入力	コントロール・ワード、カウント数の書き込み時に使用。 $\overline{WR}$ 信号の立ち上がりで、データが書き込まれる



# CTC [Counter Timer Circuit]

## ■ ピン接続



## ■ 特 徴

- ・ 4 個の独立した 8 ビット・カウンタおよび 16 ビット・タイマ
- ・ 各チャネルともカウンタ・モードとタイマ・モードの選択が可能
- ・ オート・ロード機能あり
- ・ 1/16 および 1/256 のプリスケアラあり
- ・ Z80 CPU のモード 2 割り込み機能あり
- ・ カウンタ出力はダーリントン・トランジスタをドライブできる

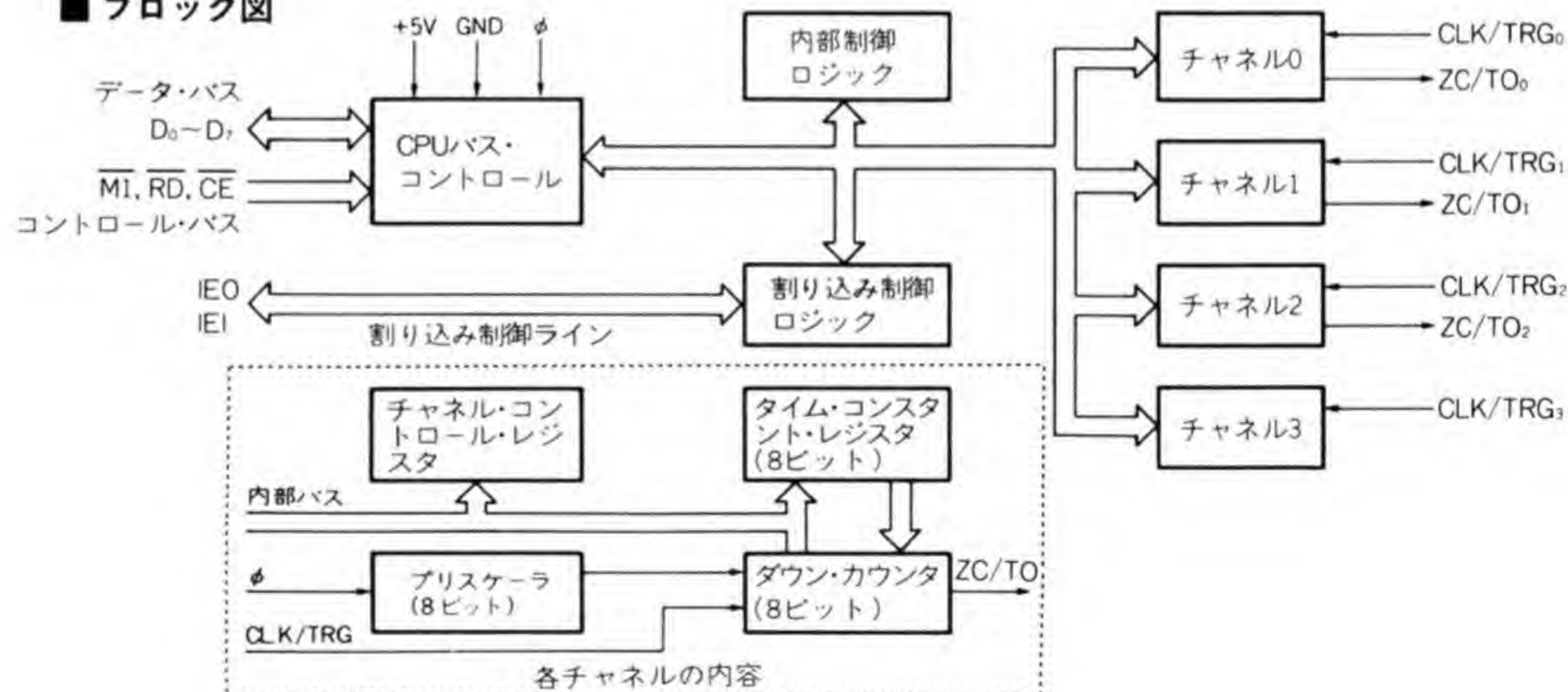
## ■ 注意点

- ・ カウンタ・モードでカウント可能な外部クロック数は 1 ~ 256 まで

## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim +7.0$	V
出力電圧	$V_{OUT}$	$-0.3 \sim +7.0$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

## ■ ブロック図





## ■端子機能

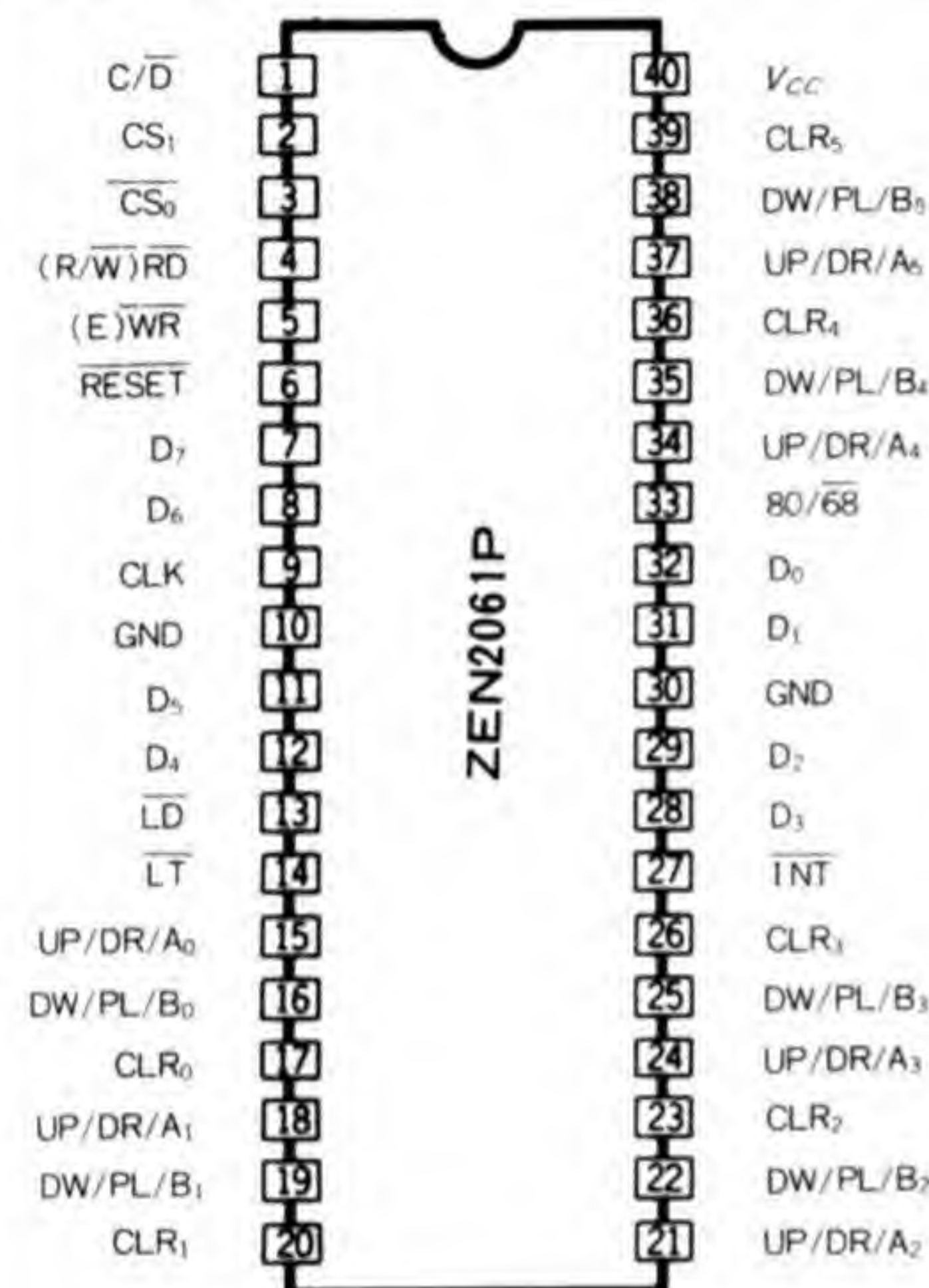
端子名	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	25~28, 1~4	入出力 3ステート	8ビットの双方向性バス, MPUとCTC間で コマンド・データの転送を行う
$\overline{\text{RD}}$	6	入力	リード信号, MPUとCTC間のデータ, チャネル 制御語の転送時にこの信号と $\overline{\text{IORQ}}$ , $\overline{\text{CE}}$ と を組み合わせて使用する
ZC/TO <sub>0</sub> └ ZC/TO <sub>2</sub>	7~9	出力	ゼロ・カウント/タイム・アウト, タイマ・モ ード, カウンタ・モードのどちらのモードに おいても, ダウン・カウンタの値がゼロにな ると, この端子からパルスが出力される
$\overline{\text{IORQ}}$	10	入力	入出力リクエスト信号, MPUとCTC間のデ ータ, チャネル制御語の転送時にこの信号と $\overline{\text{RD}}$ , $\overline{\text{CE}}$ とを組み合わせて使用する
IEO	11	出力	割り込みイネーブル出力, デイジィ・チェー ンにおいて, 下位の周辺LSIの割り込みを制 御する, IEI端子が“H”レベルでかつ, MPUが CTC内のチャネルの割り込みサービスをし ていない場合にのみ“H”レベルになる
$\overline{\text{INT}}$	12	出力	割り込みリクエスト, IEIが“H”レベルであり, かつプログラムで割り込みが許可されている とき, CTC内のいずれかのチャネルのダウン・ カウンタがゼロをカウントすると, $\overline{\text{INT}}$ は“L” レベルになる
IEI	13	入力	割り込みイネーブル入力, デイジィ・チェー ンにおいて, 上位の周辺LSIの割り込みの有 無を示す
$\overline{\text{M1}}$	14	入力	マシン・サイクル1, MPUからのマシン・サ イクルを知らせる, $\overline{\text{RD}}$ と組み合わせて, MPU がメモリから命令をフェッチしていること や, $\overline{\text{IORQ}}$ と組み合わせて, MPUが割り込み アクノリッジ・サイクルにあることを示す. 割り込みベクトルをMPUに送る場合に $\overline{\text{IORQ}}$ と組み合わせて使用する

端子名	ピン番号	入出力	機能
CLK	15	入力	単相のクロック入力, 単相のZ80標準システム・ クロックを入力する, CLK端子がDC状態(“H” または“L”)ではCTCは静止状態となる
$\overline{\text{CE}}$	16	入力	チップ・イネーブル, MPUとCTC間のチャ ネル制御語, 割り込みベクトル, 時間定数の書 き込み, あるいは各チャネルのダウン・カウ ンタの内容の読み出し時に, $\overline{\text{IORQ}}$ , $\overline{\text{RD}}$ と組 み合わせて使用する
$\overline{\text{RESET}}$	17	入力	リセット信号, 全チャネルの動作が停止し, すべてのチャネル制御レジスタ中の割り込み イネーブル・ビットがリセットされる, $\overline{\text{RESET}}$ は最小3システム・クロック期間中“L” レベルでなければならない
CS <sub>0</sub> , CS <sub>1</sub>	18, 19	入力	チャネル選択, 書き込み, 読み出し時に2ビ ット・コードにより, CTCの4組のチャネル のいずれかを選択する
CLK/TRG <sub>0</sub> └ CLK/TRG <sub>3</sub>	23~20	入力	外部クロック/タイマ・トリガ, 4本のCLK/ TRG端子があり, 4組のチャネルに対応して いる, この端子から入力されるアクティブな 各エッジ(立ち上がりまたは立ち下がり)に より, カウンタ・モードではダウン・カウ ンタの内容が-1(デクリメント)され, タイ マ・モードではタイマ動作が起動される, ア クティブなエッジを立ち上がりとするか, 立 ち下がりとするかは選択可能



# Counter

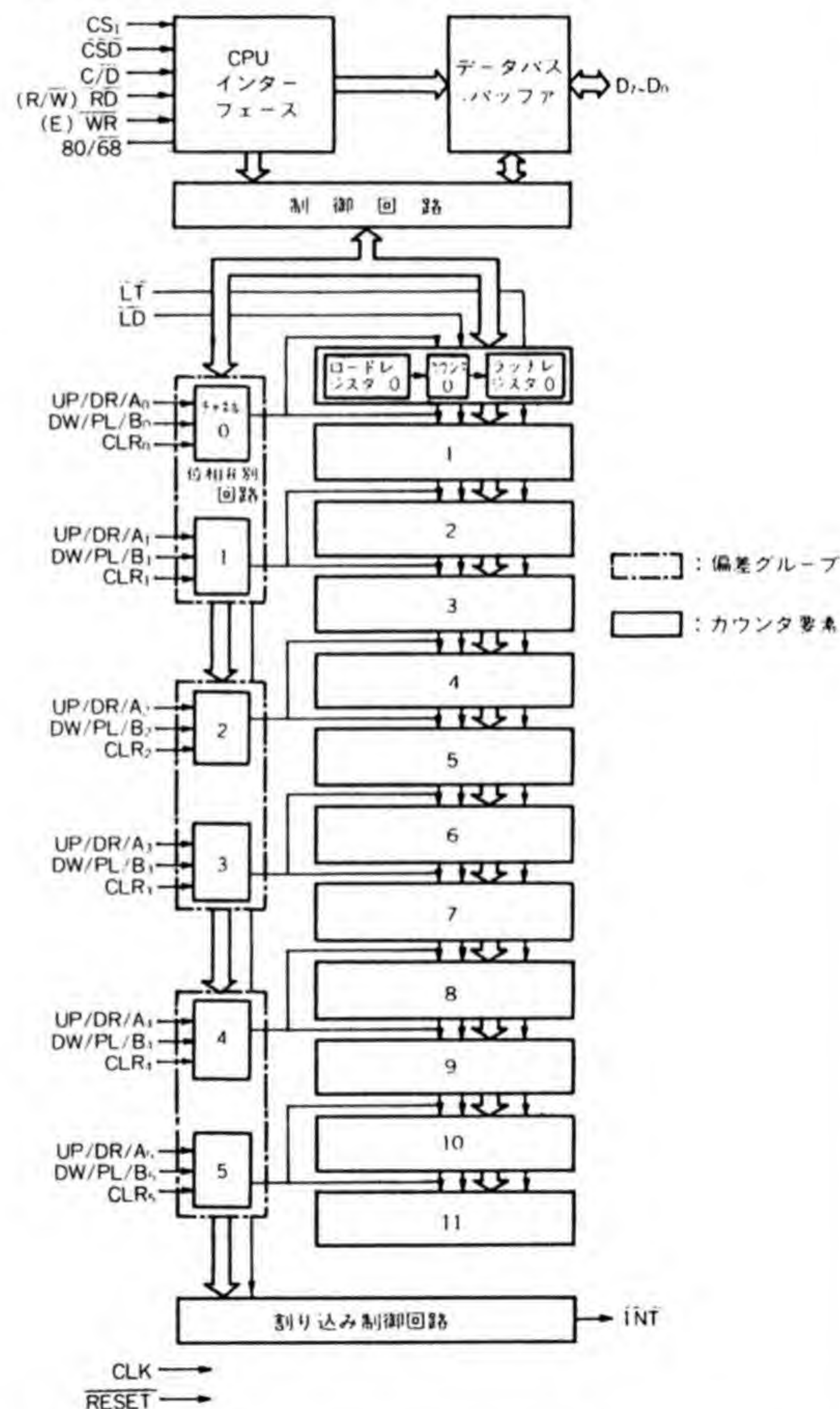
## ■ ピン接続



## ■ 特 徴

- ・最大6チャンネルのカウン트가可能な、主に位置計測を目的としたアップダウンカウンタ
- ・8ビット×12のカウンタ構成で、最大96ビット長のカウン트가可能
- ・位相弁別回路を6個持っており、その2個を組み合わせで偏差カウンタを構成できる
- ・カウンタ応答速度は5 Mcps (システムクロックが10 MHz時)
- ・入力形式  
アップダウン: 6組, 符号+パルス: 6組, インクリメンタル: 6組, 偏差入力: 3組
- ・データバスは8ビットで、80系, 68系のCPUインターフェース選択可能
- ・機能設定は内部レジスタによる
- ・カウンタのクリア条件はプログラマブル
- ・異常入力検出機能を持ち、異常入力時は割り込み出力を発生する

## ■ ブロック図



## ■ 最大定格

項目	記号	定 格	単位
電源電圧	V <sub>CC</sub>	-0.5~+7.0	V
入力電圧	V <sub>IN</sub>	-0.5~V <sub>CC</sub> +0.5	V
動作温度	T <sub>OPR</sub>	-40~+85	℃
保存温度	T <sub>STG</sub>	-55~+125	℃

## ■ DC特性

(T<sub>a</sub> = -40~85℃, V<sub>CC</sub> = 5V ± 10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IN</sub>		2.2*	V
V <sub>OL</sub>	I <sub>OL</sub> = 6mA	0.5	V
V <sub>ON</sub>	I <sub>IL</sub> = 2mA	3.7*	V
I <sub>IL</sub>		±10	μA
C <sub>IN</sub>	f = 1 MHz, T <sub>a</sub> = 25℃	6.0	pF



■端子機能

端子記号	端子名称	ピン番号	入出力	機 能
C/D	コマンド/データ	1	入力	内部レジスタの機能切り替えに使用する。"H"でコマンド・レジスタ、"L"でデータ・レジスタが選択される
CS1, CS0	チップ・セレクト	2, 3	入力	CPUからのチップ選択信号。CS1をH, CS0をLにすることで選択
RD	リード	4	入力	80系モードの場合の、CPUからのリード信号入力。"L"で読みだし動作が可能
R/W	リード・ライト			68系モードの場合の、CPUからのR/W信号入力。"H"で読みだし、"L"で書き込み動作可能
WR	ライト	5	入力	80系モードの場合の、CPUからのライト信号入力。"L"で書き込み動作が可能
E	イネーブル			68系モードの場合の、データ転送同期信号。通常CPUのφ2クロックを入力する
RESET	リセット	6	入力	チップのリセット信号で、レジスタの内容がリセットされる
D7-D0	データバス	7, 8, 11, 12, 28, 29, 31, 32	入出力	CPUとのデータ転送を行うための入出力データ・バス
CLK	システムクロック	9	入力	チップ内部の動作の同期クロック
LD	データロード	13	入力	この信号の立ち下がり検出時、ロードレジスタの内容がカウンタに書き込まれる
LT	データラッチ	14	入力	この信号の立ち下がり検出時、カウンタの内容がラッチレジスタにラッチされる
UP0-UP5	アップ・パルス	15, 18, 21, 24, 34, 37	入力	アップ・ダウン方式を選択した場合、この信号の立ち上がり検出時にカウンタが1増加する
DR0-DR5	符号			符号+パルス方式選択の場合、"H"なら増加符号(カントアップ)、"L"なら減少符号(カントダウン)となる
A0-A5	A相			インクリメンタル方式選択の場合、インクリメンタル方式2相信号のA相を入力する
DWP0-DW5	ダウン・パルス	16, 19, 22, 25, 35, 38	入力	アップ・ダウン方式を選択した場合、この信号の立ち上がり検出時にカウンタが1減少する
PL0-PL5	符号			符号+パルス方式選択の場合、この信号の立ち上がり検出時にカウンタが1増加または減少する
B0-B5	B相			インクリメンタル方式選択の場合、インクリメンタル方式2相信号のB相を入力する
CLR0-CLR5	クリア	17, 20, 23, 26, 36, 39	入力	カウンタ・グループの内容をクリアする。条件は、1)"H"検出時、2)インクリメンタル方式時の同期クリア、3)立ち上がり検出時、4)立ち下がり検出時、の中から選択可能
INT	割り込み要求	27	出力	各A/B相に異常入力が発生した場合に、この信号が"L"になる
80/68	CPU選択	33	入力	CPUバスが80系か68系かを選択する。"H"の場合は80系モード、"L"の場合は68系モードとなる

■異常入力検出機能

各入力形式毎に、以下の定義に従い異常を検出する。異常を検出するとINT信号が許可されている場合は、ステータス・ビットを立ててINT信号を"L"にする

(1) アップダウン形式の場合

異常入力は定義されていない(割り込みは発生しない)

(2) 符号+パルス形式の場合

PL信号(パルス)の立ち上がり時にDR信号(符号)が変化した場合は異常入力と判断される

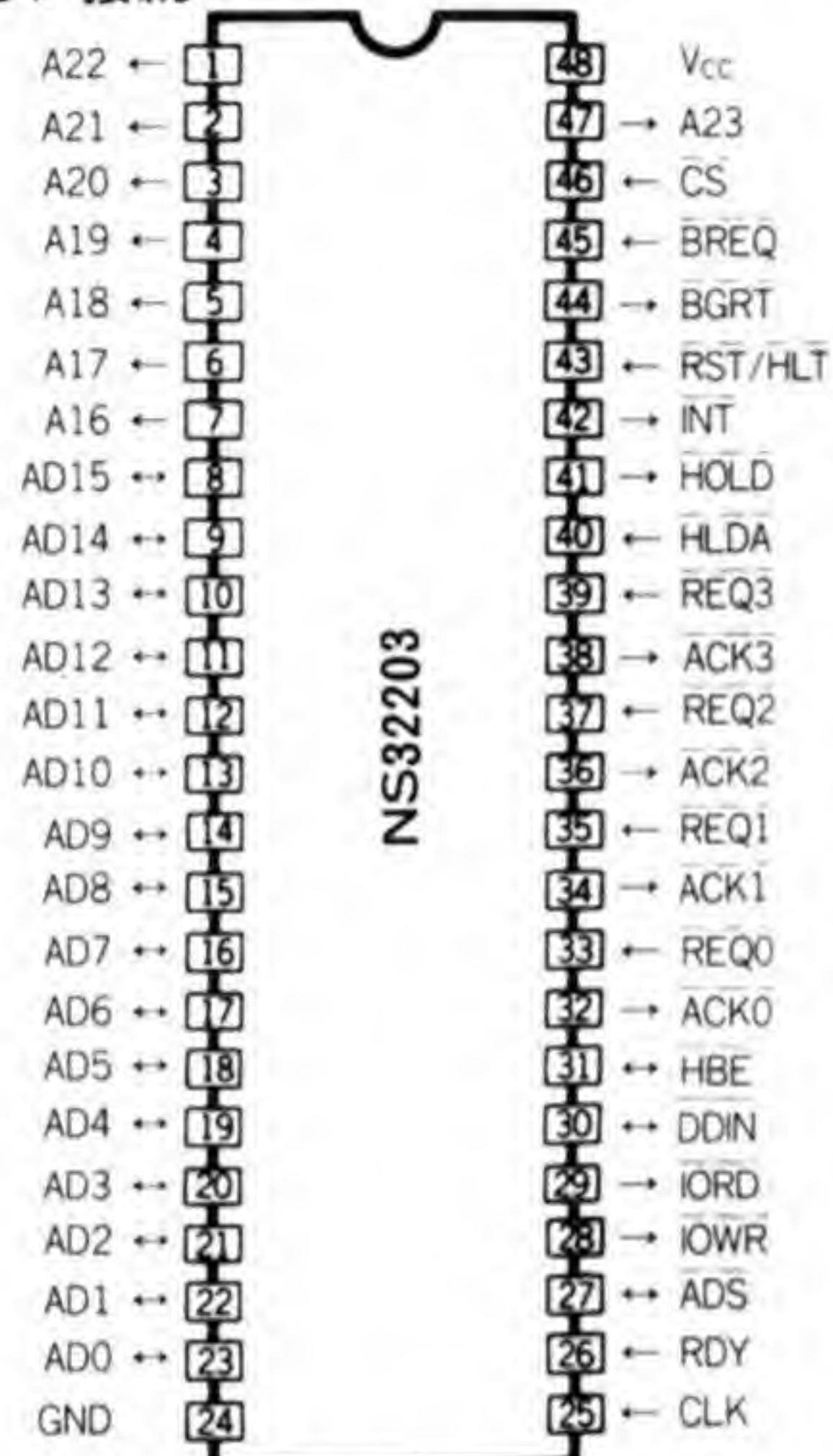
(3) インクリメンタル方式の場合

A, B相信号が同時に変化した場合は異常入力と判断される



# DMAC(Direct Memory Access Controller)

## ■ピン接続



## ■最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
消費電力	$P_D$	1.1	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■DC 特性

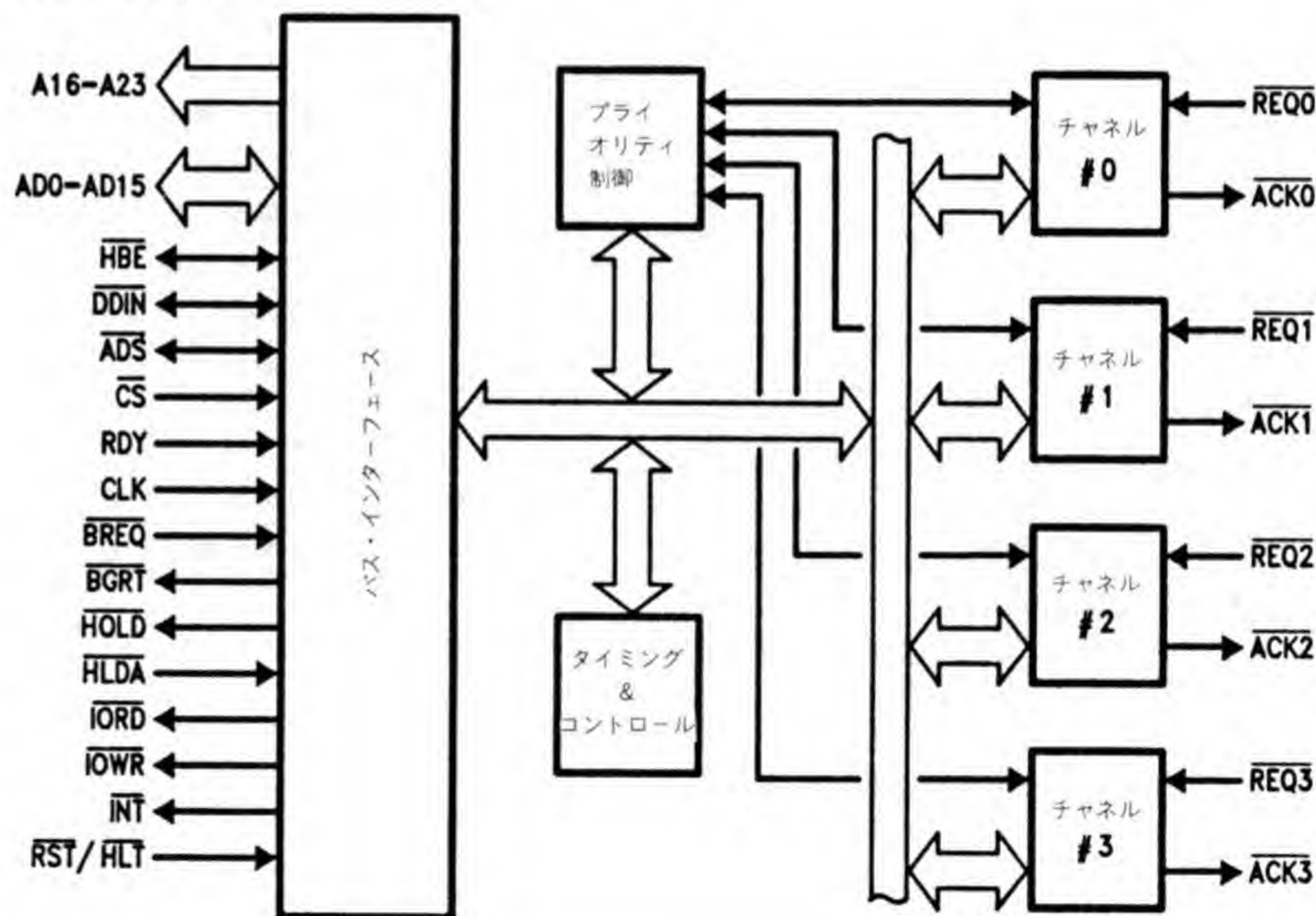
( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2\text{mA}$	0.45	V
$V_{OH}$	$I_{OH}=400\mu\text{A}$	2.4*	V
$I_{OFL}$		$\pm 20$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	$\pm 20$	$\mu\text{A}$

## ■特 徴

- ・ 32000シリーズ用のDMAコントローラ
- ・ メモリ～メモリ, I/O～I/O, メモリ～I/O間のデータ転送が可能
- ・ リモート(専用バス使用)およびローカル配置(CPUバス使用)をサポート
- ・ 8/16ビット・データ・バス幅切り替え可能
- ・ 8ビット・データを16ビットにパッキングして転送することが可能
- ・ 転送速度は最大5Mバイト/秒

## ■ブロック図





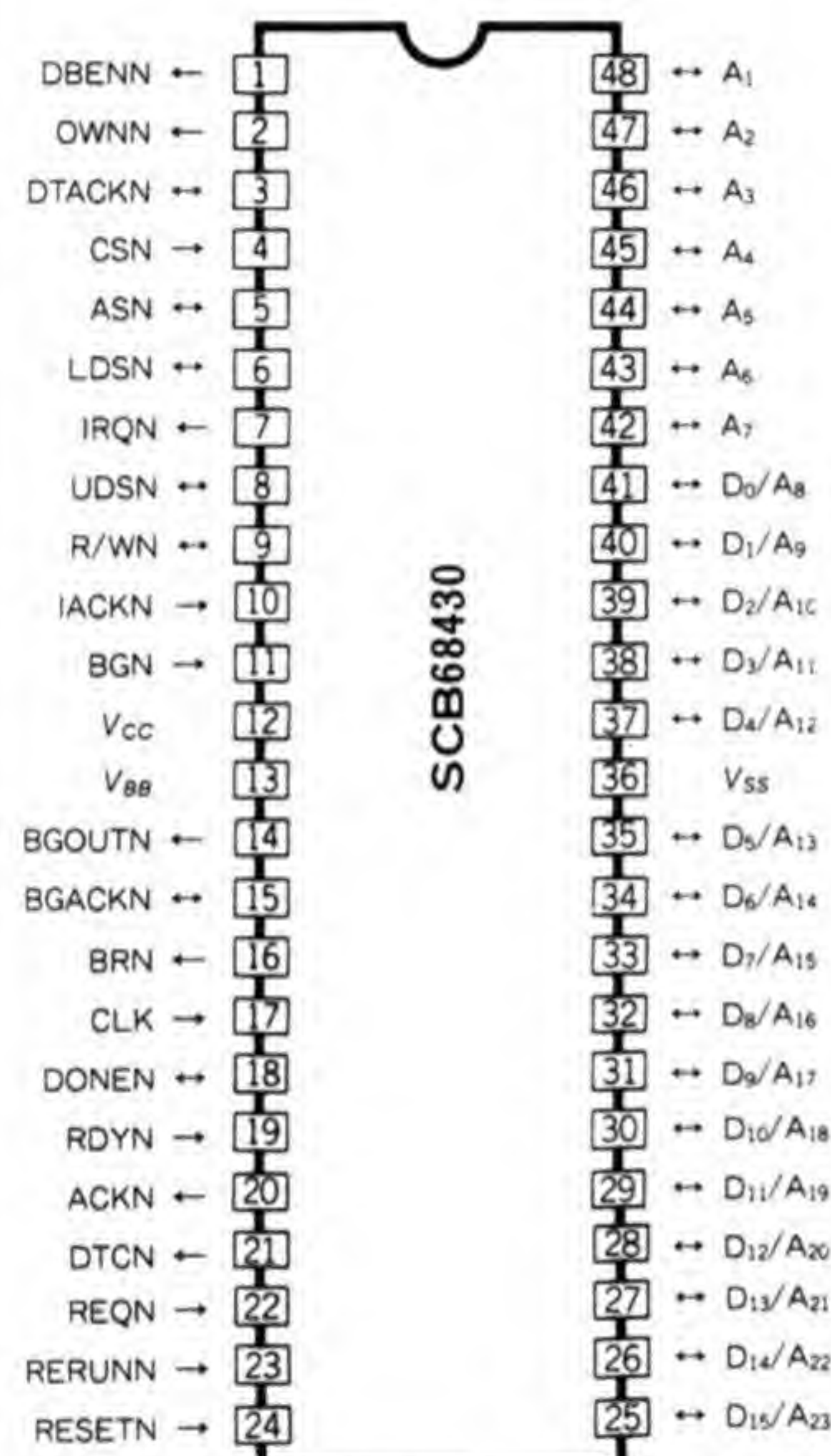
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{\text{RST/HLT}}$	リセット／ホルト	43	入力	ロー・アクティブ、1～2クロック・サイクルの間だけアクティブ信号を入力すると動作をホルトし、さらにアクティブにしたままにすると動作リセットとなる
$\overline{\text{CS}}$	チップ・セレクト	46	入力	チップ・セレクト信号入力、ロー・アクティブ
RDY	レディ	26	入力	低速メモリ、I/O対応のためバス・サイクルを拡張するための信号
$\overline{\text{REQ0}} \sim \overline{\text{REQ3}}$	チャンネル・リクエスト 0～3	33, 35, 37, 39	入力	DMAサービス要求信号、ロー・アクティブ
$\overline{\text{HLDA}}$	ホールドACK	40	入力	システム・バスの制御が放棄されたことを示すホールド・アクノリッジ信号入力
CLK	クロック	25	入力	システム・クロック入力
AD0～AD15	アドレス／データ 0～15	23～8	入出力	マルチプレックス・アドレス／データ・バス
A16～A23	アドレス 16～23	7～1, 47	出力	アドレスの上位8ビットを出力する
$\overline{\text{HOLD}}$	ホールド・リクエスト	41	出力	CPUに対するホールド・リクエスト信号
$\overline{\text{ACK0}} \sim \overline{\text{ACK3}}$	チャンネルACK 0～3	32, 34, 36, 38	出力	各チャンネルのDMA許可出力信号
$\overline{\text{BGRT}}$	バス・グラント	44	出力	リモート・バスが放棄されたことをCPUに知らせるための出力
$\overline{\text{IORD}}$	I/Oリード	29	出力	周辺デバイスからのデータ・リード信号
$\overline{\text{IOWR}}$	I/Oライト	28	出力	周辺デバイスへのデータ・ライト信号
$\overline{\text{INT}}$	インタラプト	42	出力	プログラムされた条件になったとき、割り込み要求を出力する
$\overline{\text{HBE}}$	ハイ・バイト・イネーブル	31	入出力	データ・バスの上位バイトが有効であることを示す、ロー・アクティブ
$\overline{\text{ADS}}$	アドレス・ストロープ	27	入出力	アドレス・ストロープ、ロー・アクティブ
$\overline{\text{DDIN}}$	データ・ディレクション	30	入出力	現在のバス・サイクルのデータ方向を示すステータス信号、ロー・アクティブ
$\overline{\text{BREQ}}$	バス・リクエスト	45	入力	リモート配置のとき使用し、この入力によってDMACはデータ転送を停止し、バスを解放する



# DMAI [DMA Interface]

## ■ ピン接続



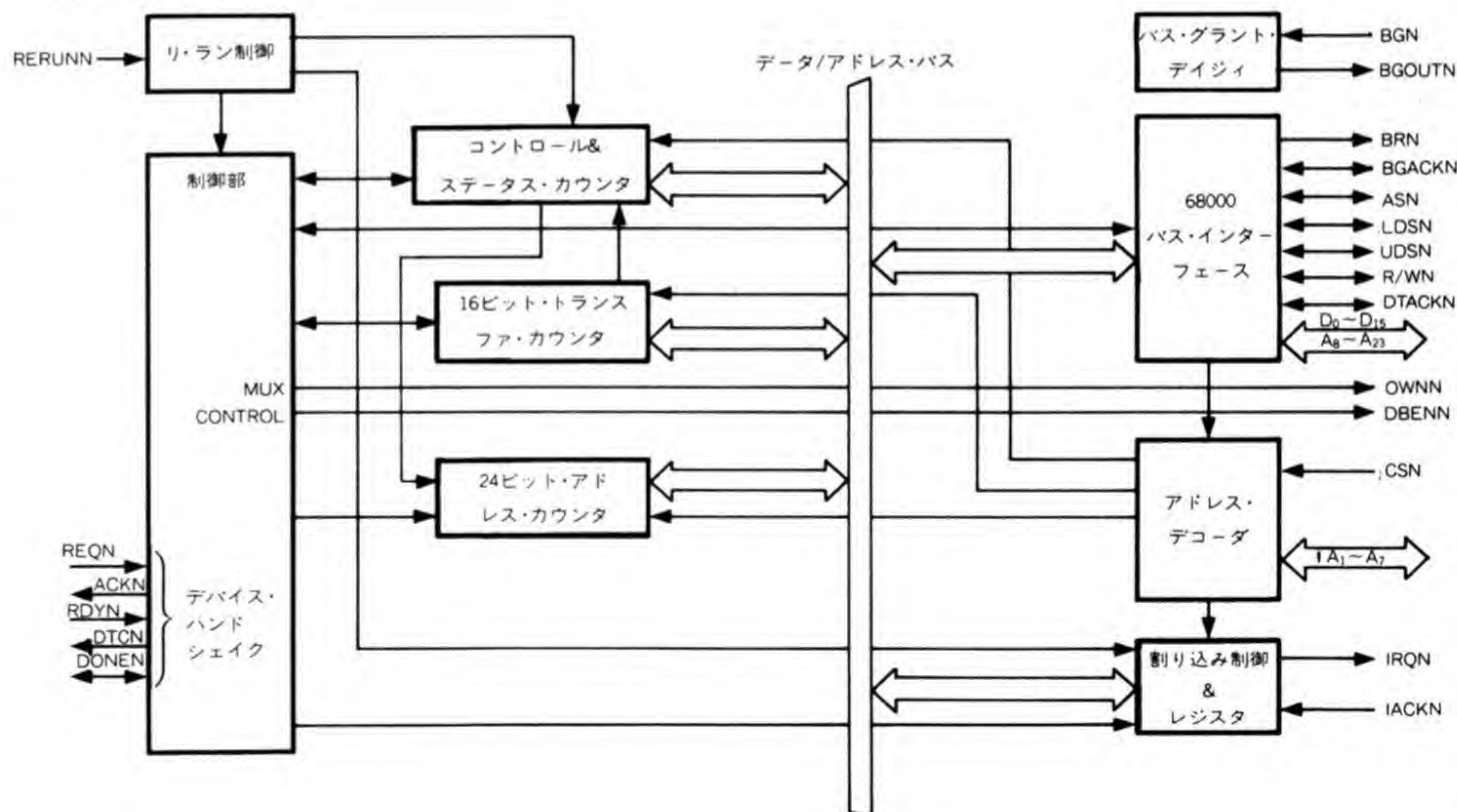
## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.5~7.0	V
入力電圧	V <sub>IN</sub>	-0.5~5.5	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-65~150	°C

## ■ 特徴

- ・ 68000対応のシングル・チャンネルDMAコントローラ
- ・ 68440および68450とソフト・コンパチブル
- ・ メモリとI/Oデバイス間の8/16/32ビット単位の転送が可能
- ・ 転送モードとして、サイクル・スチールとバースト転送が可能
- ・ 24ビットのアドレス・カウンタと16ビットの転送カウンタを内蔵
- ・ 最大6.25Mバイト/Sの転送レート

## ■ ブロック図



## ■ DC特性

(T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> =5.3mA	0.5	V
V <sub>OH</sub>	I <sub>OH</sub> =400μA	2.5*	V
I <sub>OL</sub>	V <sub>OUT</sub> =2.4V	20	μA



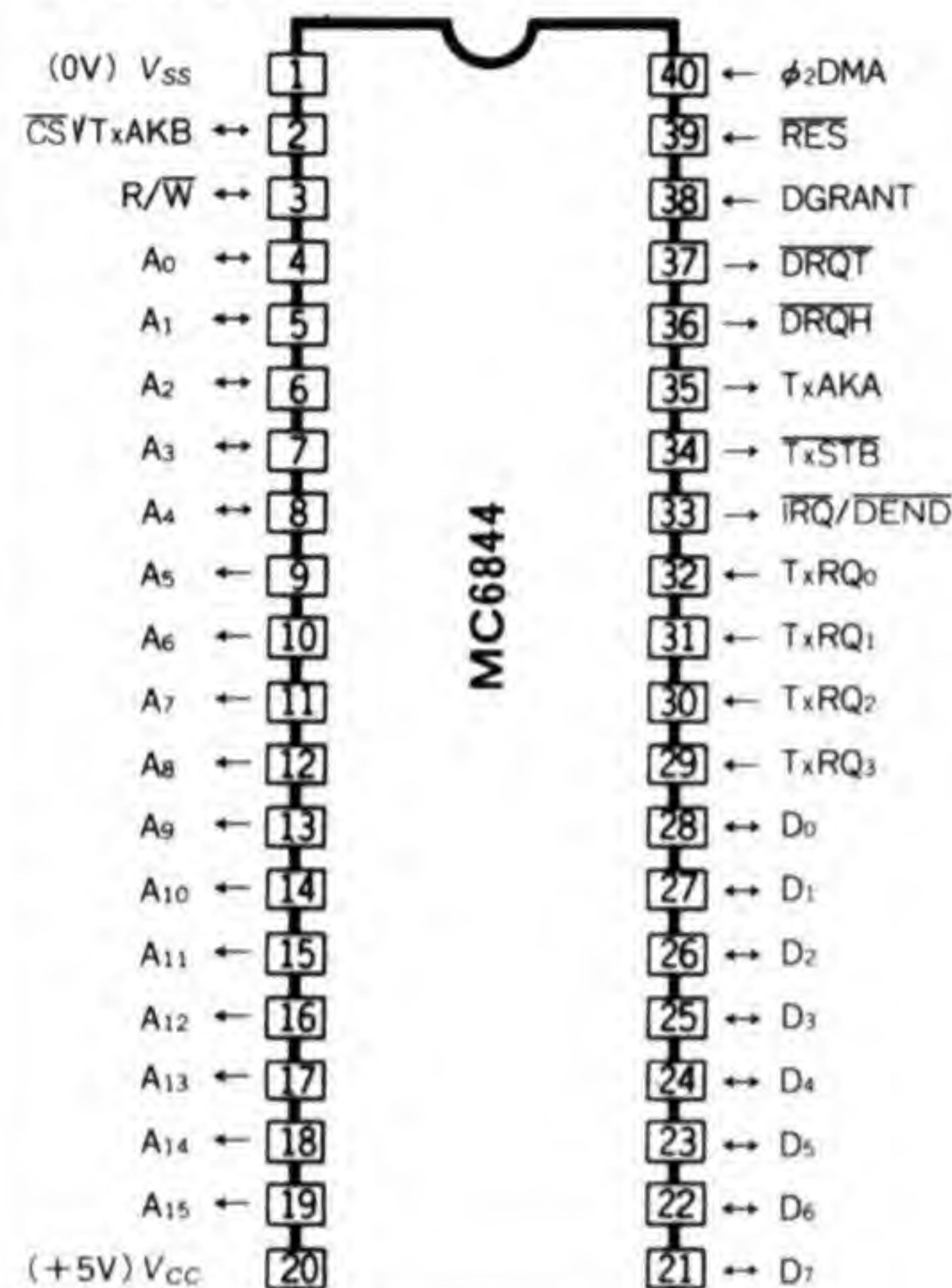
## ■端子機能

端子名	名称	ピン番号	入出力	機能
A <sub>1</sub> ~A <sub>7</sub>	アドレス・ライン	48~42	入出力	MPU モードでは、内部レジスタのアクセスに使用。DMA モードでは、メモリの下位アドレス出力となる
A <sub>8</sub> ~A <sub>23</sub> / D <sub>0</sub> ~D <sub>15</sub>	アドレス/データ	41~37, 35~25	入出力	データ・ラインとアドレス・ラインとに多重使用される
ASN	アドレス・ストロープ	5	入出力	バス上に有効なアドレスを出力したことを示す
UDSN	上位データ・ストロープ	8	入出力	ワード・データの上位データが有効であることを示す
LDSN	下位データ・ストロープ	6	入出力	ワード・データの下位データが有効であることを示す
R/WN	リード/ライト	9	入出力	データ・バスのリード/ライト方向を示す
CSN	チップ・セレクト	4	入力	データ入出力のためのチップ・セレクト信号
DTACKN	データ転送アクノリッジ	3	入出力	バス上のデータがラッチされたこと、または、バス上に有効なデータが出力されたことを示す信号
RESETN	マスタ・リセット	24	入力	内部コントロール・レジスタをクリアし、各端子をリセット状態にする
CLK	クロック	17	入力	内部動作クロックで、通常システム・クロックを用いる
IRQN	割り込み要求	7	出力	割り込みイネーブルのとき、転送終了、バス・エラー発生、アボート受信時に信号が出力される
IACKN	割り込みアクノリッジ	10	入力	現在のサイクルが、割り込みアクノリッジ・サイクルであることを示す
BRN	バス・リクエスト	16	出力	I/O デバイスからのリクエストを検出すると、バスの制御権を要求する信号
BGN	バス・グラント	11	入力	次のバス・マスタになり得ることを示す。デイジィ・チェーンなどのメカニズムで伝えられる
BGOUT	バス・グラント出力	14	出力	デイジィ・チェーン出力
BGACKN	バス・グラント・アクノリッジ	15	入出力	入力としては、バスの制御権をもつことができる時を示す信号。DMA モードでは、バス・マスタであることを示す信号
RERUNN	リ・ラン	23	入力	外部エラー・ロジックによって有効になり、バス・エラーを示す入力信号
REQN	DMA リクエスト	22	入力	I/O デバイスからの入力信号で、バスの制御権を要求させる
ACKN	DMA リクエスト・アクノリッジ	20	出力	バス使用権を得て、要求されたバス・サイクルが始まっていることを示す
RDYN	デバイス・レディ	19	入力	有効なデータがバス上に送出できるか、または出力されたことを示す
DTCN	デバイス転送完了	21	出力	デバイスに対して、要求されたデータ転送が完了したことを示す
DONEN	ダン	18	入出力	転送カウントが終了したことを示す出力。転送カウントが0になる前に入力があると、サービスをアボートし、割り込み要求を発生する
OWNN	OWN	2	出力	バス使用権をもっていることを示す出力信号
DBENN	データ・バス・イネーブル	1	出力	双方向データ・バッファをイネーブルするのに使われる出力信号



# DMAC (Direct Memory Access Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim +7.0$	V
動作温度	$T_{OPR}$	$-20 \sim +75$	°C
保存温度	$T_{STG}$	$-55 \sim +150$	°C

## ■ DC特性

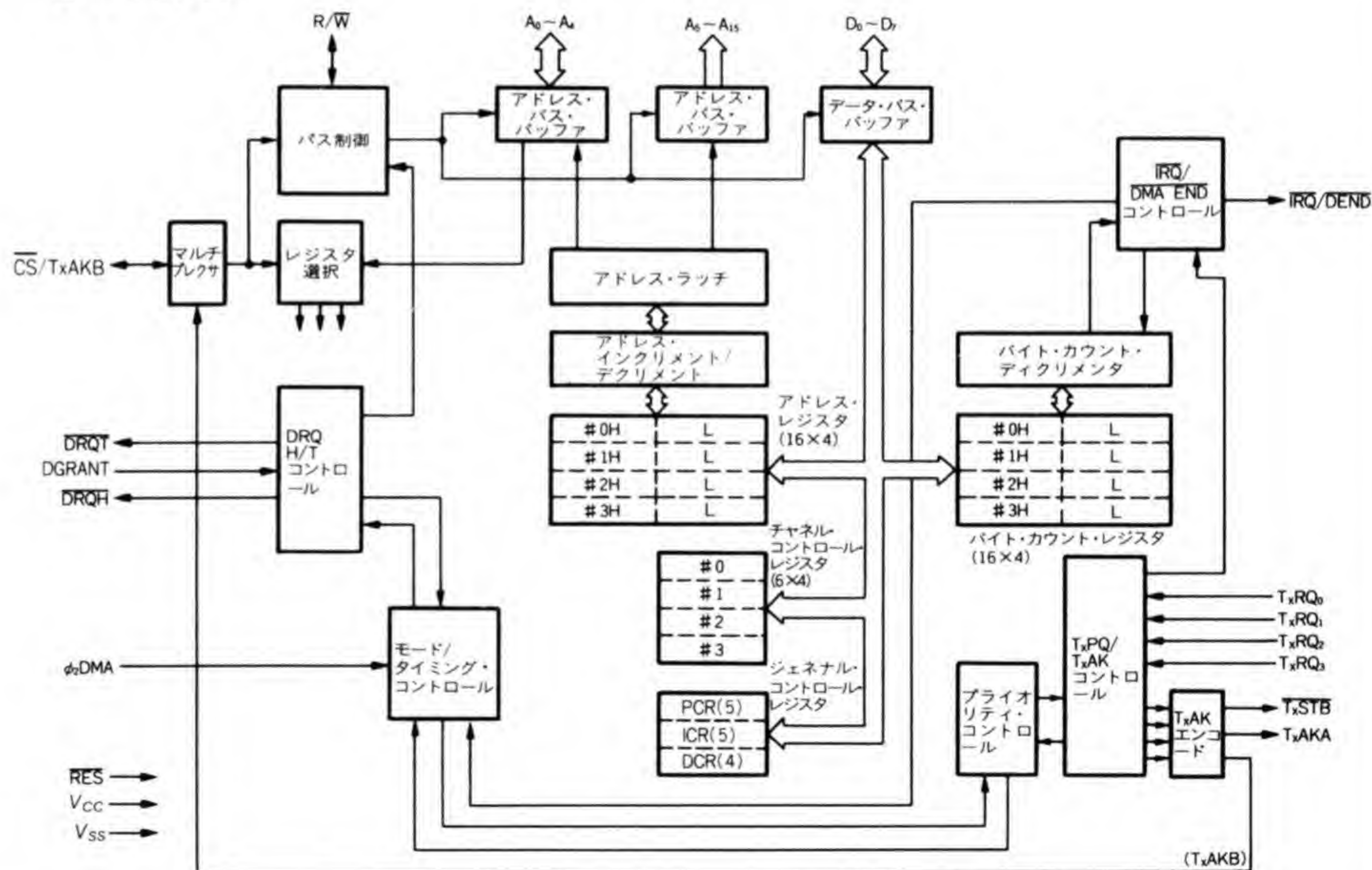
記号	max/min*	単位
$V_{IH}$	2.0*	V
$V_{IL}$	0.8	V
$V_{OH}$	2.4*	V
$V_{OL}$	0.4	V

## ■ 特徴

- ・ 68系CPUに適合
- ・ 独立した四つのDMAチャンネルをもつ
- ・ 最高2Mbyte/secのデータ転送レート
- ・ 全アドレス空間(65Kbyte)をアクセス可能
- ・ チャンネルの優先順位として番号順固定またはローテイト方式の選択が可能
- ・ HALTバースト・モード, HALTスチール・モード, TSCスチール・モードの三つのDMA転送モードが可能

- ・ 第3チャンネルから第0~2チャンネルへのデータ・チェイン機能が可能
- ・ CPUへの割り込みやI/O装置へのDMA終了制御が可能

## ■ ブロック図





■ 端子機能

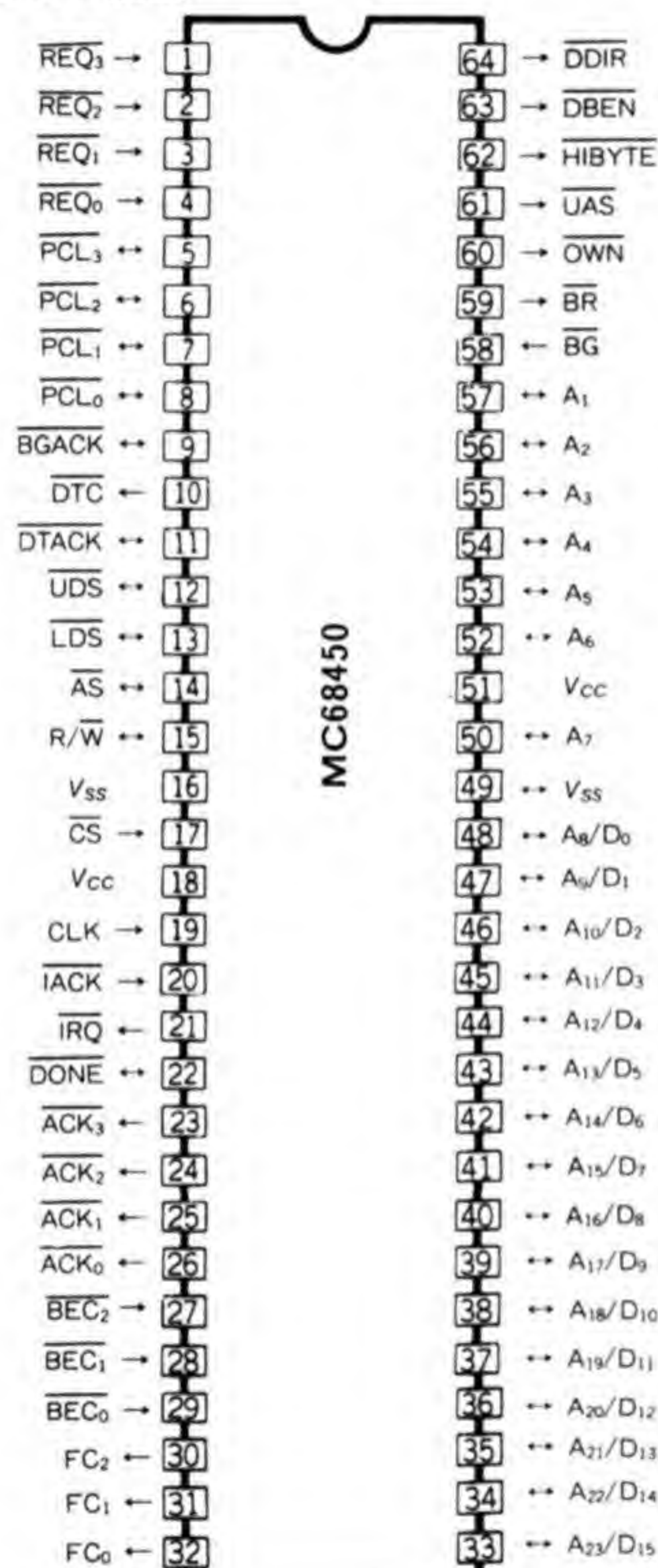
端子名	ピン番号	入出力	機能
A <sub>0</sub> ~A <sub>4</sub> , A <sub>5</sub> ~A <sub>15</sub>	4~19	入出力, 出力	DMA 転送を実行中は 16 本とも出力となり、DMA 転送を行うメモリのアドレスを CPU の代わりのシステムのアドレス・バスに出力する
D <sub>0</sub> ~D <sub>7</sub>	28~21	入出力	CPU が DMAC の内部レジスタにデータをリード/ライトするために使われる。CPU が DMAC のレジスタを読み出すとき以外はハイ・インピーダンス状態
R/ $\overline{W}$	3	入出力	CPU が動作中は入力モードとなり、“H”レベルの場合は CPU が DMAC のレジスタを読み出すことを指定し、“L”レベルの場合は書き込むことを指定する
TxRQ <sub>0</sub> ~ TxRQ <sub>3</sub>	32~29	入力	I/O デバイス・コントローラからの DMA 転送要求を受け付けるための入力端子で、各チャンネルごとに 1 本ずつもっている。 I/O デバイス・コントローラは、DMA 転送を実行したいときに TxRQ を “H”レベルにして転送を要求し、転送許可信号( $\overline{\text{TxSTB}}$ またはデコードされた TxAK <sub>0</sub> ~TxAK <sub>3</sub> )を受け取ると “L”レベルにリセットして要求を解除する
$\overline{\text{TxSTB}}$	34	出力	TxRQ に対する応答出力で、転送許可を I/O デバイス・コントローラに知らせる。次に TxAKA, TxAKB と組み合わせて、各チャンネルごとの転送許可(TxAK <sub>0</sub> ~TxAK <sub>3</sub> )を作る
TxAKA	35	出力	各チャンネルの TxRQ <sub>0</sub> ~TxRQ <sub>3</sub> に対する転送許可信号は、応答チャンネルの番号を TxAKA と TxAKB の 2 ビットにコード化した形で出力される

端子名	ピン番号	入出力	機能
$\overline{\text{CS}}$ / TxAKB	2	入出力	TxAKB は $\overline{\text{CS}}$ 入力と兼用される。すなわち $\overline{\text{CS}}$ /TxAKB 端子は CPU が動作中は $\overline{\text{CS}}$ 入力として使い、DMAC が転送動作中は TxAKB 出力として使われる
$\overline{\text{DRQH}}$	36	出力	CPU の $\overline{\text{HALT}}$ 端子に接続して CPU に HALT を要求するのに使う。この端子が “L”レベルになると、CPU は現在実行中の命令を終了後バスをハイ・インピーダンス状態とし、DMAC にシステム・バスをあげ渡す
$\overline{\text{DRQT}}$	37	出力	この端子は TSC モード DMA の場合に使われる
DGRNT	38	入力	$\overline{\text{DRQH}}$ または $\overline{\text{DRQT}}$ に対する応答信号で、CPU のバスがハイ・インピーダンス状態となって DMA を行ってもよいことを示す。この信号が “H”レベルの間には DMA 転送は行われる
$\overline{\text{IRQ}}$ / $\overline{\text{DEND}}$	33	出力	この出力はブロック転送が終了したことを、CPU および I/O デバイス・コントローラに知らせるために使われる
$\phi_2$ DMA	40	入力	DMAC は一相のクロック $\phi_2$ DMA ですべての動作の同期をとる。通常はシステムの $\phi_2$ クロックを入力する
$\overline{\text{RES}}$	39	入力	この端子が “L”レベルになると DMAC はイニシャライズされる。なおコントロール・レジスタ(CHCR と GCR)はすべて 0 にクリアされるが、アドレス・レジスタ(ADR)と転送語数レジスタ(BCR)はクリアされない



# DMAC (Direct Memory Access Controller)

## ■ ピン接続



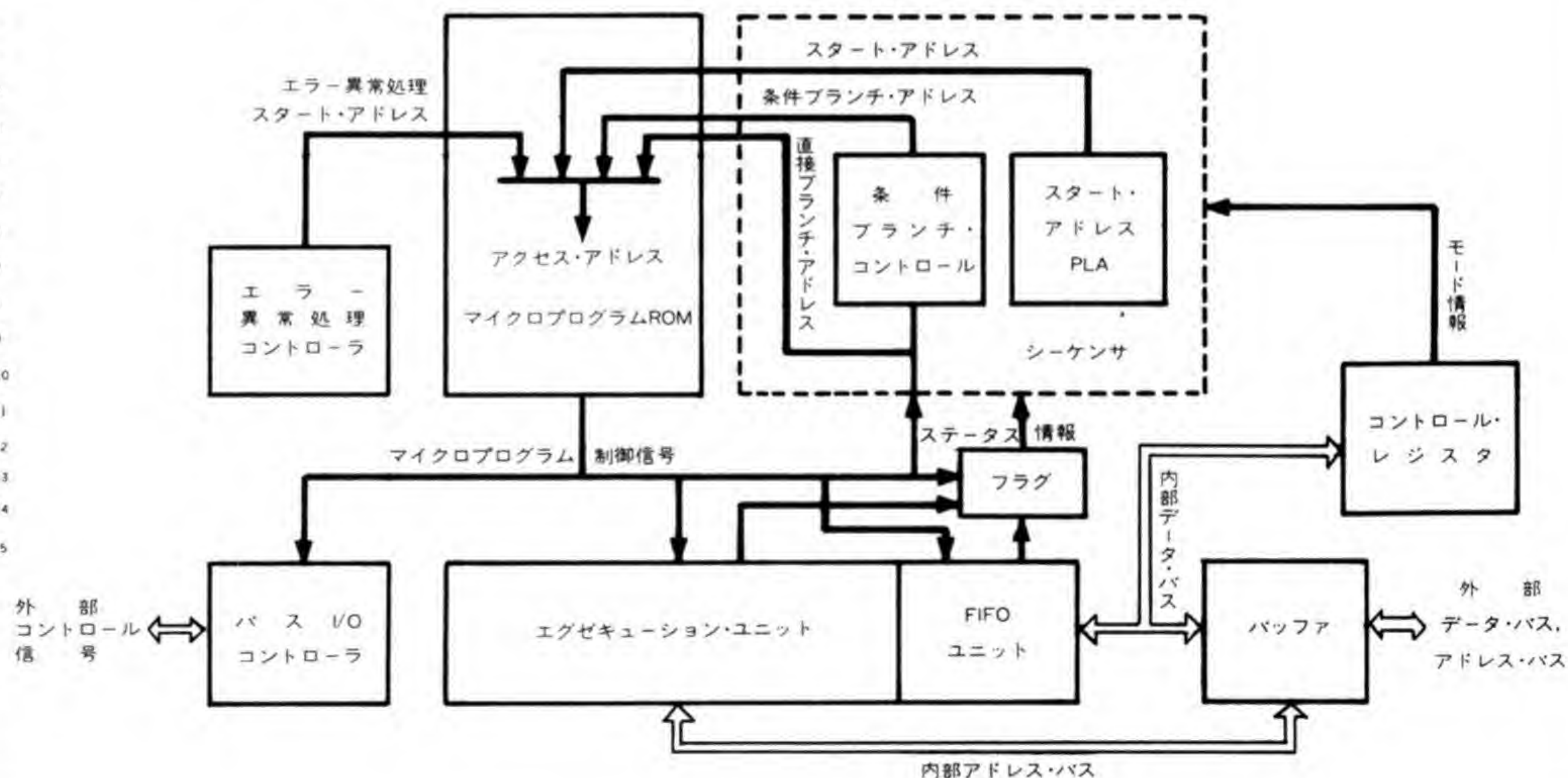
## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~7.0	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-55~150	°C

## ■ 特徴

- ・ 68000バス・コンパチブルで互いに独立に動作可能な4チャンネルDMAコントローラ
- ・ チャンネル・プライオリティはプログラマブル
- ・ メモリー-メモリー, メモリー-I/Oデバイス間転送が可能
- ・ 8/16ビットのI/Oデバイス対応がプログラマブル
- ・ オート・リクエストおよび外部リクエスト・モード
- ・ チェインなし, アレイ・チェイン, リンク・アレイ・チェインによる転送をサポート
- ・ 各チャンネルごとに2種類の割り込みベクタ
- ・ 68000バス例外処理サポート機能

## ■ ブロック図



## ■ DC特性

(T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> =5.3mA	0.5	V
V <sub>OH</sub>	I <sub>OH</sub> =400μA	2.4*	V
I <sub>IL</sub>		10	μA
C <sub>IN</sub>		15	pF



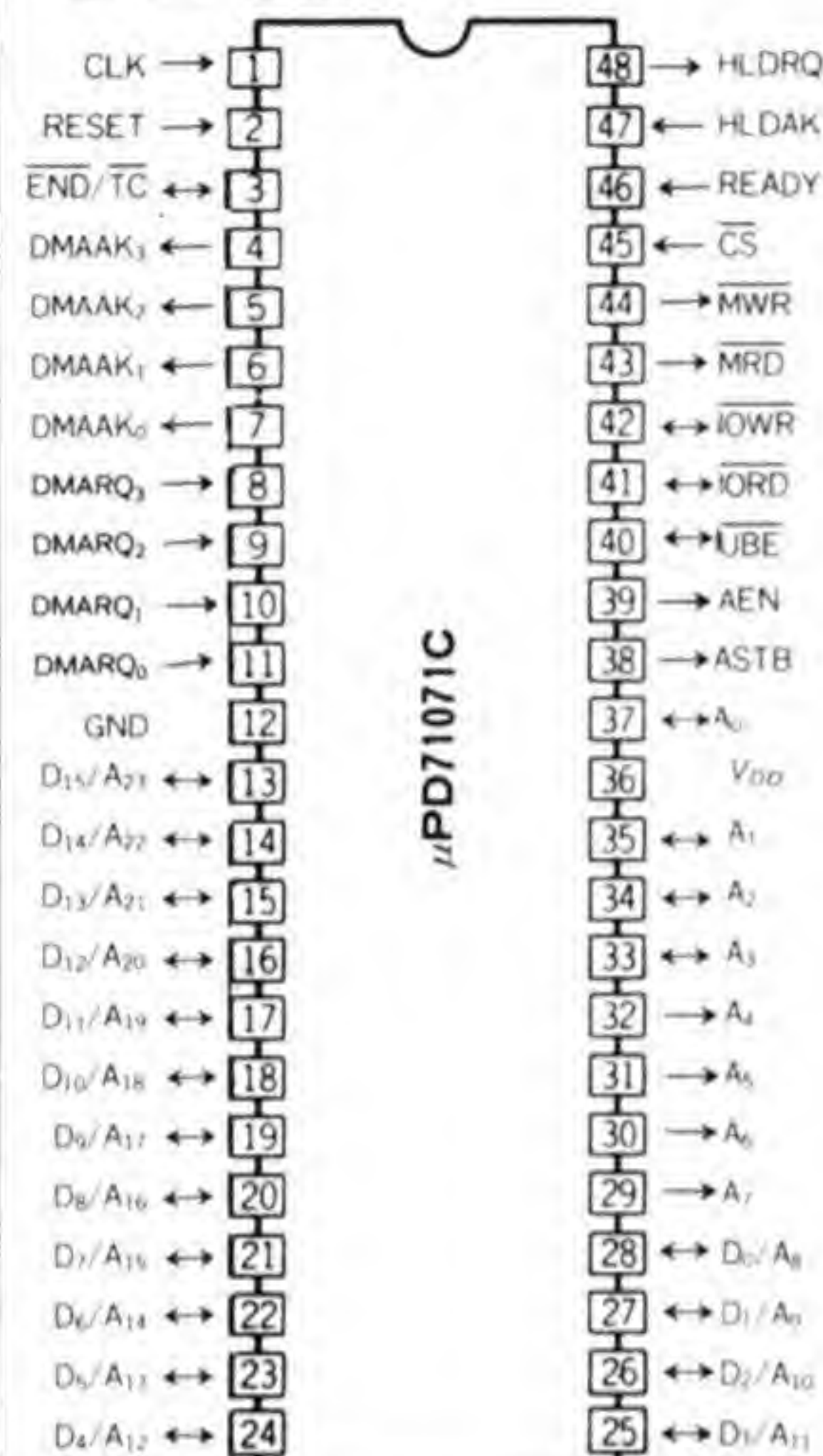
■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
CLK	クロック	19	入 力	DMAC への入力クロック
A <sub>1</sub> ~A <sub>7</sub>	アドレス・バス	57~52, 50	入出力	「MPU モード」では A <sub>1</sub> ~A <sub>7</sub> のアドレス・ラインと $\overline{\text{LDS}}$ , $\overline{\text{UDS}}$ で DMAC の内部レジスタをアクセスする
A <sub>8</sub> /D <sub>0</sub> ~ A <sub>23</sub> /D <sub>16</sub>	アドレス/データ・バス	48~33	入出力	この信号はアドレスとデータに時分割されている。DDIR, DBEN, UAS および OWN の各信号を用いて、外部回路によりデマルチプレクスを行う
FC <sub>0</sub> ~FC <sub>2</sub>	ファンクション・コード	32~30	出 力	DMA バス・サイクルの間、ファンクション・コードを示す
$\overline{\text{CS}}$	チップ・セレクト	17	入 力	「MPU モード」のとき、DMAC のチップ・セレクト信号として用いられる
$\overline{\text{AS}}$	アドレス・ストローブ	14	入出力	「MPU モード」では、この信号はアドレス入力が増幅されたことを示す入力信号となり、DMA バス・サイクルでは DMAC が出力したアドレスがバス上で増幅されたことを示す出力信号となる
$\overline{\text{UAS}}$	アッパ・アドレス・ストローブ	61	出 力	アドレス・ラインをラッチするために使われる出力信号
$\overline{\text{OWN}}$	OWN	60	出 力	「DMA モード」の間、DMAC によってアサートされ、アドレス・ライン・ラッチの出力コントロール用に使われる
$\overline{\text{DDIR}}$	データ・ディレクション	64	出 力	双方向バッファの方向をコントロールするのに使われる
$\overline{\text{DBEN}}$	データ・バス・イネーブル	63	出 力	マルチプレクス・アドレス・データ・バス上の双方向バッファの出力をコントロールするのに使われる
$\overline{\text{HIBYTE}}$	ハイ・バイト	62	出 力	シングル・アドレス・モードでオペランドがバイトであるとき、下位バイトにつながった I/O とメモリの上位バイトの間で転送を行う場合アサートされる
R/ $\overline{\text{W}}$	リード/ライト	15	入出力	「MPU モード」のとき入力となり、「DMA モード」のとき出力となる
UDS, LDS	アッパ・データ・ストローブ, ロウア・データ・ストローブ	12, 13	入出力	アドレス・ラインの A <sub>0</sub> に相当し、アクセスされているワード・データのどちらかのバイト（上位、下位）が有効であるかということを示す
$\overline{\text{DTACK}}$	データ・トランスファ・アクノ リッジ	11	入出力	「MPU モード」では、この信号は MPU によるデータの読み出し、書き込みを完了したということを示す出力信号として使われる。「DMA モード」では、DMAC はデータ転送の完了時期を知るためにこの信号をモニタする
BEC <sub>0</sub> ~ BEC <sub>2</sub>	バス・エクセプション・コント ロール	29~27	入 力	DMA バス・サイクルで例外状態が発生したことを知らせるエンコードされた信号
$\overline{\text{BR}}$	バス・リクエスト	59	入 力	$\overline{\text{BR}}$ に対するグラント信号で、次のバス・サイクルでバス占有権を与えるということを DMAC に知らせるのに使われる
$\overline{\text{BGACK}}$	バス・グラント・アクノリッジ	9	入出力	DMAC がバス・マスタとなっていることを知らせる力信号。および $\overline{\text{BGACK}}$ を出力する I/O デバイスがバスを占有していることをモニタする入力信号として使われる
$\overline{\text{IRQ}}$	インタラプト・リクエスト	21	出 力	割り込みを要求するときに使われる信号
$\overline{\text{IACK}}$	インタラプト・アクノリッジ	20	入 力	現在のバス・サイクルが割り込みアクノリッジ・サイクルであることを知らせる
REQ <sub>0~3</sub>	チャンネル・リクエスト	4~1	入 力	周辺デバイスからの DMA 転送要求信号
ACK <sub>0~3</sub>	チャンネル・アクノリッジ	26~23	出 力	転送要求して I/O デバイスに対して転送が始まるということを示す信号
PCL <sub>0</sub> ~ PCL <sub>3</sub>	ペリフェラル・コントロール・ラ イン	8~5	入出力	START 出力、イネーブル・クロック、READY、ABORT、STATUS および割り込みなどの入力として個別にプログラムされる多目的信号
DONE	ダン	22	入出力	この信号は出力としては転送が終わり、最終の DMA バス・サイクルの ACK <sub>x</sub> タイミングと同時にアサートされる。入力としては I/O デバイスから DMA 転送の正常終了を知らせるのに使われる
$\overline{\text{DTC}}$	データ・トランスファ・コンプ リート	10	出 力	DMA バス・サイクルが正常に終了した場合に出力される



# DMAC (Direct Memory Access Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{DD}$	-0.5 ~ +7.0	V
入力電圧	$V_{IN}$	-0.5 ~ +7.0	V
動作温度	$T_{OPR}$	-40 ~ +85	°C
保存温度	$T_{STG}$	-65 ~ +125	°C

## ■ DC特性

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.5 \text{ mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400 \mu\text{A}$	$0.7 V_{DD}$ *	V
$I_{OFL}$	$V_{OUT} = 0 \sim V_{DD}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{DD}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		15	pF

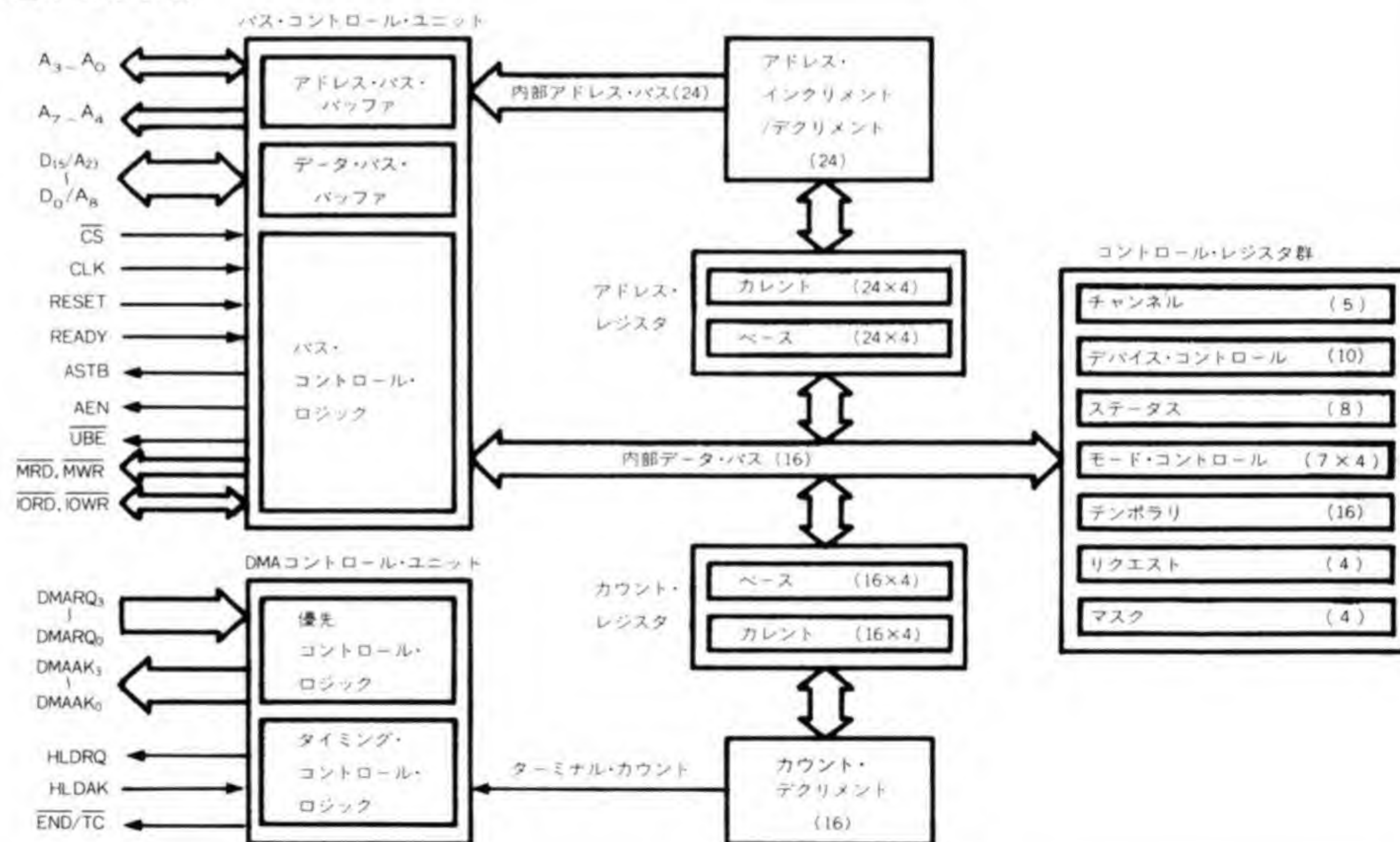
## ■ 特徴

- ・ 四つの独立したDMAチャンネル
- ・ 16MBアドレスと64Kトランスファ・カウンタ
- ・ 8/16ビット・データ・バス幅切り替え可能
- ・ 豊富な転送機能
  - バイト/ワード転送
  - 3種類の転送モード (シングル/デマンド/ブロック)
  - 2種類のバス・モード (リリース/ホールド)

## 2種類の転送タイミング (通常/圧縮) メモリーメモリー転送

- ・ 個々のDMAリクエストの許可/禁止
- ・ ソフトウェアDMAリクエスト
- ・ 個々のDMAチャンネルのオート・イニシャライズの禁止/許可
- ・ DMAチャンネルの固定/回転優先順位
- ・ カスケード接続可能

## ■ ブロック図





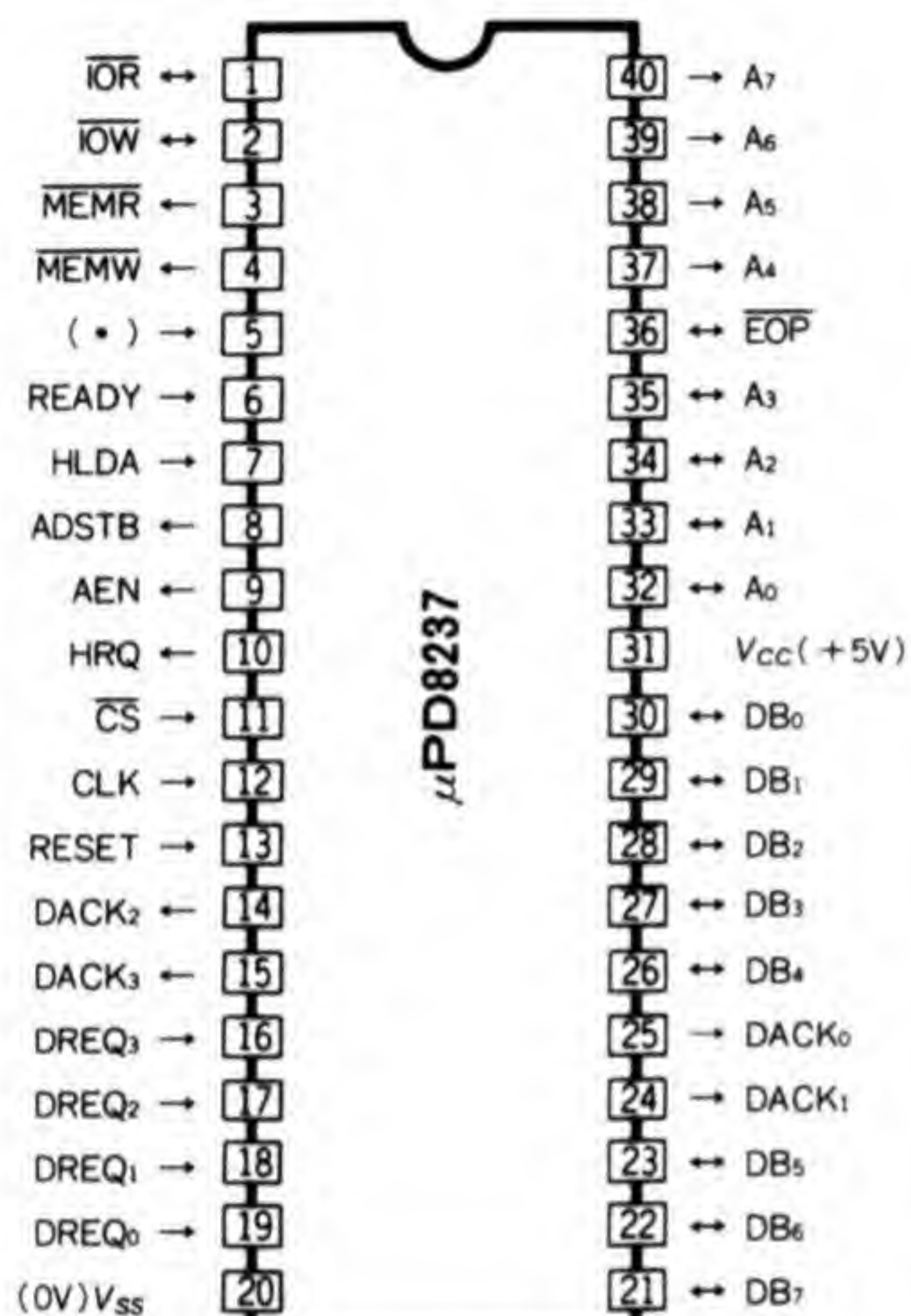
■端子機能

端子名	名称	ピン番号	入出力	機能
$V_{DD}$	電源	36	—	正電源端子
GND	グラウンド	12	—	グラウンド(0 V)端子
CLK	クロック	1	入力	内部動作、データ転送速度を制御するクロックを入力する端子
$\overline{CS}$	チップ・セレクト	45	入力	I/O デバイスとして選択するための信号を入力する端子
RESET	リセット	2	入力	初期化するための信号を入力する端子
READY	レディ	46	入力	DMA 動作時に、1 回のデータ転送が終了したことを示す信号の入力端子
HLDRQ	ホールド要求	48	出力	CPU に対するバス・ホールド要求を出力する端子
HLDK	ホールド応答	47	入力	CPU からのバス・ホールド承認を入力する端子
DMARQ <sub>3-0</sub>	DMA 要求	8~11	入力	周辺デバイスからの DMA サービス要求を入力する端子
DMAAK <sub>3-0</sub>	DMA 応答	4~7	出力	周辺デバイスに DMA サービスが許可されたことを示す出力端子
$\overline{END}/\overline{TD}$	DMA 終了	3	入出力	DMA 転送を終了させるための入力と、指定された回数の DMA 転送が終了したことを示す出力を兼ねた端子
A <sub>3</sub> ~A <sub>0</sub>	アドレス・バス	33~35, 37	入出力	アドレス・バスの下位 4 ビット端子
A <sub>7</sub> ~A <sub>4</sub>	アドレス・バス	29~32	出力	アドレス・バスの中位 4 ビット端子
D <sub>15</sub> /A <sub>23</sub> ~ D <sub>0</sub> /A <sub>8</sub>	データ/アドレス・バス	13~28	入出力	マルチプレクスによって、16 ビット・データ・バスまたはアドレス・バス上位 16 ビットとして用いられる端子
ASTB	アドレス・ストローブ	38	出力	DMA 動作中アドレスの上位 16 ビットを外部にラッチするための信号を出力する端子
AEN	アドレス・イネーブル	39	出力	外部アドレス・ラッチの出力を許可するための信号を出力する端子
$\overline{UBE}$	アッパ・バイト・イネーブル	40	入出力	16 ビット・データ・バス選択時に、データ・バスの上位バイトが有効であることを示すための入出力端子
$\overline{IORD}$	I/O リード	41	入出力	CPU が μPD71071 のデータを読み出すための信号入力と、DMA 動作時に μPD71071 が周辺デバイスからデータを読み出すための信号出力を兼ねた端子
$\overline{IOWR}$	I/O ライト	42	入出力	CPU が μPD71071 にデータを書き込むための信号入力と、DMA 動作時に μPD71071 が周辺デバイスにデータを書き込むための信号出力を兼ねた端子
$\overline{MRD}$	メモリ・リード	43	出力	DMA 動作時に μPD71071 がメモリからデータを読み出すための信号を出力する端子
$\overline{MWR}$	メモリ・ライト	44	出力	DMA 動作時に μPD71071 がメモリにデータを書き込むための信号を出力する端子



# DMAC [Direct Memory Access Controller]

## ■ ピン接続



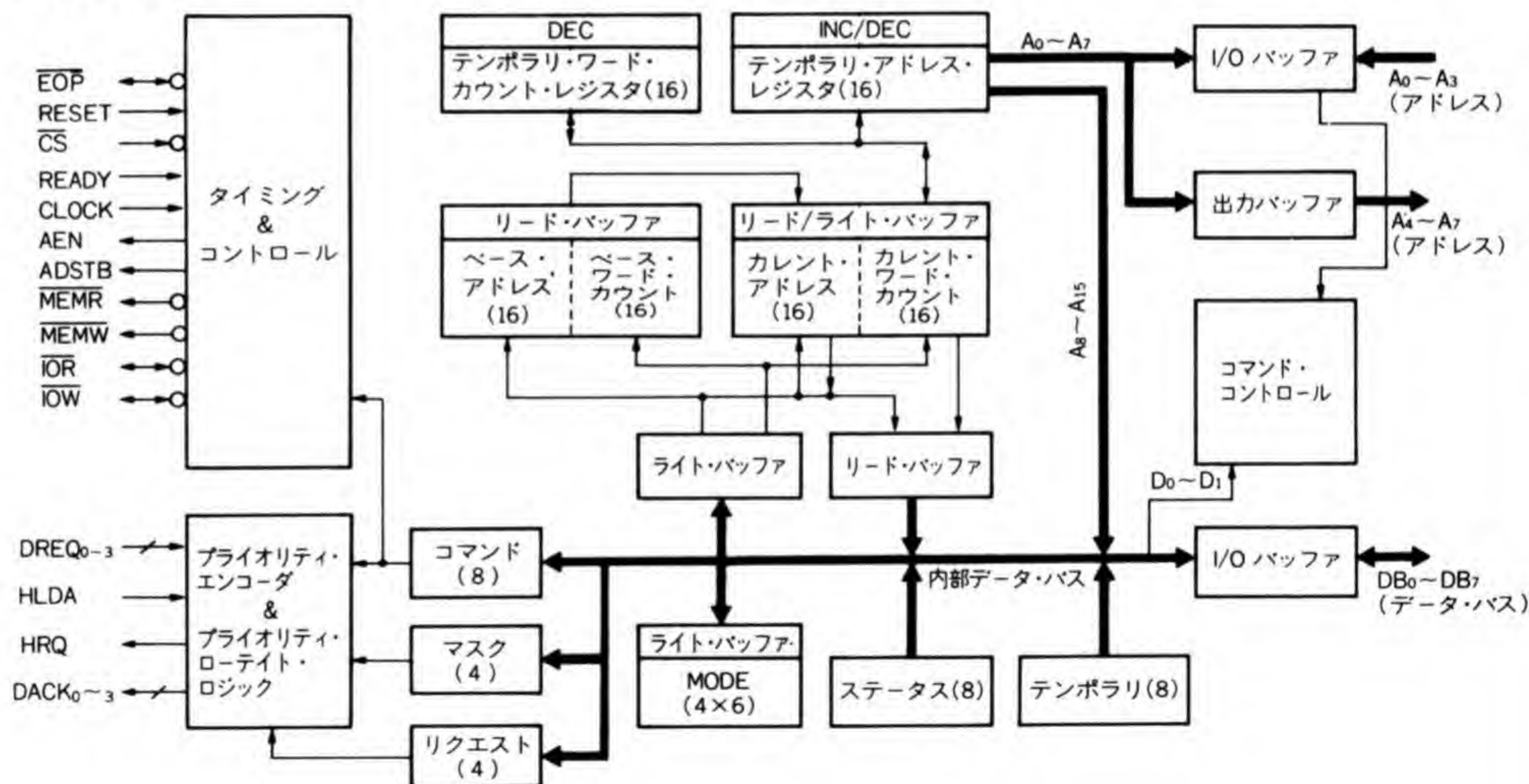
・:常に“H”レベルに保つ必要がある入力端子。内部プルアップ抵抗がついているためオープン使用可能

## ■ 特徴

- ・個々のDMAリクエストの許可/禁止制御
- ・四つの独立したDMAチャンネル
- ・すべてのチャンネルを個々にオート・イニシャライズ
- ・メモリ-メモリ転送
- ・メモリ・ブロック・イニシャライズ
- ・アドレス・インクリメント/デクリメント
- ・1.6M (圧縮タイミング時は2.5M) byte/secまで転送

- ・任意のチャンネル数に直接拡張可能
- ・転送終端用のEOP (エンド・オブ・プロセス) 入力
- ・ソフトウェアDMAリクエスト
- ・DREQとDACK信号のアクティブ・レベルを各ラインごとに変更可能
- ・縦続接続

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
入力電圧	$V_{IN}$ (対 $V_{SS}$ )	-0.5 ~ +7.0	V
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	-65 ~ +150	°C



## ■ 端子機能

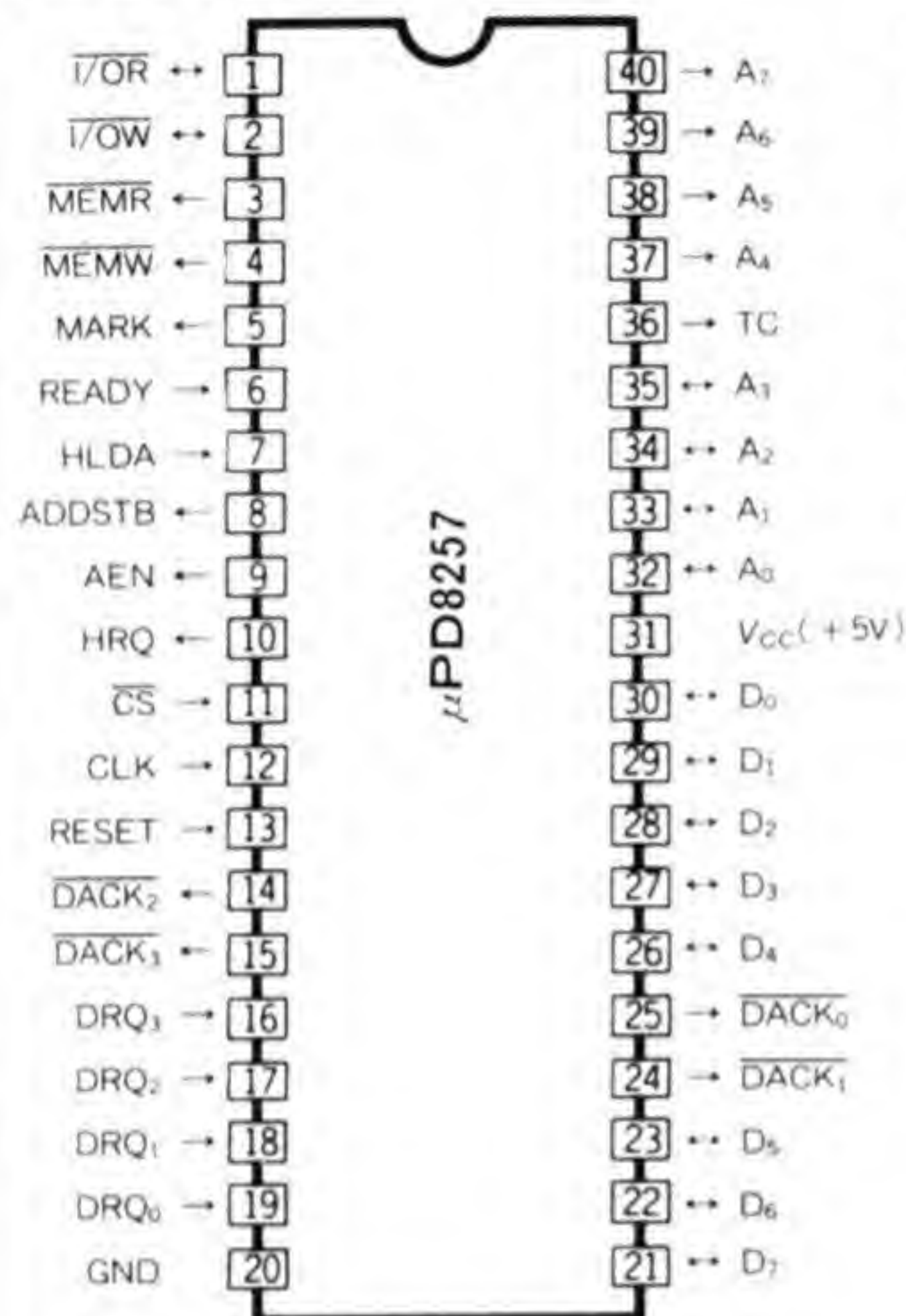
端子名	ピン番号	入出力	機能
CLK	12	入力	8237 A の内部動作とデータ転送速度の制御
$\overline{CS}$	11	入力	アイドル・サイクル間に I/O デバイスとして 8237 A を選択するために用いられる
RESET	13	入力	コマンド、ステータス、リクエスト、テンポラリの各レジスタをクリアする非同期の入力。ファースト/ラスト/FF をクリアし、マスク・レジスタをセットする。リセット後はアイドル・サイクルに入る
READY	6	入力	低速のメモリや I/O 周辺デバイスに適應させるために、8237 A からのメモリ・リード/ライト・パルスを拡張する
HLDA	7	入力	ホールド・アクリリッジ信号。システム・バスの制御が放棄されたことを示す
DREQ <sub>0</sub> } DREQ <sub>3</sub>	19 } 16	入力	周辺回路が DMA サービスを要求するためのチャンネル・リクエスト入力。個々に独立して非同期。各 DREQ ラインをアクティブにすることにより、リクエスト発生。固定優先順位は DREQ <sub>0</sub> → DREQ <sub>3</sub> の順。DREQ は、その受け付けを知らせる DACK がアクティブになるまで、保持されなければならない。DREQ のアクティブ・レベル("H"/"L")はプログラマブルであるが、RESET でアクティブ "H" にイニシャライズされる
DB <sub>0</sub> } DB <sub>7</sub>	30~26, 23~21	入出力	3 ステート。システム・データ・バスに接続される。DMA サイクル中、アドレスの上位 8 ビットがデータ・バスに出力され、ADSTB 信号によって外部ラッチにストロープ入力される
$\overline{IOR}$	1	入出力	3 ステート。アイドル・サイクルでは、CPU がコントロール・レジスタをリードするために用いる入力制御信号となり、アクティブ・サイクルでは、DMA ライト転送間に 8237 A が周辺回路からのデータをアクセスするために用いる出力制御信号となる
$\overline{IOW}$	2	入出力	3 ステート。アイドル・サイクルでは、CPU が 8237 A に情報をロードするために用いられる入力制御信号となり、アクティブ・サイクルでは、DMA リード転送間に、8237 A が周辺回路にデータをロードするために用いられる出力制御信号となる

端子名	ピン番号	入出力	機能
$\overline{EOP}$	36	入出力	オープン・ドレイン。DMA サービスの終了に関する情報を得る。外部 $\overline{EOP}$ 信号入力("L")による場合と、各チャンネルに対するターミナル・カウント(TC)に到達して一つのパルスが $\overline{EOP}$ 端子に出された場合、DMA サービスを終了する。その結果、リクエストをリセットし、オート・イニシャライズがイネーブルのときは、ベース・レジスタをそのチャンネルのカレント・レジスタに書き込む。使用しない場合、誤ったプロセス終了入力を防ぐためにプルアップしておく必要がある
A <sub>0</sub> ~A <sub>3</sub>	32~35	入出力	3 ステート。アドレスの下位 4 ビット・ライン。アイドル・サイクルでは入力となり、コントロール・レジスタをロードまたはリードするためのアドレスを示す。アクティブ・サイクルでは出力となり、出力アドレスの下位 4 ビットを供給する
A <sub>4</sub> ~A <sub>7</sub>	37~40	出力	3 ステート。アドレスの上位 4 ビット・ライン。DMA サービス期間中のみイネーブルにされる
HRQ	10	出力	CPU に対するホールド・リクエスト信号。システム・バスの制御を要求するために用いる。有効な DREQ が現れると、HRQ を発生する。HRQ がアクティブになってから、HLDA がアクティブになる前に、少なくとも 1 クロック・サイクルが必要。最も速い移行方で、SI → SO → SO → SI → ... となる
DACK <sub>0</sub> } DACK <sub>3</sub>	25, 24 14, 15	出力	周辺回路に DMA サイクルが許可されたことを知らせる。アクティブ・レベルはプログラマブルであるが、リセット信号によりアクティブ "L" にイニシャライズされる
AEN	9	出力	アドレスの上位 8 ビットを含むラッチをイネーブルにし、システム・アドレス・バスに出力させる。また、DMA 転送間にほかのシステム・バス・ドライバを禁止する
ADSTB	8	出力	アドレス・ストロープ信号。外部ラッチに上位アドレス・バイトをストロープするために用いられる
$\overline{MEMR}$	3	出力	3 ステート。DMA リードまたはメモリ・メモリ転送間に、選択されたメモリ・ロケーションからデータをアクセスするために用いる
$\overline{MEMW}$	4	出力	3 ステート。DMA ライトまたはメモリ・メモリ転送間に、選択されたメモリ・ロケーションからデータを書き込むために用いる



# DMAC (DMA Controller)

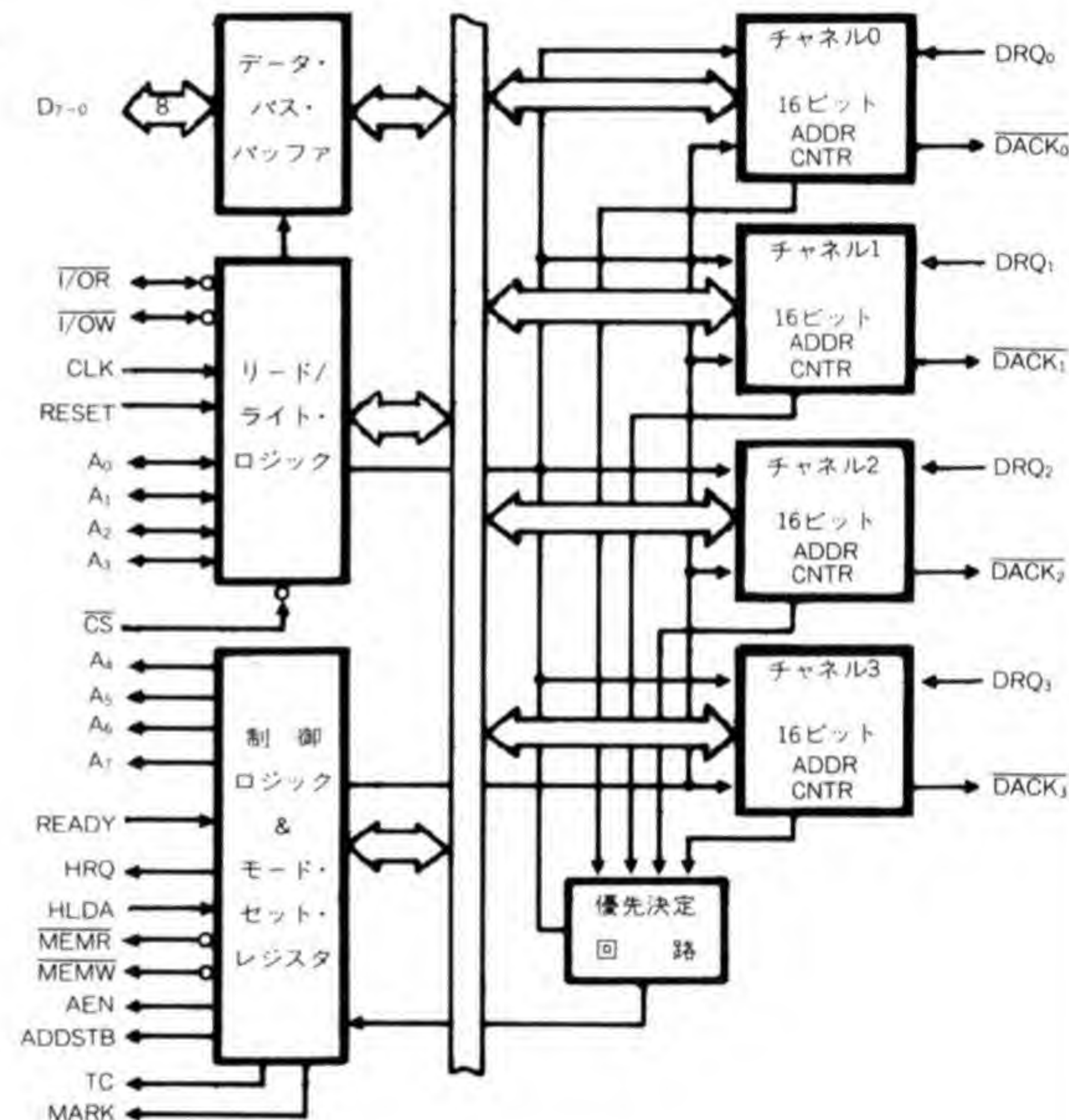
## ■ ピン接続



## ■ 特 徴

- ・ 四つの独立したDMAチャンネル
- ・ 連続したメモリ・アドレスとR/W信号を発生
- ・ 優先付きDMA要求ロジックをもつ
- ・ 128ビットMARK出力発生 (これによりセクタ方式データ転送可能)
- ・ データ転送終了を示すターミナル・カウントを出力
- ・ ブロック・チェーン動作に利用できるオート・ロード・モードをもつ
- ・ チャンネル数の拡張が可能

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm10\%$ )

記号	測 定 条 件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=1.7\text{mA}$	0.45	V
$V_{OH}$	$I_{OH}=80\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		10	pF



## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
$\overline{I/OR}$	I/O リード	1	入出力	8ビット・ステータス・レジスタの読み出し、または16ビット DMA アドレス・レジスタや16ビット TC レジスタの上/下位バイトの読み出しを行う
$\overline{I/OW}$	I/O ライト	2	入出力	8ビット・モード・セット・レジスタまたは16ビットの DMA アドレス・レジスタや TC レジスタの上/下位バイトの書き込みを行う
$\overline{MEMR}$	メモリ・リード	3	出 力	アドレスされたメモリからデータを読み出すために用いられる
MEMW	メモリ・ライト	4	出 力	アドレスされたメモリにデータを書き込むために用いられる
MARK	マーク	5	出 力	現在実行中の DMA サイクルは、前の MARK から数えて128サイクル目であることを知らせる
READY	レディ	6	入 力	メモリが低速でより長いサイクルを必要とする場合ウェイトをおく
HLDA	ホールド・アクノリッジ	7	入 力	ホールド要求が確認されると CPU から送り返されてくる信号を受ける入力
ADDSTB	アドレス・ストロープ	8	出 力	メモリ・アドレスの上位バイトをデータ・バスから8212に送り込むためのストロープ信号
AEN	アドレス・イネーブル	9	出 力	アドレス・イネーブル信号
HRQ	ホールド・リクエスト	10	出 力	システム・バスの制御権を要求する出力信号
$\overline{CS}$	チップ・セレクト	11	入 力	スレーブ・モードでは、I/O リードと I/O ライト入力をイネーブルにする
CLK	クロック	12	入 力	クロック入力
RESET	リセット	13	入 力	リセット入力ですべてのレジスタと制御信号をクリアし、スレーブ・モードになる
$\overline{DACK_0} \sim \overline{DACK_3}$	DMA アクノリッジ	25, 24, 14, 15	出 力	DMA サイクルが許可されたことを知らせる
$\overline{DRQ_0} \sim \overline{DRQ_3}$	DMA リクエスト	19~16	入 力	DMA サイクルを要求するために用いられ、それぞれ独立した非同期のチャンネル要求入力
$D_0 \sim D_7$	データ・バス	30~26, 23~21	入出力	双方向のデータ・バス
$A_0 \sim A_3$	アドレス・バス	32~35	入出力	内部レジスタを選択するための入力
$A_4 \sim A_7$	アドレス・バス	37~40	出 力	マスタ・モードでは、16ビット・メモリ・アドレスのうちビット4~7を出力する
TC	ターミナル・カウント	36	出 力	現在実行中の DMA サイクルが、そのデータ・ブロックの最終サイクルであることを知らせる



# DMAC (Direct Memory Access Controller)

## ■ ピン接続 (BOTTOM VIEW)

*1	*2	V <sub>CC</sub>	V <sub>SS</sub>	D <sub>27</sub>	V <sub>CC</sub>	D <sub>23</sub>	V <sub>SS</sub>	D <sub>19</sub>	D <sub>16</sub>	D <sub>15</sub>	V <sub>SS</sub>	D <sub>10</sub>	D <sub>7</sub>	D <sub>2</sub>
WIDTH	XWIDTH	*1	V <sub>SS</sub>	D <sub>29</sub>	D <sub>28</sub>	D <sub>24</sub>	D <sub>22</sub>	D <sub>18</sub>	V <sub>CC</sub>	D <sub>14</sub>	D <sub>11</sub>	V <sub>CC</sub>	NC	D <sub>0</sub>
PCL <sub>3</sub>	*3	NC	*1	RESET	D <sub>30</sub>	D <sub>25</sub>	D <sub>20</sub>	NC	V <sub>SS</sub>	D <sub>12</sub>	D <sub>8</sub>	D <sub>4</sub>	D <sub>3</sub>	BC <sub>0</sub>
PCL <sub>1</sub>	PCL <sub>2</sub>	*3	*1	*1	D <sub>31</sub>	D <sub>26</sub>	D <sub>21</sub>	D <sub>17</sub>	D <sub>13</sub>	D <sub>9</sub>	D <sub>6</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>CC</sub>
IRQ	XIRQ	PCL <sub>0</sub>	V <sub>SS</sub>	*1					D <sub>5</sub>	D <sub>1</sub>	V <sub>CC</sub>	BC <sub>2</sub>	V <sub>SS</sub>	
OHACK	HREQ	XHREQ	V <sub>CC</sub>							BC <sub>1</sub>	V <sub>SS</sub>	BC <sub>3</sub>	NC	
OHREQ	V <sub>SS</sub>	HACK	XHACK							V <sub>CC</sub>	A <sub>0</sub>	A <sub>1</sub>	A <sub>2</sub>	
ABEN	NC	XABEN	ATN							A <sub>3</sub>	A <sub>4</sub>	V <sub>SS</sub>	A <sub>5</sub>	
XAIN	V <sub>CC</sub>	V <sub>SS</sub>	V <sub>CC</sub>							A <sub>8</sub>	A <sub>7</sub>	V <sub>CC</sub>	A <sub>6</sub>	
V <sub>SS</sub>	V <sub>CC</sub>	V <sub>SS</sub>	CLK							A <sub>13</sub>	A <sub>10</sub>	V <sub>SS</sub>	A <sub>9</sub>	
NC	V <sub>CC</sub>	REQ <sub>1</sub>	XIACK	V <sub>CC</sub>						A <sub>14</sub>	V <sub>CC</sub>	A <sub>12</sub>	A <sub>11</sub>	
V <sub>SS</sub>	REQ <sub>2</sub>	CS	XDIN	V <sub>SS</sub>	XDS	DONE	IORDY	BAT <sub>1</sub>	V <sub>SS</sub>	V <sub>CC</sub>	A <sub>18</sub>	A <sub>15</sub>	V <sub>CC</sub>	V <sub>SS</sub>
REQ <sub>3</sub>	XCS	V <sub>SS</sub>	DBEN	ACK <sub>0</sub>	XAS	XR/W	BERR	BAT <sub>0</sub>	A <sub>26</sub>	A <sub>23</sub>	A <sub>19</sub>	NC	A <sub>16</sub>	V <sub>SS</sub>
REQ <sub>0</sub>	NC	XDBEN	ACK <sub>2</sub>	DS	AS	R/W	XDC	BLOCK	A <sub>28</sub>	A <sub>27</sub>	A <sub>24</sub>	A <sub>20</sub>	V <sub>SS</sub>	A <sub>17</sub>
IACK	DIN	ACK <sub>3</sub>	ACK <sub>1</sub>	V <sub>SS</sub>	V <sub>CC</sub>	CSTR	RERUN	DC	V <sub>SS</sub>	BAT <sub>2</sub>	A <sub>29</sub>	A <sub>25</sub>	A <sub>22</sub>	A <sub>21</sub>

- \* 1印の端子はV<sub>SS</sub>に接続すること
- \* 2印の端子はOPENにすること
- \* 3印の端子はV<sub>CC</sub>に接続すること

## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~V <sub>CC</sub> +0.3	V
消費電力	P <sub>D</sub>	3.0	W
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-55~150	°C

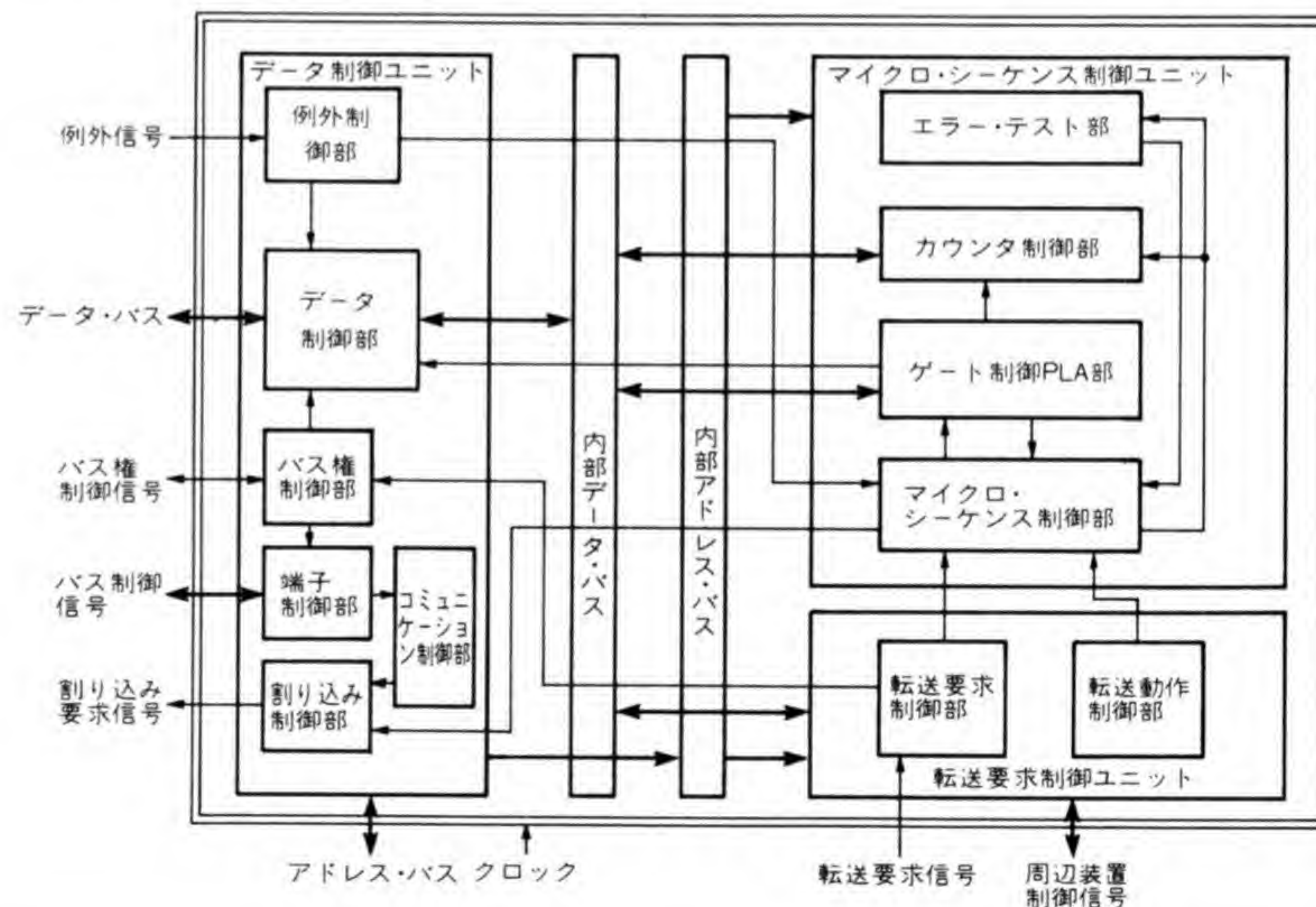
## ■ DC特性 (T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.2*	V
V <sub>OL</sub>	I <sub>OL</sub> =3.2mA	0.5	V
V <sub>OH</sub>	I <sub>OH</sub> =400μA	2.4	V
I <sub>OL</sub>	V <sub>OUT</sub> =0~V <sub>CC</sub>	±10	μA
I <sub>IH</sub>	V <sub>IN</sub> =0~V <sub>CC</sub>	±10	μA
C <sub>IN</sub>	f=1MHz	20	pF

## ■ 特徴

- ・データ・バス32ビット、アドレス・バス32ビットのDMAコントローラ
- ・16ビット・データ・バスにも対応可能
- ・4本の独立したI/Oチャンネルをもつ
- ・I/Oデバイス・メモリ間転送、メモリ・メモリ間転送が可能
- ・内部リクエスト・モードでのバスの使用率を設定可
- ・オート・トリガ、外部トリガによる転送が可能
- ・二つのバス間のDMA転送が可能
- ・二つのCPU間の通信機能内蔵
- ・最大転送速度27MB/s

## ■ ブロック図





■端子機能

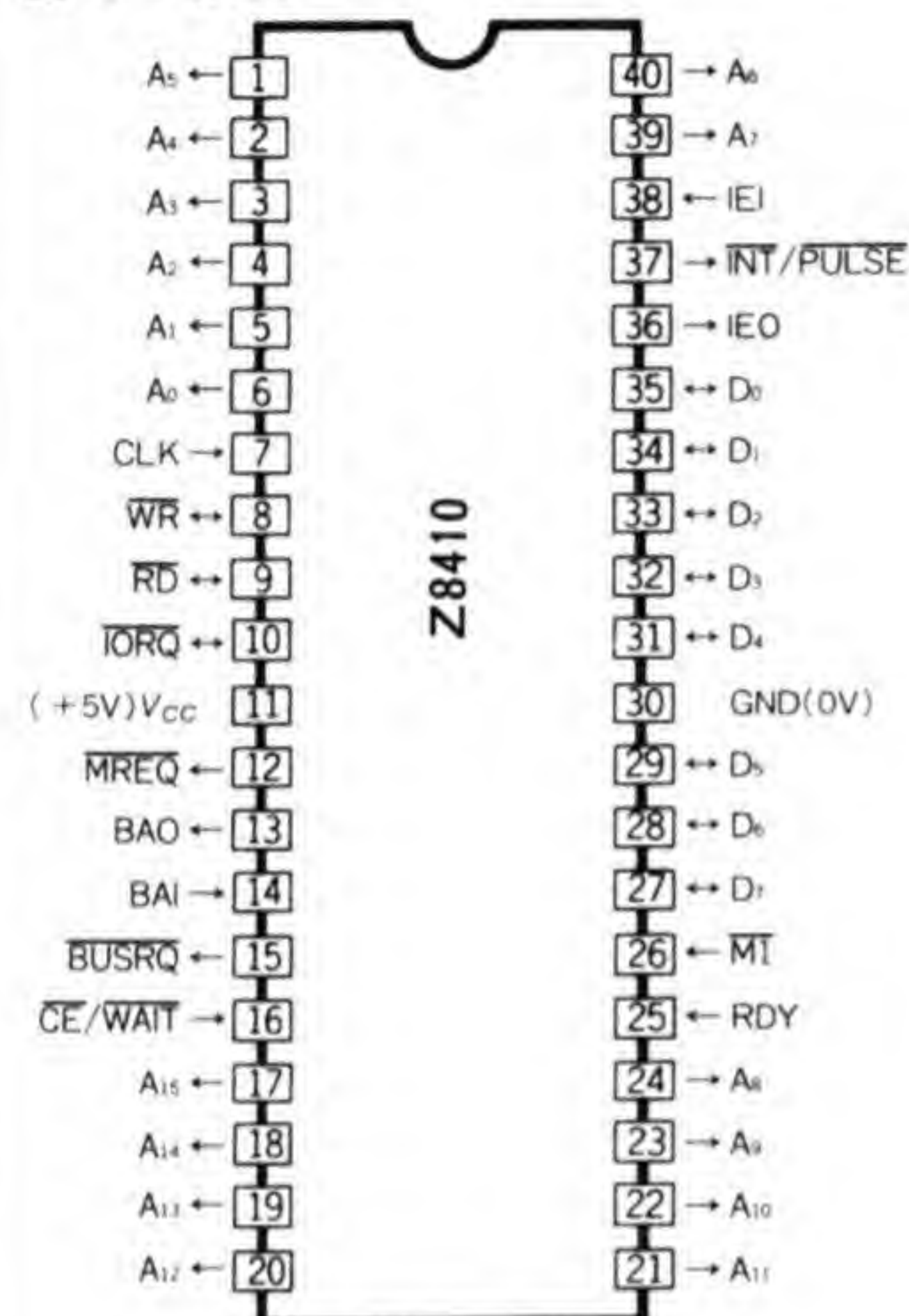
端子名	名称	ピン番号	入出力	機能
$A_0 \sim A_{29}$	Address 0 ~ 29	1 ~ 4, 49 ~ 53, 56, 58 ~ 61, 98, 102, 104, 106 ~ 108 139, 142, 144, 145, 173 ~ 176	$A_0 \sim A_{22}$ 出力 $A_{23} \sim A_{29}$ 入出力	アドレス入出力端子, $A_{23} \sim A_{29}$ は同期入力端子
$D_0 \sim D_{31}$	Data 0 ~ 31	33, 35, 37 ~ 39, 41 ~ 44, 84 ~ 88, 90, 91, 94, 128 ~ 130 133 ~ 135 163 ~ 170 179	入出力	DMAC と CPU, 外部デバイスとの間のデータ転送に用いるデータ入出力端子
$\overline{BC}_0 \sim \overline{BC}_3$	Byte Access Control 0 ~ 3	45, 96, 97, 171	入出力	32ビット・データ・バスの有効となるバイト位置を示す
$BAT_0 \sim BAT_2$	Bus Access Type0 ~ 2	5, 109 148	出力	DMA の実行するバス・サイクルのタイプを示す出力
$\overline{BLOCK}$	Block	62	出力	ブロック転送バス・サイクルであることを示す出力
$\overline{AS}$ $\overline{XAS}$	Address strobe	65, 112	出力	DMAC が出力しているアドレスが確定していることを示す
$\overline{DS}$ $\overline{XDS}$	Data Strobe	66, 151	出力	ライト時は DMAC が出力しているデータが確定していることを示す
$R/\overline{W}$ $\overline{XR}/\overline{W}$	Read/ Write	64, 111	入出力	データ・バスのデータ転送の方向を制御する入出力端子
$\overline{DC}$ $\overline{XDC}$	Data Transfer Complete	7, 63	入出力	データ・バス上のデータが有効であること, あるいはデータ書き込みが完了したことを示すための入出力端子
$\overline{XCS}$ $\overline{CS}$	Chip Select	70, 116	入力	DMAC 内部のレジスタのデータ読み出し, 書き込みを要求するための入力端子
$\overline{ABEN}$ $\overline{XABEN}$	Address Bus Enable	22, 120	出力	DMAC と外部のアドレス・バス間のアドレス・バス・バッファを制御するための出力端子

端子名	名称	ピン番号	入出力	機能
$\overline{XAIN}$ $\overline{AIN}$	Address In	21, 157	出力	DMAC と外部のアドレス・バス間のアドレス・バス・バッファの方向を制御するための出力端子
$\overline{XDBEN}$ $\overline{DBEN}$	Data Bus Enable	68, 114	出力	DMAC と外部のデータ・バス間のデータ・バス・バッファを制御するための出力端子
$\overline{DIN}$ $\overline{XDIN}$	Data In	14, 153	出力	DMAC と外部のデータ・バス間のデータ・バス・バッファのデータ転送方向を制御するための出力端子
$\overline{WIDTH}$ $\overline{XWIDTH}$	Width	28 81	入力	データ・バス幅を設定する端子
$\overline{HREQ}$ $\overline{XHREQ}$	Hold Request	77 122	出力	DMAC が外部のバス権を要求していることを示す出力端子
$\overline{HACK}$ $\overline{XHACK}$	Hold Acknowledge	121 158	入力	DMAC が外部のバス権を獲得したことを通知される入力端子
$\overline{IRQ}$ $\overline{XIRQ}$	Interrupt Request	25 78	出力	割り込み処理を要求するための端子
$\overline{IACK}$ $\overline{XIACK}$	Interrupt Acknowledge	15 154	入力	CPU からの割り込み応答の入力端子
$\overline{REQ}_0 \sim \overline{REQ}_3$	Data Transfer Request	16, 17 71, 117	入力	I/O デバイスからの転送要求を受け付けるための入力端子
$\overline{ACK}_0 \sim \overline{ACK}_3$	Data Transfer Acknowledge	12, 13 67, 113	出力	I/O デバイスに対して転送が実行されることを通知するための出力端子
$\overline{PCL}_0 \sim \overline{PCL}_3$	Peripheral Control Line	26, 27 79, 123	入出力	チャンネルごとに機能に定義する事ができる多目的入出力端子
$\overline{DONE}$	Last Data Transfer Done	150	入出力	転送が正常終了したことを通知するための入出力信号
$\overline{CSTR}$	Cycle Start	9	出力	バス・サイクルの開始を示す
$\overline{IORDY}$	I/O Ready	149	入力	READY 付き I/O デバイスの READY 端子
$\overline{RESET}$	Reset	127	入力	DMAC を初期状態にするための端子
$\overline{BERR}$	Bus Error	110	入力	バスエラーが発生したことを DMAC に通知するための入力端子
$\overline{RERUN}$	Rerun	8	入力	バス・サイクルの再実行を DMAC に要求するための端子



# DMAC (Direct Memory Access Controller)

## ■ ピン接続



## ■ 特 徴

- ・ バイト、バースト、連続の3モード動作
- ・ 各モードで転送、サーチ、サーチ/転送が可能
- ・ サイクル長、エッジ・タイミング可変
- ・ メモリーI/O、メモリーメモリ、I/O-I/O間の動作が可能
- ・ アドレスは固定、自動インクリメント/デクリメントともに可能
- ・ モード2の割り込み、デイジィ・チェーン可能
- ・ 外付け回路なしでシステム・バスに接続可能
- ・ パワーオン・リセット回路内蔵、外部リセット不可

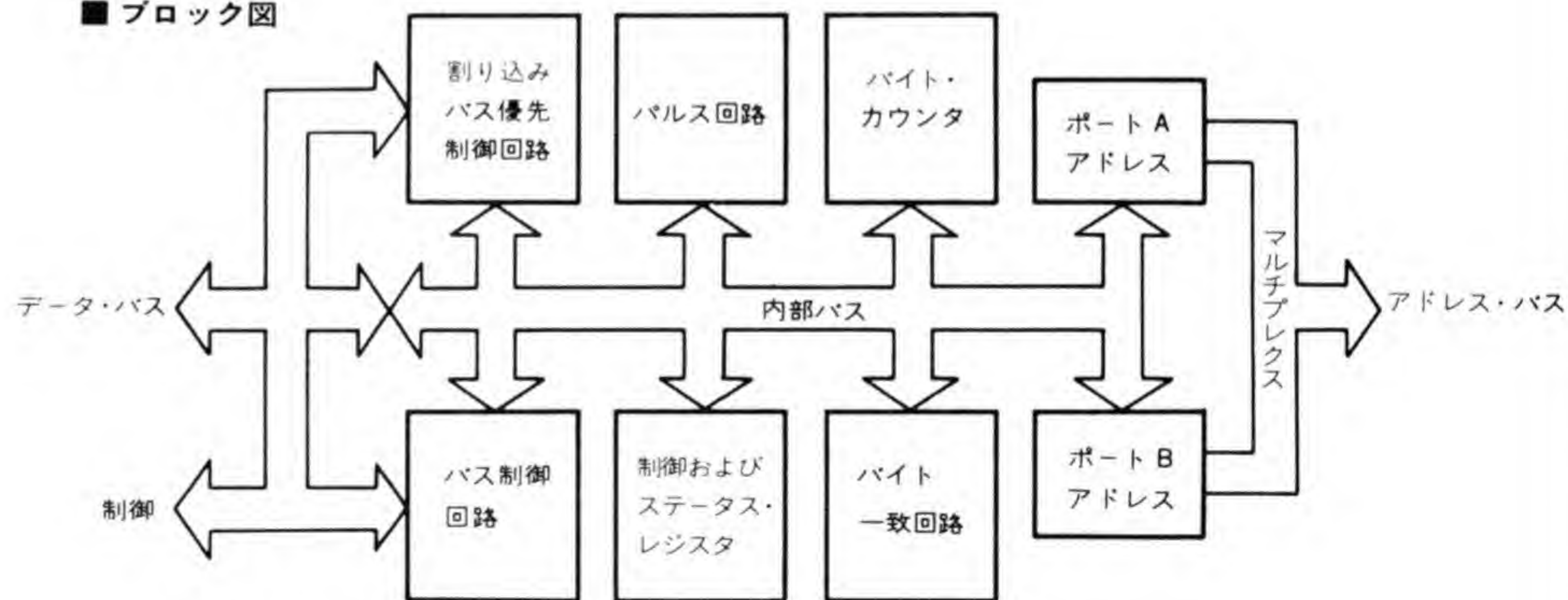
## ■ 最大定格

項 目	記 号	定 格	単 位
入力電圧	$V_{IN}$	-0.3~+7.0	V
出力電圧	$V_{OUT}$	-0.3~+7.0	V
動作温度	$T_{OPR}$	0~+70	°C
保存温度	$T_{STG}$	-65~+150	°C

## ■ DC特性

記 号	max/min*	単 位
$V_{ILC}$	0.45	V
$V_{IHC}$	$V_{CC}-0.6^*$	V
$V_{IL}$	0.8	V
$V_{IH}$	2.0*	V
$V_{OL}$	0.4	V
$V_{OH}$	2.4*	V

## ■ ブロック図





## ■ 端子機能

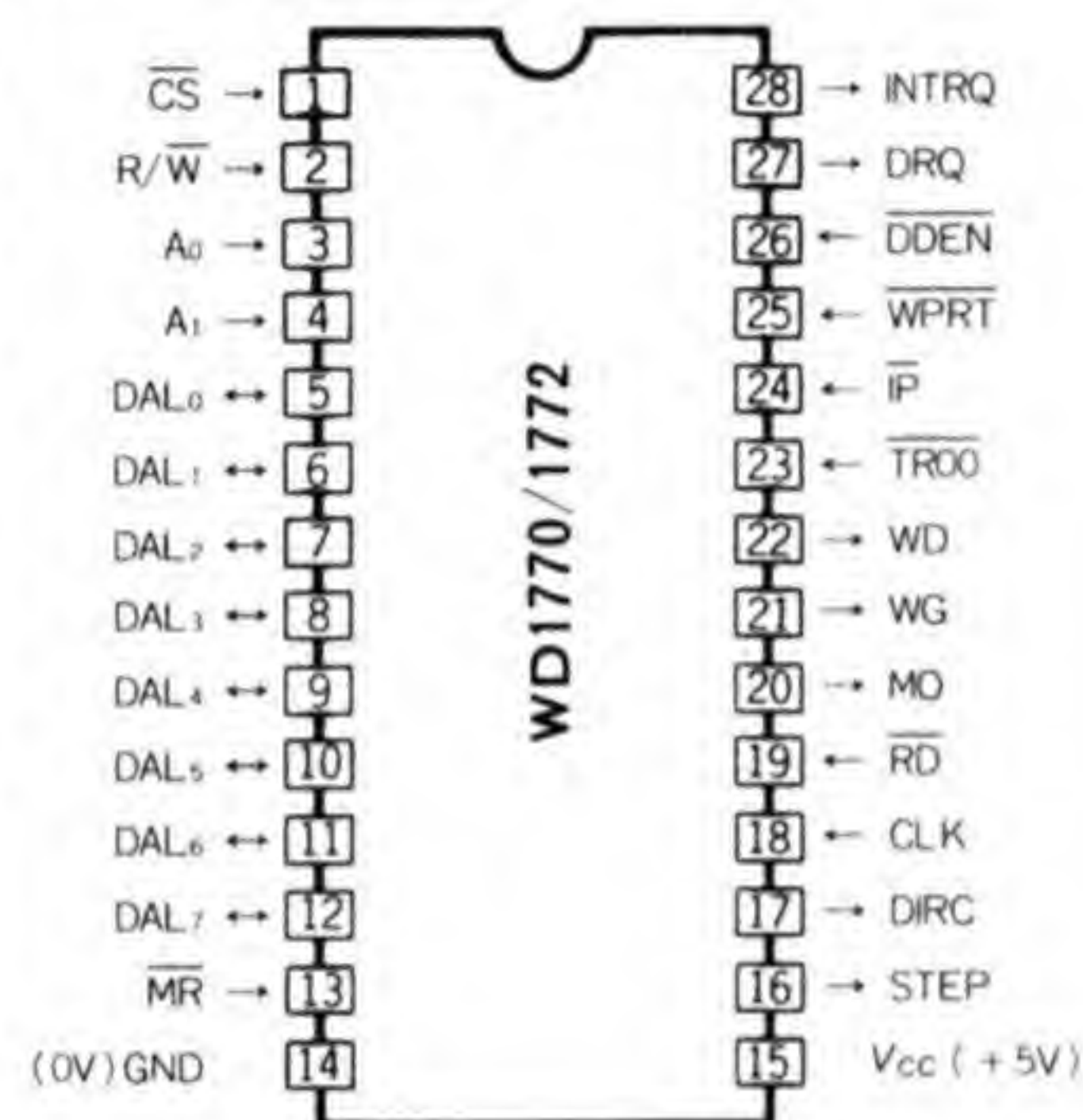
端子名	ピン番号	入出力	機能
$A_0 \sim A_{15}$	1～6, 17～24, 39～40	出力	16ビットのアドレス・バス, DMAによって出力されるアドレス・バスでソース・ポートおよびデスティネーション・ポートに送られる
CLK	7	入力	単相のクロック信号, DMAに対するクロック入力
$\overline{WR}$	8	入出力	ライト信号, 入力として用いられる場合, MPUがDMAの制御レジスタへの書き込みを行い, 出力として用いられる場合, メモリまたはI/Oポート・アドレスへの書き込みをDMAが制御する
$\overline{RD}$	9	入出力	リード信号, 入力として用いられる場合, MPUがDMAのステータス・レジスタの読み出しを行い, 出力として用いられる場合, メモリまたはI/Oポート・アドレスからの読み出しをDMAが制御する
$\overline{IORQ}$	10	入出力	入出力リクエスト信号, I/Oデータの読み出し/書き込みをするときにDMAが制御する
$\overline{MREQ}$	12	出力	メモリ・リクエスト信号, メモリ・データの読み出し/書き込みをするときにDMAが制御する
$\overline{BAO}$	13	出力	バス線イネーブル出力信号, 複数のDMA構成において, バス使用权の優先順位制御を行う
$\overline{BAI}$	14	入力	バス線イネーブル入力信号, システム・バスの使用权がDMA制御のために解放されたことを示す

端子名	ピン番号	入出力	機能
$\overline{BUSREQ}$	15	入出力	バス・リクエスト信号, システム・バス制御のための要求をMPUに送ることを示す
$\overline{CE}/\overline{WAIT}$	16	入力	チップ・イネーブル/ウェイト信号, 通常 $\overline{CE}$ として動作するが, データ転送時には $\overline{WAIT}$ として動作するようにプログラム可能
RDY	25	入力	レディ信号, DMAによってモニタされ有効極性を判定する
$\overline{MI}$	26	入力	マシン・サイクル1を示す信号, MPUが命令のオペコード・フェッチ・サイクルあるいは割り込みアクノリッジを示す
$D_0 \sim D_7$	27～29, 31～35	入出力	8ビットの双方向性データ・バス, この端子により, MPUからの制御バイト, DMAからのステータス・バイト, メモリまたはI/Oからのデータ転送を行う。
IEO	36	出力	割り込みイネーブル出力信号, IEIとともに用いて, 複数の周辺LSIを接続した場合の割り込みの優先順位のためのデイジィ・チェーンを形成する
IEI	38	入力	割り込みイネーブル入力信号, IEOとともに用いて, 複数の周辺LSIを接続した場合の割り込みの優先順位のためのデイジィ・チェーンを形成する
$\overline{INT}/\overline{PULSE}$	37	出力	割り込みリクエスト信号, 割り込み要求およびパルス発生用



# FDC (Floppy Disk Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
入力電圧	V <sub>IN</sub>	-15 ~ -0.3	V
動作温度	T <sub>OPR</sub>	0 ~ +70	℃
保存温度	T <sub>STG</sub>	-55 ~ +125	℃

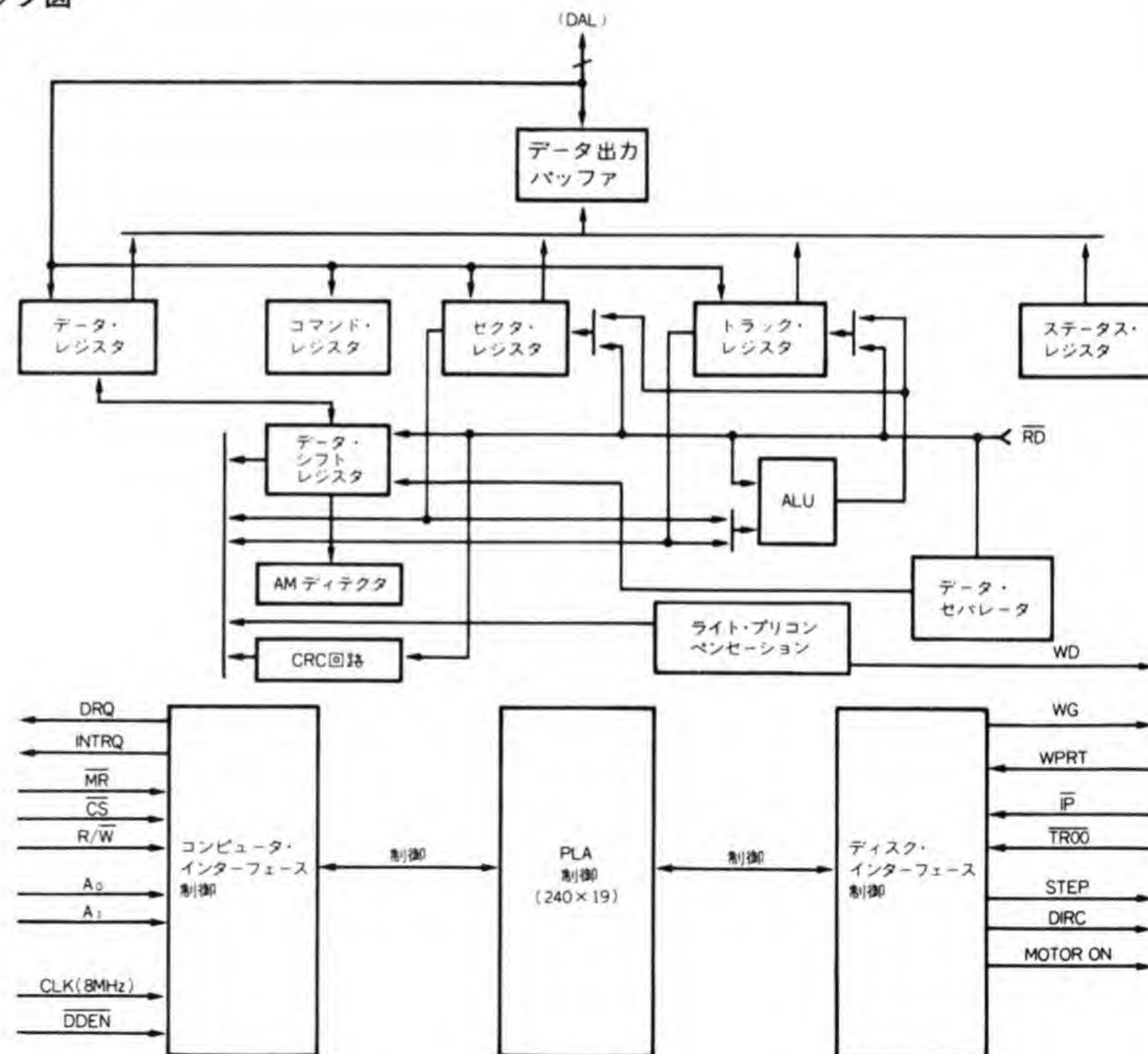
## ■ DC特性 (T<sub>a</sub>=0~70℃, V<sub>CC</sub>=5V±10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> =1.6mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> =100μA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> =V <sub>CC</sub>	10	μA
I <sub>IH</sub>	V <sub>IN</sub> =V <sub>CC</sub>	10	μA

## ■ 特 徴

- ・データ・セパレータ内蔵
- ・ライト・プリコンペーション機能内蔵
- ・51/4インチ単密度、倍密度両方に適用
- ・セクタ長は128, 256, 512, 1024から選択
- ・8ビット双方向バスをもつ
- ・WD1770: 標準179Xステップ・レート
- ・WD1772: 高速バージョン

## ■ ブロック図





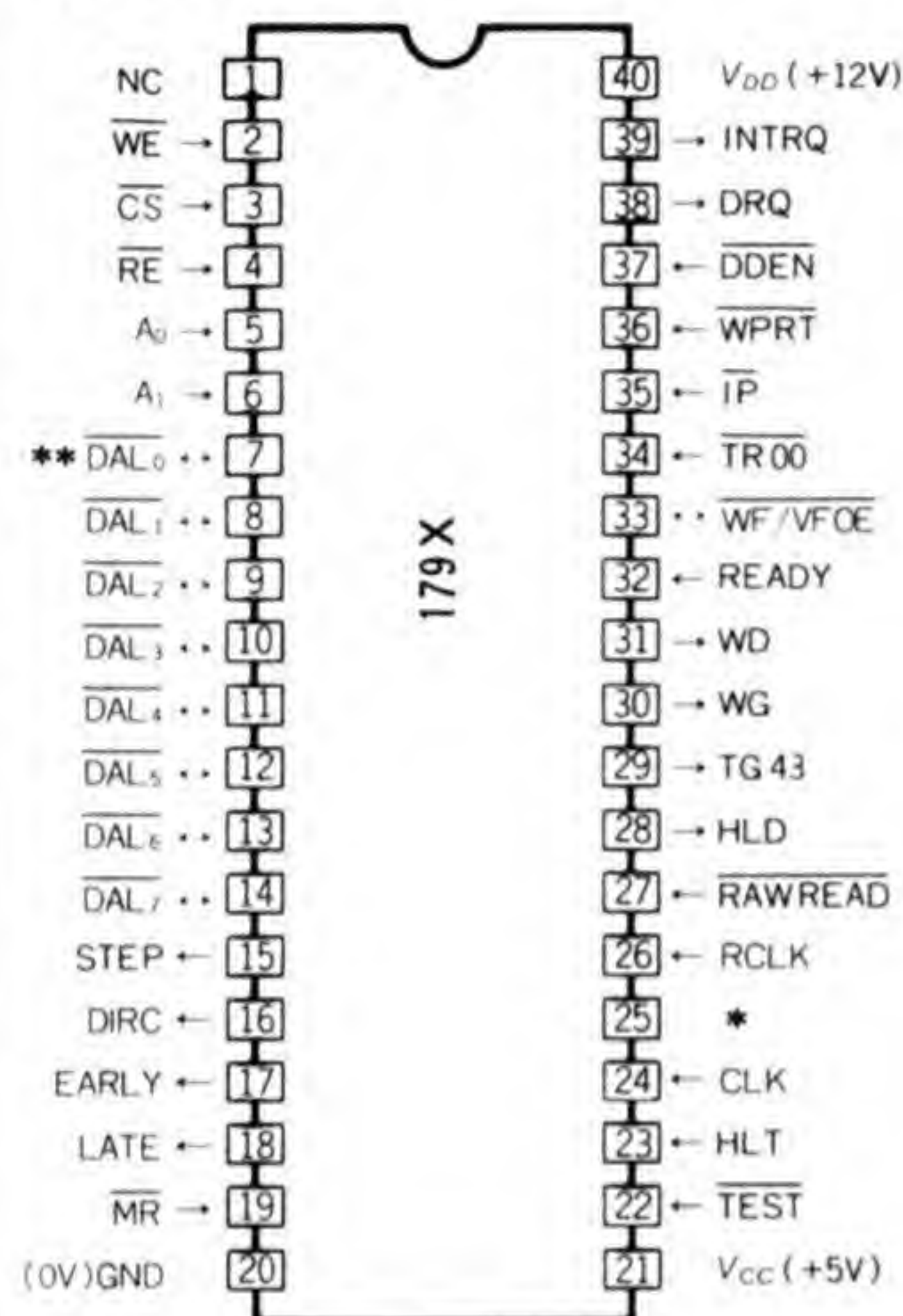
## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能																				
$\overline{CS}$	チップ・セレクト	1	入 力	R/ $\overline{W}$ を有効にするチップ・セレクト端子																				
R/ $\overline{W}$	リード/ライト	2	入 力	データ・アクセス・ライン上のデータのリード/ライト方向を決める																				
A <sub>0</sub> , A <sub>1</sub>	アドレス <sub>0</sub> , 1	3, 4	入 力	リード/ライトを行う内部レジスタを選択する. <table><tr><td>A<sub>1</sub></td><td>A<sub>0</sub></td><td>R/<math>\overline{W}</math> = 1</td><td>R/<math>\overline{W}</math> = 0</td></tr><tr><td>0</td><td>0</td><td>ステータス・レジスタ</td><td>コマンド・レジスタ</td></tr><tr><td>0</td><td>1</td><td>トラック・レジスタ</td><td>トラック・レジスタ</td></tr><tr><td>1</td><td>0</td><td>セクタ・レジスタ</td><td>セクタ・レジスタ</td></tr><tr><td>1</td><td>1</td><td>データ・レジスタ</td><td>データ・レジスタ</td></tr></table>	A <sub>1</sub>	A <sub>0</sub>	R/ $\overline{W}$ = 1	R/ $\overline{W}$ = 0	0	0	ステータス・レジスタ	コマンド・レジスタ	0	1	トラック・レジスタ	トラック・レジスタ	1	0	セクタ・レジスタ	セクタ・レジスタ	1	1	データ・レジスタ	データ・レジスタ
A <sub>1</sub>	A <sub>0</sub>	R/ $\overline{W}$ = 1	R/ $\overline{W}$ = 0																					
0	0	ステータス・レジスタ	コマンド・レジスタ																					
0	1	トラック・レジスタ	トラック・レジスタ																					
1	0	セクタ・レジスタ	セクタ・レジスタ																					
1	1	データ・レジスタ	データ・レジスタ																					
DAL <sub>0</sub> ~ DAL <sub>7</sub>	データ・アクセス・ライン	5 ~ 12	入出力	データ入出力用の8ビットの双方向性バス																				
$\overline{MR}$	マスタ・リセット	13	入 力	マスタ・リセット入力で、内部レジスタをクリアする。内部プルアップ抵抗付き																				
GND	グラウンド	14	—	グラウンド																				
V <sub>CC</sub>	電源	15	—	電源 (+ 5 V)																				
STEP	ステップ	16	出 力	ドライバのリード/ライト・ヘッドのステップ信号 (シーク・パルス) を出力する																				
DIRC	ディレクション	17	出 力	ステッピング (シーク) 動作の方向を示す。センタ方向のとき “H” となる																				
CLK	クロック	18	入 力	内部回路のクロック信号入力																				
$\overline{RD}$	リード・データ	19	入 力	ドライブからのデータ入力で、クロック・ビットとデータ・ビットで構成されている																				
MO	モータ・オン	20	出 力	リード/ライト、ステッピング動作前にモータを ON にする出力信号																				
WG	ライト・ゲート	21	出 力	ディスクへの書き込み前に有効となる出力信号																				
WD	ライト・データ	22	出 力	ディスクへの書き込みデータで、クロック・ビットとデータ・ビットを含む																				
$\overline{TR00}$	トラック 00	23	入 力	リード/ライト・ヘッドがトラック 0 に位置するかどうかを示す信号を入力する																				
$\overline{IP}$	インデックス・パルス	24	入 力	リード/ライト・ヘッドがインデックス・ホールに位置することを示す信号を入力する																				
$\overline{WPRT}$	ライト・プロテクト	25	入 力	ディスクが書き込み禁止状態であるかどうかを示す信号を入力する																				
$\overline{DDEN}$	ダブル・デンシティ・イネーブル	26	入 力	シングル(FM)かダブル(MFM)かを選択する。 “L” のときダブル・デンシティとなる																				
DRQ	データ要求	27	出 力	“H” のときに、データ・レジスタがフル (リード時) または空 (ライト時) を示している																				
INTRQ	割り込み要求	28	出 力	転送データや実行結果の処理を要求する割り込み要求出力信号																				



## FDC (Floppy Disk Controller)

## ■ ピン接続



\* 1791/3 = RG  
1795/7 = SSO  
\*\* 1793/7 = 正論理

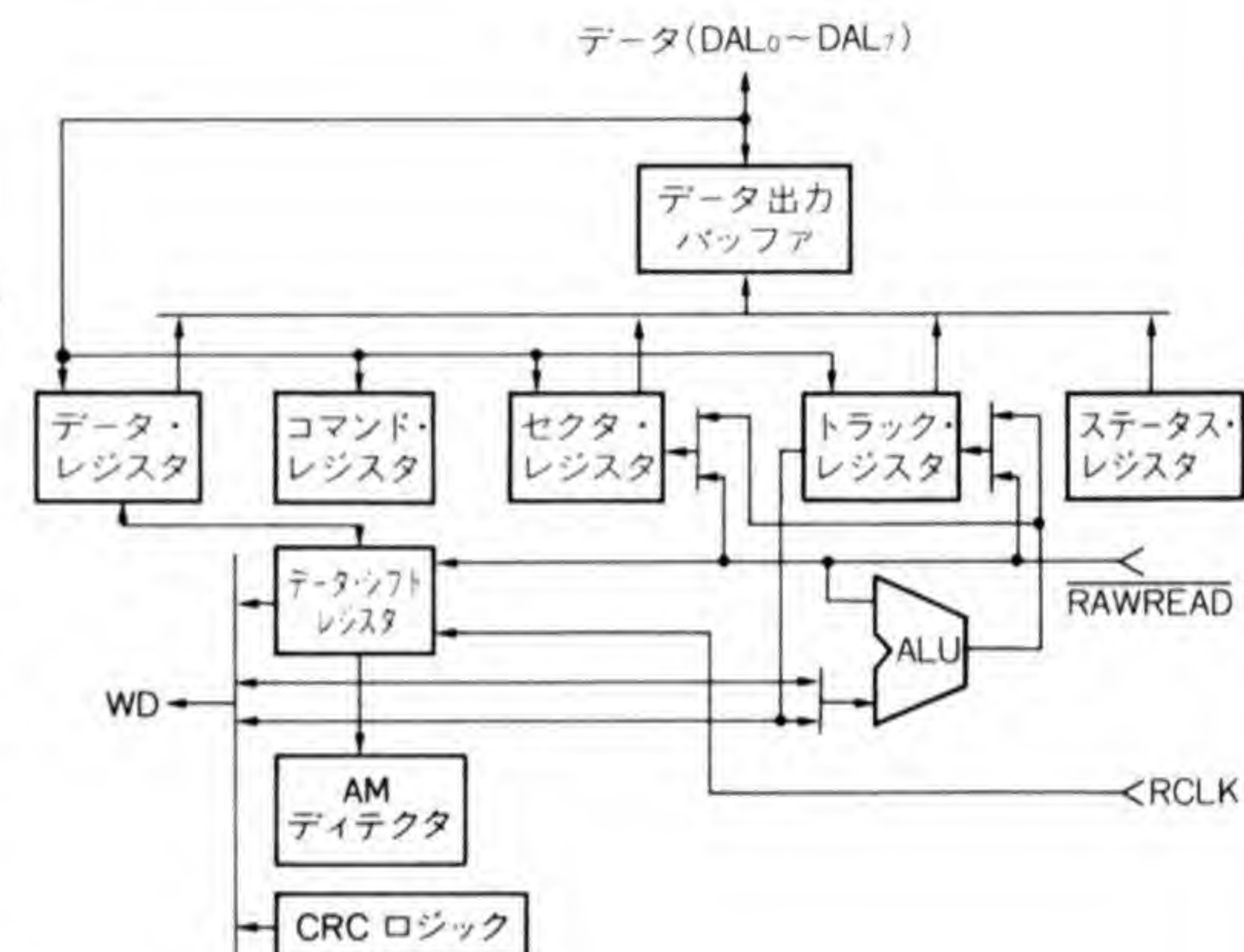
## ■ 特 徴

- ・ 単密度, 倍密度の両方に適用可能  
単密度: IBM 3740 フォーマット  
倍密度: IBM システム 34 フォーマット
- ・ ソフトで各種項目指定可能  
セクタ長  
ステップ・レート  
サイド・セレクト一致検出
- ・ ライト・プリコンペンセーション機能内蔵 (FM, MFM)
- ・ DMA および プログラム転送可能

## ■ 179X-02 ファミリー機能一覧

	1791	1793	1795	1797
シングル・デンシティ (FM)	○	○	○	○
ダブル・デンシティ (MFM)	○	○	○	○
データ・バス (正/負)	負	正	負	正
ライト・プリコンペンセーション	○	○	○	○
サイド・セレクト出力			○	○

## ■ ブロック図

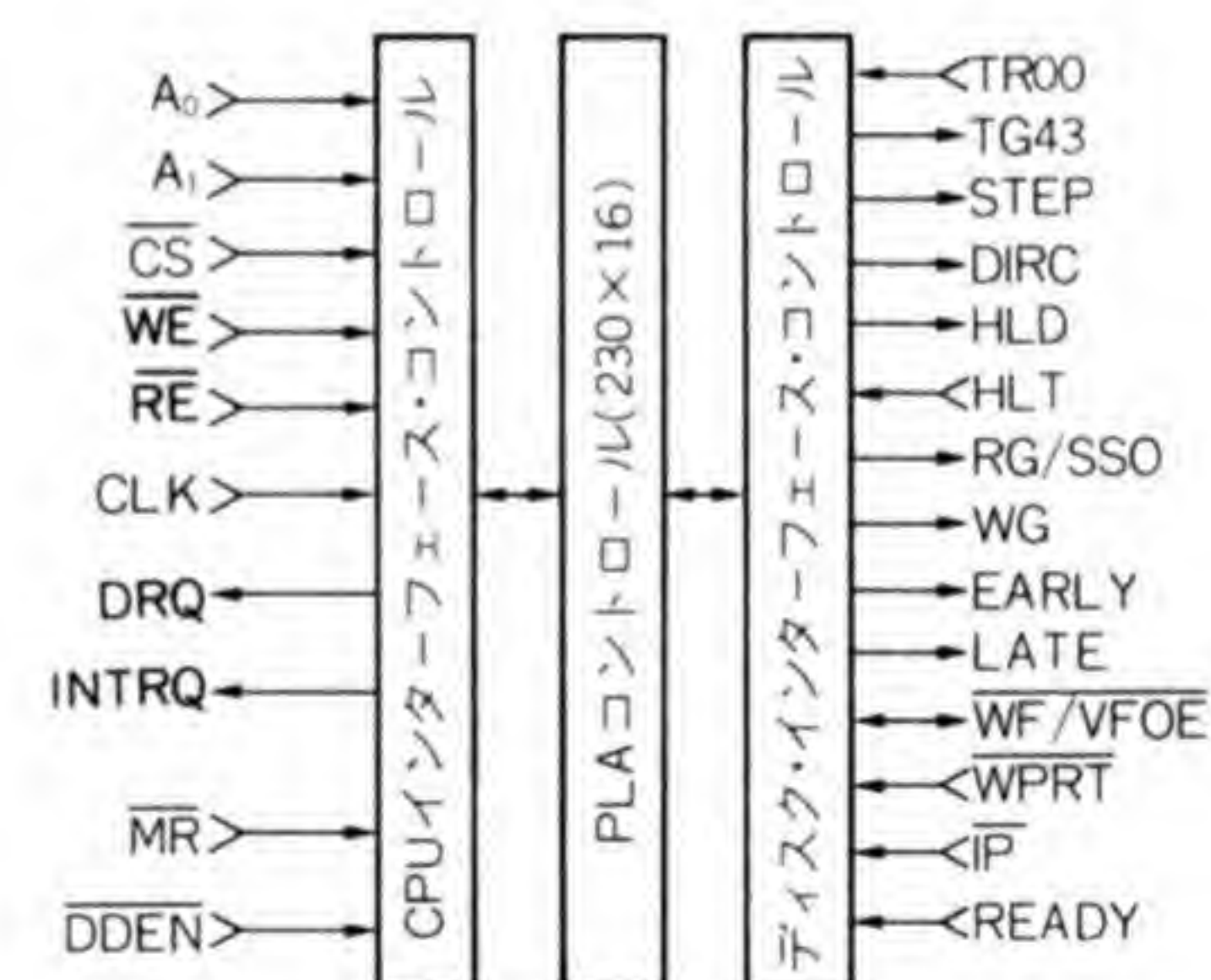


## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{DD}$	-0.3 ~ +15	V
入力電圧	$V_{IN}$	-0.3 ~ +15	V
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	55 ~ +125	°C

## ■ DC特性

項 目	max/min*	単位
$V_{IH}$	2.6*	V
$V_{IL}$	0.8	V
$V_{OH}(I_O = -100\mu A)$	2.8*	V
$V_{OL}(I_O = 1.6mA)$	0.45	V
$P_D$	0.5	W





## ■ 端子機能

端子名	ピン番号	入出力	機能
NC	1	—	No Connection
$\overline{\text{WE}}$ , $\overline{\text{CS}}$ , $\overline{\text{RE}}$	2, 3, 4	入力 入力 入力	チップ・セレクト・リード/ライトのコントロール
$A_0$ , $A_1$	5, 6	入力	$A_0$ , $A_1$ の組み合わせでレジスタを選択する
$\text{DAL}_0 \sim$ $\text{DAL}_7$	7 ~ 14	入出力	CPUとの間でのデータのやりとり, コマンド・ステータスはこのデータより行う。タイプによって正負の論理がある
STEP	15	出力	ヘッド移動のためのステップ・パルス出力
DIRC	16	出力	ヘッドの移動方向を示す出力
EARLY LATE	17 18	出力 出力	データ書き込み時のシフト信号
$\overline{\text{MR}}$	19	入力	リセット
(0V) GND	20	—	グラウンド
$V_{cc}(+5V)$	21	—	電源 (+5V)
$\overline{\text{TEST}}$	22	入力	テスト用端子
HLT	23	入力	HLDに対する応答信号
CLK	24	入力	ディスクの仕様に応じたクロックを与える
RCLK	26	入力	ディスクから読み取ったデータから, データ・セパレータによって分離されたクロックを加える
$\overline{\text{RAWREAD}}$	27	入力	ディスク・ドライブからの読み取りデータをこの端子へ与える
HLD	28	出力	ヘッドをディスクへロードする信号を出力
TG43	29	出力	ヘッドがトラック 44 以上にあると“H”
WG	30	出力	“H”でディスクへの書き込みを示す
WD	31	出力	ディスク・ドライブへの書き込みデータが出力される
READY	32	入力	“H”でディスクが動作可能であることを示す
$\overline{\text{WF/VFOE}}$	33	入出力	書き込み時の障害またはデータ読み込みを示す

端子名	ピン番号	入出力	機能
$\overline{\text{TR00}}$	34	入力	ディスクのヘッドがトラック 0 にあることを示す
IP	35	入力	ディスクの 1 回転ごとの基準パルス入力
$\overline{\text{WPRT}}$	36	入力	ディスクのライト・プロテクトの検出
$\overline{\text{DDEN}}$	37	入力	単密度, 倍密度の選択
DRQ	38	出力	データのリード/ライトの同期に使用
INTRQ	39	出力	コマンドの実行, 終了を割り込みなどでCPUに知らせる
$V_{DD}(+12V)$	40	—	電源 (+12V), セカンド・ソースにはこの端子がNC (+5V 単一電源) のものもある



Pin diagram of the SPC2050F microcontroller. The chip is shown with pins 1 through 100. The top edge has pins 80, 51, and 50. The right edge has pins 50, 31, and 30. The bottom edge has pins 100, 1, and 30. The left edge has pins 81, 80, and 1. The chip is labeled "SPC2050F" in the center. Various pins are labeled with their functions: A9, A8, A7, NC, A6, A5, A4, A3, A2, A1, A0, NC, NC, DRQ, INT, DB7, VSS, NC, DB6, DB5, DB4, DB3, VSS, VDD, DB2, DB1, DB0, NC, NC, DIRL, VSS, STPL, NC, HSL, VSS, MOT1, NC, MOT2, VSS, DSL1, NC, DSL2, VSS, REWL, NC, WRDT, VSS, WRGT, NC, NC, PCXT, NC, TVF6, NC, TF, TV, PSA, VDD, VSS, TVF4, TVF9, TVF10, TVF11, TPS1, VDD, VSS, TPS0, NC, NC, WIND, TDT, TSYN, TP1, WPRT, REDT, INDEX, EADY, TRK0, NC, NC.

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$0 \sim 65$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{DL}$	$I_{OL} = 12\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 2\text{mA}$	4.0*	V

- ・IBM PC/AT相当バス準拠の5.25/3.5インチFDコントローラ
- ・コマンド・セットはIBM PC/AT対応
- ・ホスト側ドライバ/レシーバ内蔵
- ・ドライブ側ドライバ/レシーバ内蔵
- ・データ転送レートはプログラム指定可能
- ・マルチセクタ/マルチトラック機能
- ・ドライブは2台まで接続可能
- ・シーク動作は同時に2台まで可能
- ・データ転送はDMA転送/プログラム転送可能
- ・無調整で外付け部品のないアナログ方式のVFO回路によるデータ・セパレータ内蔵



## ■ 端子機能

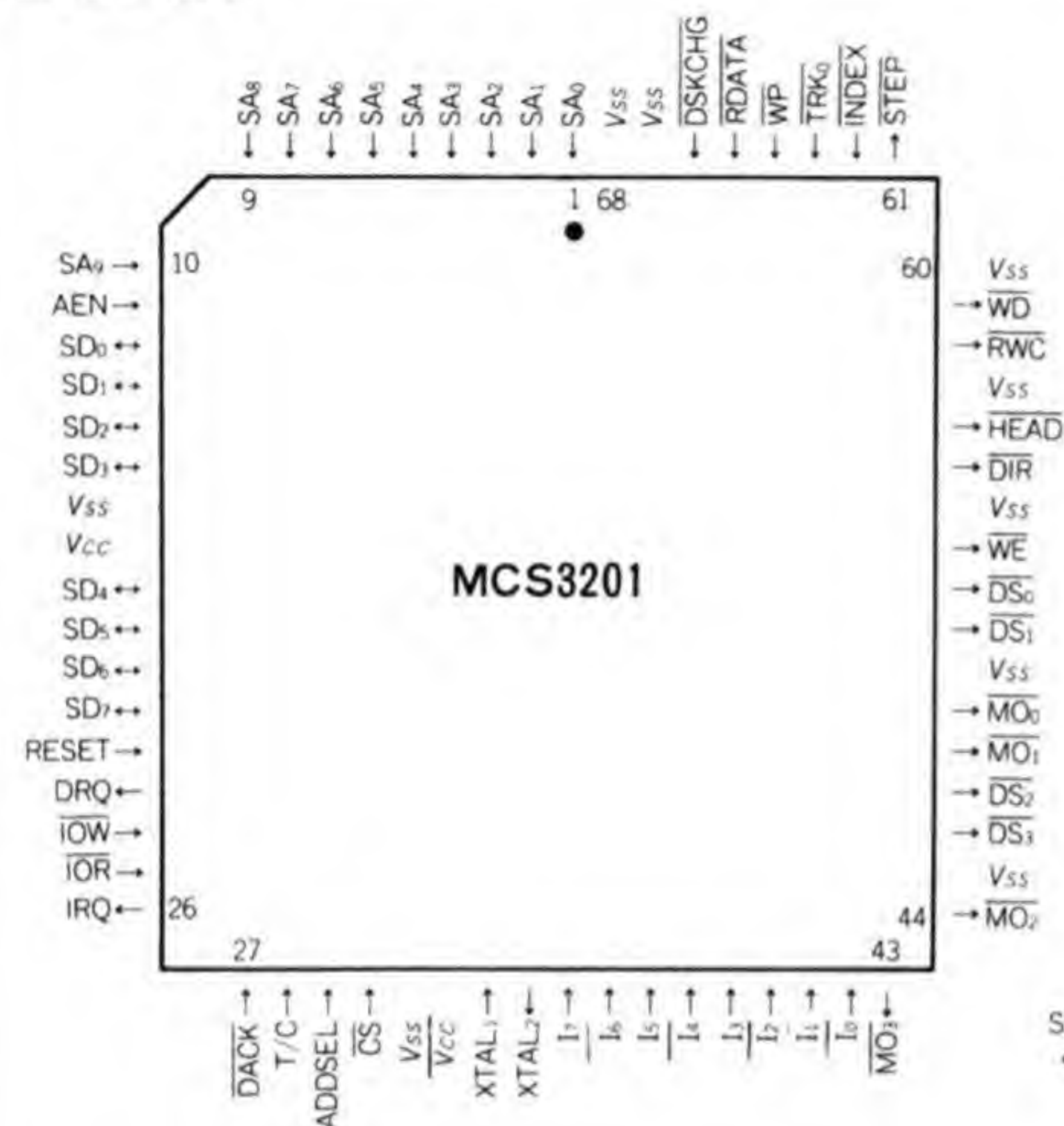
端子名	ピン番号	入出力	機能
A <sub>0</sub> ~A <sub>9</sub>	70~76, 78~80	入力	PC/AT バスのアドレス線の入力端子
DB <sub>0</sub> ~DB <sub>7</sub>	54~56, 59~62, 65	入出力	PC/AT バスの双方向, 3 ステートのデータ・バスの入出力端子
$\overline{\text{RD}}$	87	入力	メイン・システムが, ステータス, データを読み出すための制御信号の入力端子
$\overline{\text{WR}}$	88	入力	メイン・システムが, コマンド, データを書き込むための制御信号の入力端子
AEN	81	入力	PC/AT バスのアドレス・イネーブル信号の入力端子. DMA 転送中に "H" レベルにする
DRQ	67	出力	DMA モードにおけるデータ転送要求信号の出力端子 ("H" アクティブ)
INT	66	出力	メイン・システムに対して, コマンド実行結果の処理を要求する信号の出力端子 ("H" アクティブ)
$\overline{\text{DACK}}$	82	入力	DMA の応答信号の入力端子 ("L" アクティブ)
TC	83	入力	データ転送の終了指示信号の入力端子 ("H" アクティブ)
SRES	89	入力	PC/AT バスのシステム・リセット信号の入力端子 ("H" アクティブ)
$\overline{\text{RESET}}$	90	入力	内部リセット信号の入力端子 ("L" アクティブ)
X <sub>1</sub>	95	入力	24MHz 水晶発振回路用反転増幅器の入出力端子
X <sub>2</sub>	96	出力	
DECE	84	入力	チップ・セレクトの選択端子. この入力端子を "H" にすると, IC 内部のアドレス・デコード出力により, チップ・セレクトされる
$\overline{\text{CS}}$	86	入力	DECE = "L" のとき, 本 IC のチップ・セレクトの入力端子となる
PA2D	85	入力	I/O ポート・アドレスの選択端子. PA2D = "L" : 3FXH PA2D = "H" : 37XH
$\overline{\text{PCXT}}$	1	入力	データ転送レート制御端子. "L" レベルにすると 250Kbit/sec に固定となる
$\overline{\text{TV}}, \overline{\text{TF}}, \overline{\text{TVF9}}$	6, 5, 11	入力	テスト用端子
TPS <sub>0</sub> , TVF <sub>1</sub> , TVF <sub>4</sub> , TVF <sub>10</sub>	17, 13, 10, 12	出力	

端子名	ピン番号	入出力	機能
DIRL	51	出力	シーク動作の方向を指定する信号の出力端子. "L" で内周方向, "H" で外周方向を指定する
STPL	49	出力	ヘッドの移動数を与えるステップ・パルスの出力端子 ("L" アクティブ)
HSL	47	出力	ヘッド 0, 1 の選択信号の出力端子. "L" でヘッド 1, "H" でヘッド 0 を選択する
MOT <sub>1</sub>	45	出力	ドライブ 1 のモータ・オン信号の出力端子 ("L" アクティブ)
MOT <sub>2</sub>	43	出力	ドライブ 2 のモータ・オン信号の出力端子 ("L" アクティブ)
DSL <sub>1</sub>	41	出力	ドライブ 1 のセレクト信号の出力端子 ("L" アクティブ)
DSL <sub>2</sub>	39	出力	ドライブ 2 のセレクト信号の出力端子 ("L" アクティブ)
REWL	37	出力	"L" レベルで高ビット密度であることを示す
WRDT	35	出力	ドライブへの書き込みデータの出力端子 ("L" アクティブ)
WRGT	33	出力	ドライブに対して書き込みを指示する信号の出力端子 ("L" アクティブ)
TRK <sub>0</sub>	28	入力	ヘッドがシリンダ 0 に位置することを示す信号の入力端子 ("L" アクティブ)
READY	27	入力	ドライブがレディ状態であることを示す信号の入力端子 ("L" アクティブ)
INDEX	26	入力	ドライブのインデックス検出信号の入力端子 ("L" アクティブ)
REDT	25	入力	ドライブからの読み出しデータの入力端子 ("L" アクティブ)
WPRT	24	入力	ドライブからのメディア書き込み禁止状態を示す信号の入力端子 ("L" アクティブ)
TP <sub>1</sub>	23	入力	インデックス切り換えのための入力端子. "H" のときドライブからのインデックス信号が直接コントローラ部へ入力される
PSA	7	入力	プレ・シフト制御端子. "H" にするとプレ・シフト固定になる
T $\phi$ , TSYN, TDT, TWIND, TPS <sub>1</sub> , TVF <sub>6</sub>	98, 22, 21, 20, 14, 3	入出力	テスト用端子



## FDC (Floppy Disk Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
消費電力	$P_D$	1.0	W
動作温度	$T_{OPR}$	-10~70	°C
保存温度	$T_{STG}$	-55~150	°C

## ■ DC特性

(  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$  )

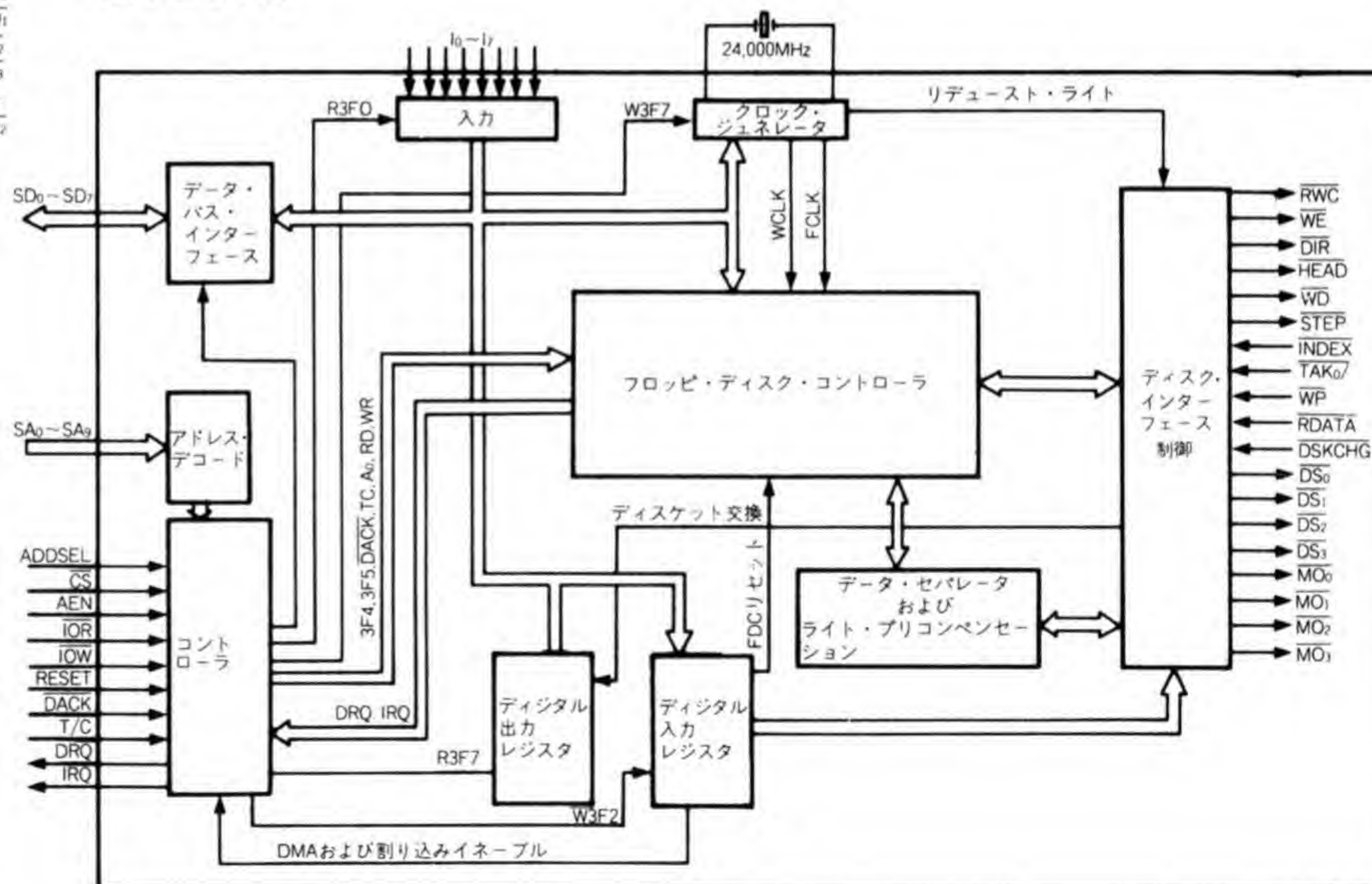
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 12\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 16\text{mA}$	2.4*	V
$I_{OL}$	$V_{OUT} = V_{CC}$	10	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0, V_{CC}$	1	$\mu\text{A}$

## ■ 特徴

- ・ IBM PC/ATおよびXTディスク・ドライブシステム互換
- ・ 360K/720K/1.2M/1.44Mフォーマットをサポート
- ・ 最大4台までの3.5/5.25インチFDドライブをサポート
- ・  $\mu\text{PD}765\text{A}$ をエミュレートする
- ・ DMAモードまたは非DMAモードのいずれかで動作するハンドシェイク信号を内蔵

- ・ リード回路を簡素化するための組み込みアドレス・マーク検出回路
- ・ IBM PCシステム・アドレス・デコーダ内蔵
- ・ デジタル・データ・セパレータ内蔵のため微調整不要
- ・ データ・レート/データ・レコード長はプログラマブル
- ・ マルチセクタおよびマルチトラック転送機能

## ■ ブロック図





## ■ 端子機能

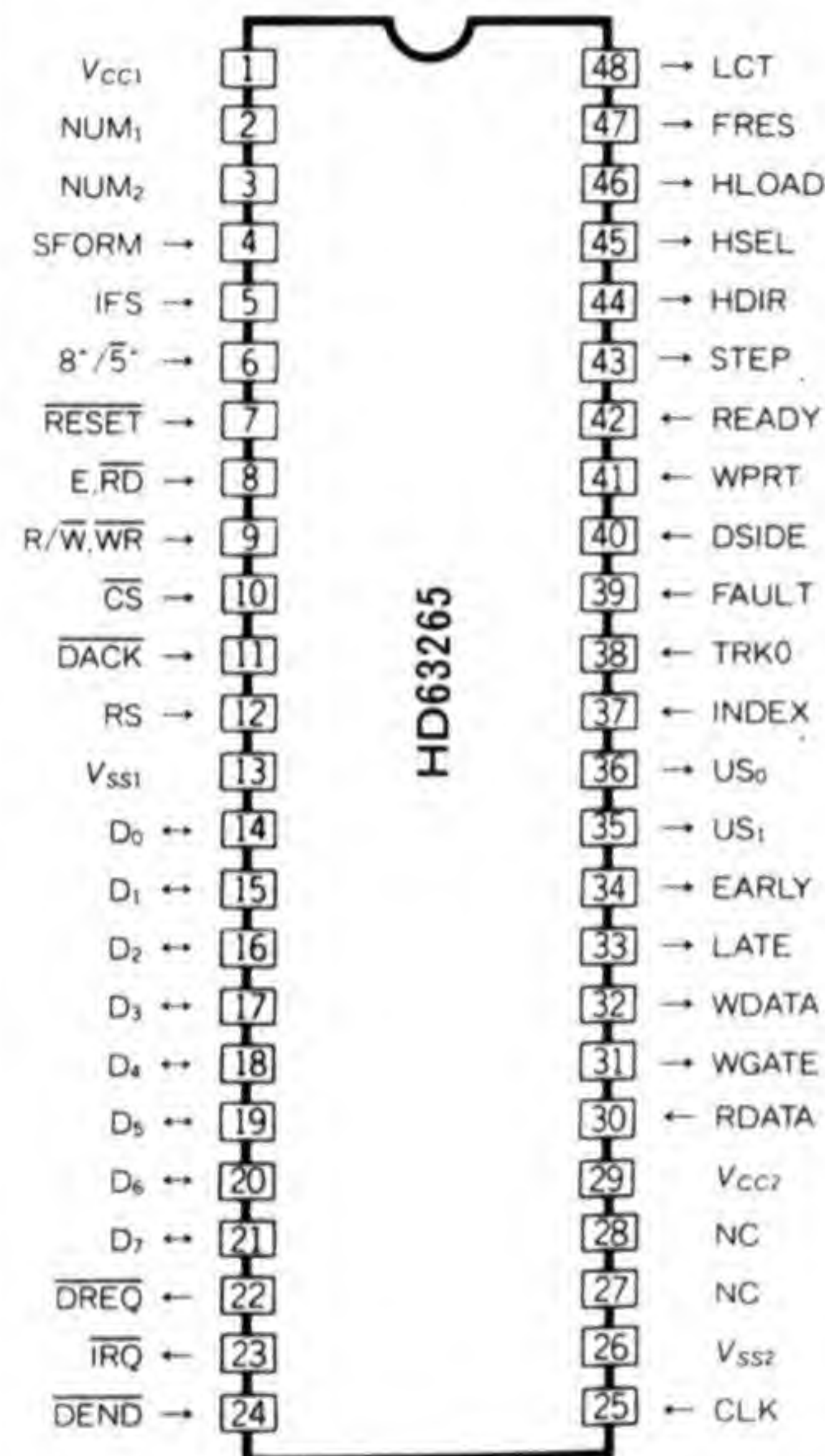
端子名	ピン番号	入出力	機能
SA <sub>0</sub> ~SA <sub>9</sub>	1~10	入力	アドレス・バス
AEN	11	入力	アドレス・イネーブル, DMA コントローラからの入力. このラインがアクティブのとき, DMA コントローラがアドレス・バスを制御する
SD <sub>0</sub> ~SD <sub>7</sub>	12~15, 18~21	入出力	データ・バス
RESET	22	入力	コントローラをアイドル状態にリセットするアクティブ“H”入力. FDD への出力ラインをすべてディセーブル状態にリセットする
DRQ	23	出力	DRQ=1 のときの FDC による DMA リクエスト
IOW	24	入力	SD バスから FDC にデータを転送するプロセッサからのコマンド
IOR	25	入力	チップから SD バスにデータを転送するプロセッサからのコマンド
IRQ	26	出力	IRQ=1 のときに生成される割り込みリクエスト
DACK	27	入力	0 にセットされると, DMA サイクルがアクティブになり, コントローラは DMA 転送を行う
T/C	28	入力	1 にセットされると, DMA モードまたは割り込みモードで Read/Write/Scan コマンドを実行中にデータ転送を終了させる
ADDSEL	29	入力	アドレス・セレクト. 1 にセットされると SA-3FX, 0 にセットされると SA-37X
CS	30	入力	チップ・セレクト. 0 にセットされると, FDC がセレクトされる
XTAL <sub>1</sub>	33	入力	水晶発振器入力
XTAL <sub>2</sub>	34	出力	水晶発振器出力
I <sub>7</sub> ~I <sub>0</sub>	35~42	入力	3FO からの 8 ビット・リード・オンリ・レジスタに予約
MO <sub>3</sub> , MO <sub>2</sub> , MO <sub>1</sub> , MO <sub>0</sub>	43, 44, 48, 49	出力	0 にセットされると, モータ・オンがディスク・ドライブ 3 をイネーブルにする. この信号はオープン・ドレイン出力
DS <sub>3</sub> , DS <sub>2</sub> , DS <sub>1</sub> , DS <sub>0</sub>	46, 47, 51, 52	出力	0 にセットされると, ドライブ・セレクトはディスク・ドライブ 3 をイネーブルにする. この信号はオープン・ドレイン出力

端子名	ピン番号	入出力	機能
WE	53	出力	ライト・イネーブル. 0 にセットされると, マイクロプロセッサから FDD にライトを行う. オープン・ドレイン出力
DIR	55	出力	ヘッド・ステップ・モータの方向. オープン・ドレイン出力. ロジック 1 = 外周運動, ロジック 0 = 内周運動
HEAD	56	出力	ヘッド・セレクト, オープン・ドレイン出力. どちらのディスク・ドライブ・ヘッドをアクティブにするかを決定する. ロジック 1 = サイド 0, ロジック 0 = サイド 1
RWC	58	出力	ライト電流低減. この信号は, 2 スピード・ディスク・ドライブで転送レートを選択するために使用できる. ロジック 0 = 250Kbit/sec, ロジック 1 = 500Kbit/sec. オープン・ドレイン出力
WD	59	出力	ライト・データ. ロジック “L” オープン・ドレイン. プリコンベシセートされたシリアル・データをセレクトされた FDD にライトする. オープン・ドレイン
STEP	61	出力	STEP 出力パルス. アクティブ “L” オープン・ドレイン出力. ヘッドを別のシリンダに移動するためのパルスを実行可能なレートで生成する
INDEX	62	入力	ディスク・ドライブからのアクティブ “L” のシュミット入力. インデックス・ホールでマークされるトラック先頭からのヘッド位置を感知する
TAK <sub>0</sub>	63	入力	トラック 00. ディスク・ドライブからのアクティブ “L” のシュミット入力. ヘッド位置が最外周トラックを超えたときの信号
WP	64	入力	ライト・プロテクト. ディスク・ドライブからのアクティブ “L” のシュミット入力は, ディスケットがライト・プロテクトされていることを示す
RDATA	65	入力	リード・データ入力. FDD からマイクロプロセッサにリードされた信号
DSKCHG	66	入力	ディスケットの交換. この信号は電源投入時およびディスケットが取り出されたときにアクティブ “L” になる. これは適当なディスケットが挿入されていて, STEP パルスが受信されるまでアクティブになっている



# FDC (Floppy Disk Controller)

## ■ ピン接続



## ■ 特徴

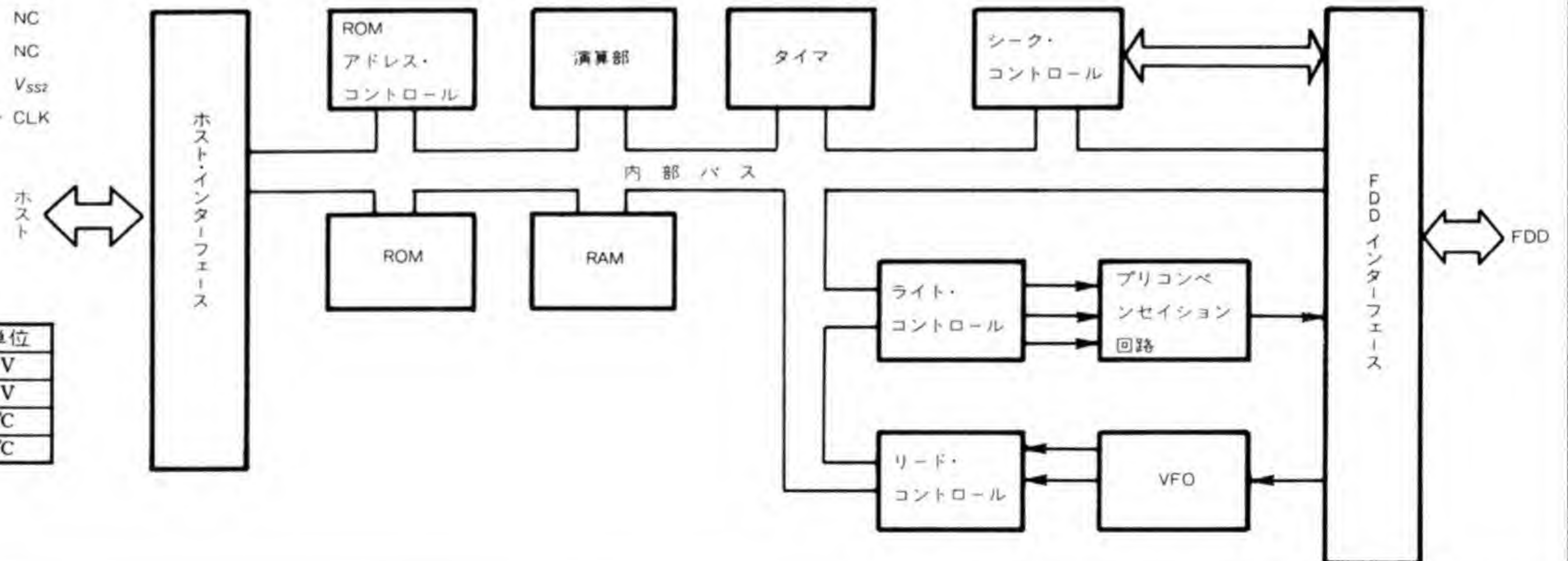
- ・ 68系および80系CPU用のFDコントローラ
- ・ 無調整アナログVFO方式の高精度データ・セパレータ内蔵
- ・ ライト・プリコンペンセーション回路内蔵し、プリコンペ量はプログラマブル
- ・ トラックの内外周でプリコンペ量切り替え可能
- ・ データ転送速度  
FM変調 : 125, 150, 250kbps  
MFM変調 : 250, 300, 500kbps
- ・ データのDMA転送, プログラム転送機能をもつ
- ・ IBM, ECMA (ISO) フォーマット・データ内蔵
- ・ マルチセクタ, マルチトラック・リード/ライト可能, マルチ・シーク可能
- ・ ドライブ制御範囲  
ドライブ数 : 4台  
ヘッド数 : 2ヘッド/ドライブ  
シリンダ数 : 255シリンダ/ドライブ  
セクタ数 : 255セクタ/トラック
- ・ セクタ長はプログラマブル

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.5	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 2.5$	$\mu\text{A}$
$C_{IN}$		15	pF

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim 70$	$^\circ\text{C}$
保存温度	$T_{STG}$	$-55 \sim 150$	$^\circ\text{C}$



## ■端子機能

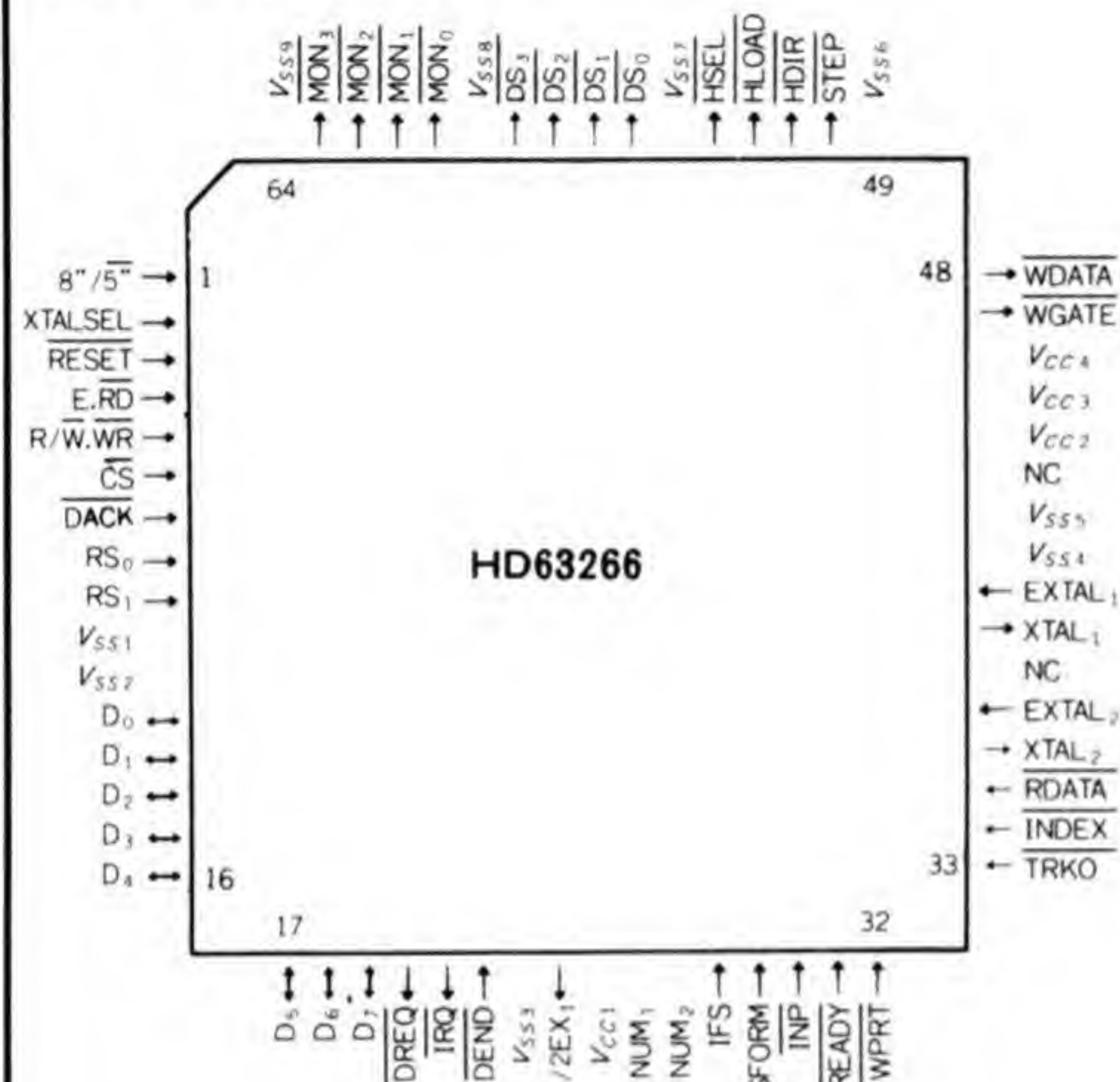
端子名	ピン番号	入出力	機能
CLK	25	入力	クロック入力端子
$\overline{\text{RESET}}$	7	入力	$\overline{\text{DREQ}}$ , $\overline{\text{IRQ}}$ 信号を“H”レベルにし, その他のすべての出力信号を“L”レベルにする
E, $\overline{\text{RD}}$	8	入力	IFS の入力に応じてイネーブル, リードを入力する
R/ $\overline{\text{W}}$ , $\overline{\text{WR}}$	9	入力	IFS の入力に応じて, リード/ライト, ライトを入力する
$\overline{\text{CS}}$	10	入力	FDC をアドレッシングするための端子
RS	12	入力	リード, ライトを行うレジスタを選択する
D <sub>0</sub> ~D <sub>7</sub>	14~21	入出力	リード・ライト可能なデータ・バス
$\overline{\text{IRQ}}$	23	出力	割り込み要求信号
$\overline{\text{DACK}}$	11	入力	DMA モード時, データ転送のタイミングを入力する端子
$\overline{\text{DRFQ}}$	22	出力	DMAC へのデータ転送要求信号出力端子
$\overline{\text{DEND}}$	24	入力	データ転送を止めるための入力端子
RDATA	30	入力	FDD からの READ DATA 信号入力端子
WGATE	31	出力	FDD への書き込み制御信号出力端子
WDATA	32	出力	FDD への WRITE DATA 信号出力端子
LATE EARLY	33 34	出力	WRITE PRECOMPENSATION 制御信号を出力する端子
US <sub>1</sub> US <sub>0</sub>	35 36	出力	FDD を選択する信号を出力. US <sub>0</sub> , US <sub>1</sub> をデコードすることで4台までのFDDが選択できる

端子名	ピン番号	入出力	機能
INDEX	37	入力	FDD からの INDEX 信号を入力
TRK 0	38	入力	FDD からの TRACK 00 信号を入力
FAULT	39	入力	FDD からの FAULT 信号を入力
DSIDE	40	入力	FDD からの DOUBLE SIDE 信号を入力
WPRT	41	入力	FDD からの WRITE PROTECTED 信号を入力
READY	42	入力	FDD からの READY 信号を入力
STEP	43	出力	FDD のヘッドを動かす STEP 信号を出力
HDIR	44	出力	FDD のヘッドの移動方向を示す信号を出力
HSEL	45	出力	FDD のヘッドを選択する信号を出力
HLOAD	46	出力	FDD にヘッド・ロードを指示する信号を出力
FRES	47	出力	FDD に FAULT 信号をリセットする信号を出力
LCT	48	出力	FDD のデータ書き込み電流の制御信号を出力
SFORM	4	入力	フォーマッティング時のフォーマット・データを選択
IFS	5	入力	ホスト・インターフェースの指定を入力する端子
8"/5"	6	入力	データ転送速度を指定する入力端子



# FDC (Floppy Disk Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

## ■ DC特性

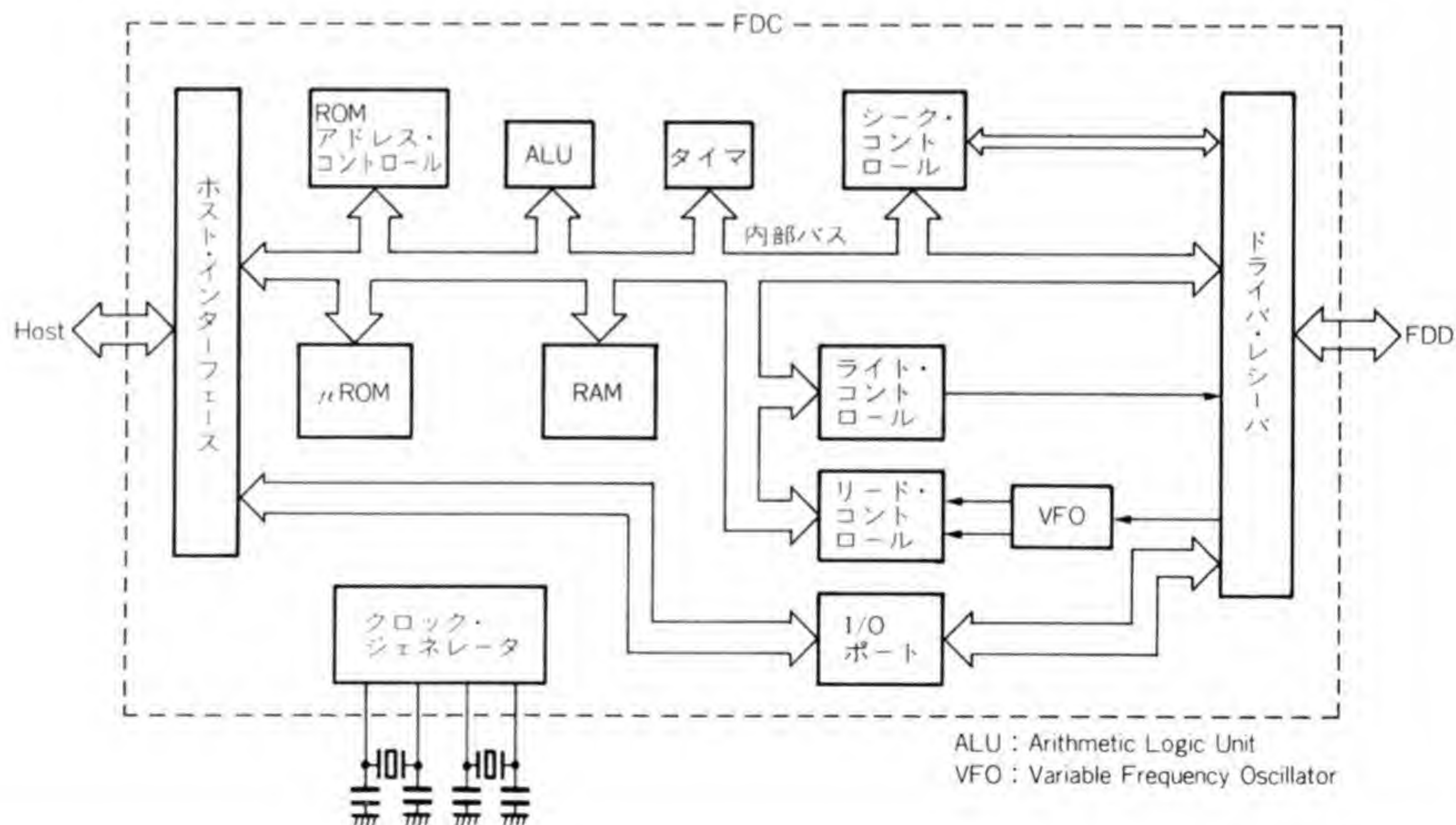
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		$V_{CC} \times 0.42^*$	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.5	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	$V_{CC} - 1.0^*$	V
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 2.5$	$\mu\text{A}$
$C_{IN}$		15	pF

## ■ 特徴

- ・高精度データ・セパレータ回路内蔵
- ・FDD用ドライバ・レシーバ回路内蔵
- ・16MHzおよび19.2MHz用のクロック発振回路内蔵
- ・ホスト・システムに対し8MHzクロックを出力
- ・4本の出力ポートと1本の入力ポートを内蔵
- ・4本のドライブ・セレクト出力信号により3.5インチ, 5.25インチFDDとダイレクトに接続可能
- ・最大4台のドライブを制御可能
- ・データ転送レート  
FM変調 : 125, 150, 250Kbps  
MFM変調 : 250, 300, 500Kbps

## ■ ブロック図





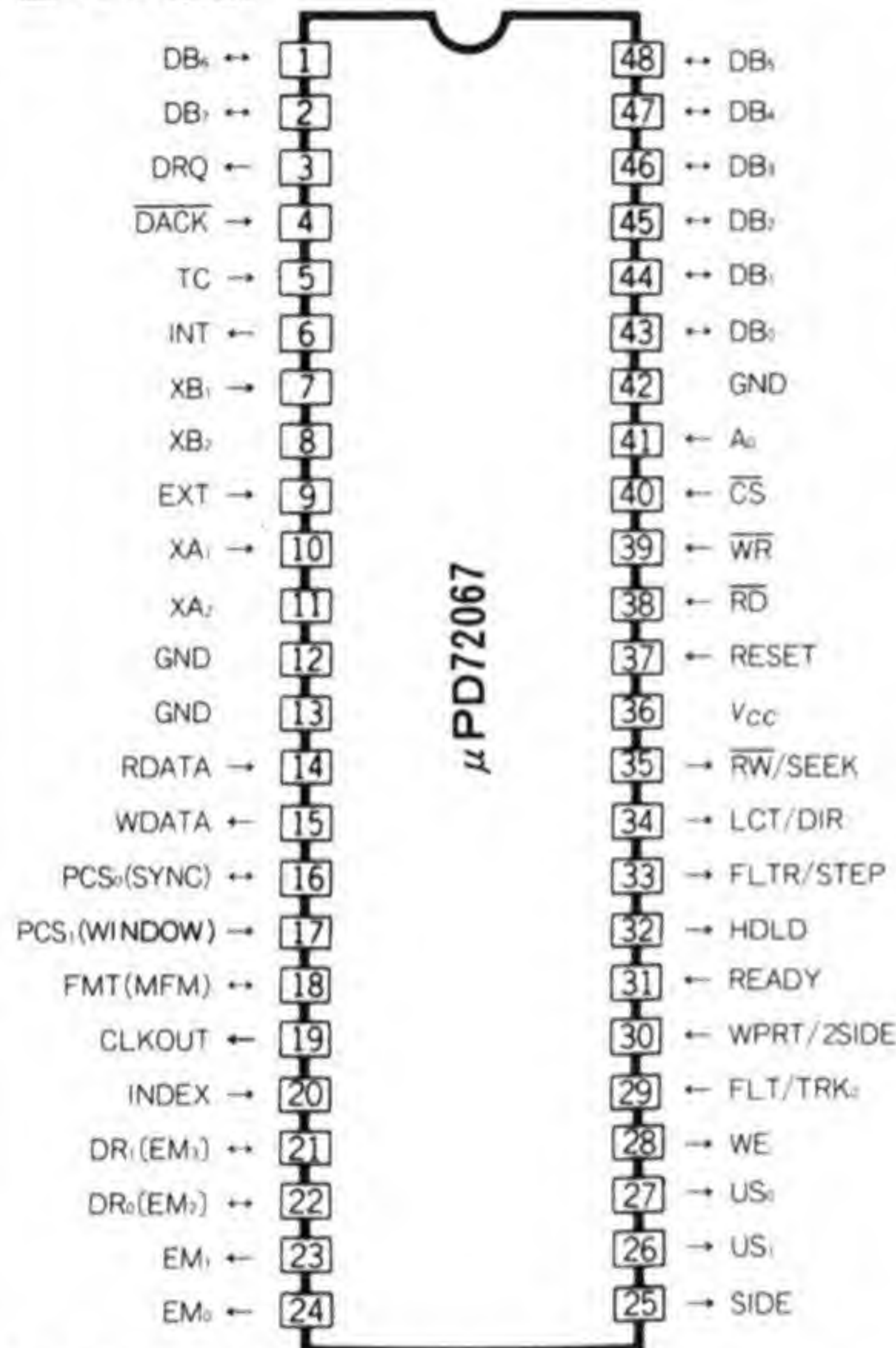
## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能																		
RESET	リセット	3	入 力	1/2EX <sub>1</sub> 以外の出力信号を“High”レベルにする。D <sub>0</sub> ～D <sub>7</sub> は入力状態となる。1/2EX <sub>1</sub> は影響されない																		
E RD	イネーブル、リード	4	入 力	<table><tr><th>記号</th><th>IFS</th><th></th><th>機 能</th></tr><tr><td rowspan="2">E RD</td><td>0</td><td>RD</td><td>リード動作を制御する信号を入力する</td></tr><tr><td>1</td><td>WR</td><td>イネーブル信号を入力する</td></tr><tr><td rowspan="2">R/W, WR</td><td>0</td><td>WR</td><td>ライト動作を制御する信号を入力する</td></tr><tr><td>1</td><td>R/W</td><td>リード動作であるかライト動作であるかを指定する信号を入力する</td></tr></table>	記号	IFS		機 能	E RD	0	RD	リード動作を制御する信号を入力する	1	WR	イネーブル信号を入力する	R/W, WR	0	WR	ライト動作を制御する信号を入力する	1	R/W	リード動作であるかライト動作であるかを指定する信号を入力する
記号	IFS		機 能																			
E RD	0	RD	リード動作を制御する信号を入力する																			
	1	WR	イネーブル信号を入力する																			
R/W, WR	0	WR	ライト動作を制御する信号を入力する																			
	1	R/W	リード動作であるかライト動作であるかを指定する信号を入力する																			
R/W WR	リード/ライト、ライト	5	入 力																			
CS	チップ・セレクト	6	入 力	FDC をアドレッシングするための入力																		
RS <sub>0</sub> , RS <sub>1</sub>	レジスタ・セレクト 0, 1	8, 9	入 力	リード、ライトを行うレジスタを選択する																		
D <sub>0</sub> ～D <sub>7</sub>	データ・バス 0～7	12～19	入出力	リード、ライト可能なデータ・バス																		
IRQ	インタラプト・リクエスト	21	出 力	Non-DMA モードにおけるデータ転送時 MPU へのデータ転送要求を行う。また READ, WRITE, SEEK 系コマンドの終了を MPU へ知らせる																		
DACK	DMA アクノリッジ	7	入 力	DMA 転送時、データ転送のタイミングを入力する端子																		
DREQ	DMA リクエスト	20	出 力	DMAC へのデータ転送要求信号出力端子																		
DEND	DMA エンド	22	入 力	データ転送を停止させる信号の入力端子																		
IND	インプット・ポート	30	入 力	CHECK DEVICE STATUS コマンドの発行またはインプット・レジスタをリードすることで、入力レベルを知ることができるインプット・ポート																		
READY	レディ	31	入 力	FDD からの READY 信号を入力する																		
WPRT	ライト・プロテクト	32	入 力	FDD からの WRITE PROTECTED 信号を入力する																		
TRK 0	トラック 0	33	入 力	FDD からの TRACK00 信号を入力する																		
INDEX	インデックス	34	入 力	FDD からの INDEX 信号を入力する																		
RDATA	リード・データ	35	入 力	FDD からの READ DATA 信号を入力する																		
WGATE	ライト・ゲート	47	出 力	FDD への書き込み制御信号出力端子																		
WDATA	ライト・データ	48	出 力	FDD への WRITE DATA 信号出力端子																		
STEP	ステップ	50	出 力	FDD のヘッドを動かす STEP 信号を出力する																		
HDIR	ヘッド・ディレクション	51	出 力	FDD のヘッドの移動方向を示す信号を出力する																		
HLOAD	ヘッド・ロード	52	出 力	FDD にヘッド・ロードを指示する信号を出力する																		
HSEL	ヘッド・セレクト	53	出 力	FDD のヘッドを選択する信号を出力する																		
DS <sub>0</sub> ～DS <sub>3</sub>	ドライブ・セレクト 0～3	55～58	出 力	FDD を選択する信号を出力する																		
MON <sub>0</sub> ～MON <sub>3</sub>	モータオン 0～モータオン 3	60～63	出 力	MON SET, MON RESET コマンドによりステータス・レジスタの BSY=0 の間自由にセット、リセットできる出力ポート																		
1/2EX <sub>1</sub>	1/2EXTAL <sub>1</sub>	24	出 力	発振クロックを1/2分周したクロックを出力する																		
XTAL <sub>0</sub> , EXTAL <sub>2</sub>		36, 37	一、入力	19.2MHz の水晶振動子を接続する																		
XTAL <sub>1</sub> , EXTAL <sub>1</sub>		39, 40	一、入力	16MHz の水晶振動子を接続する																		
8 <sup>μ</sup> /5 <sup>μ</sup>	データ転送、レート選択	1	入 力	データ転送速度を指定する。8 <sup>μ</sup> /5 <sup>μ</sup> 端子は、入力クロックの分周量を変えることでデータ転送速度を指定し、XTALSEL 端子は入力クロックとして EXTAL <sub>1</sub> 側のクロック (16MHz) を選ぶか、EXTAL <sub>2</sub> 側のクロック (19.2MHz) を選ぶかを選択する																		
XTALSEL	クロック選択	2	入 力																			
IFS	インターフェース・セレクト	28	入 力	ホスト・インターフェースを指定する入力端子																		
SFORM	セレクト・フォーマット・データ	29	入 力	フォーマッティング時のフォーマット・データを選択する																		



# FDC (Floppy Disk Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$-10 \sim 70$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

## ■ DC特性

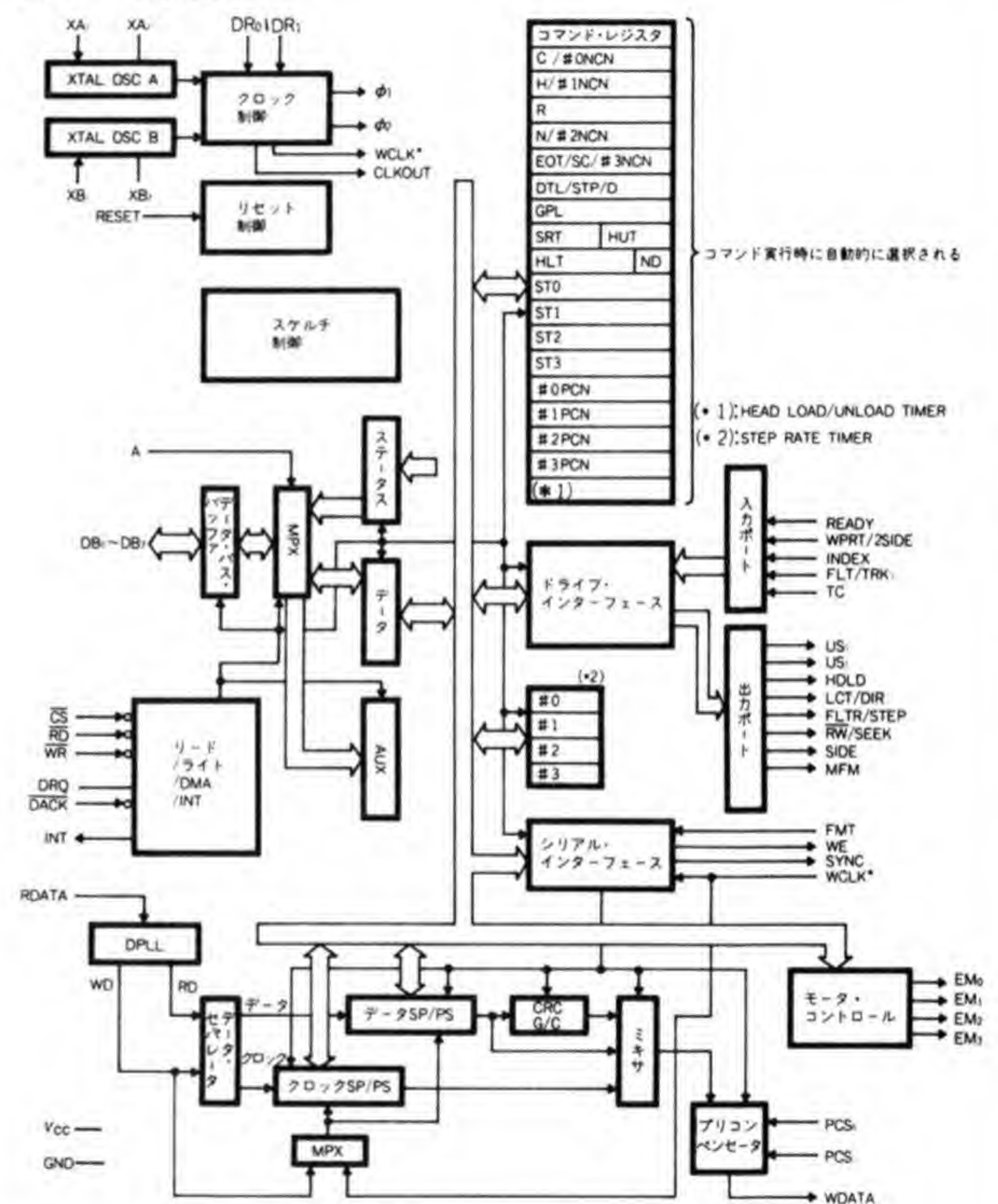
( $T_a = -10 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.0\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 200\mu\text{A}$	$0.7 \times V_{CC}^*$	V
$I_{OL}$	$V_{OUT} = 0.45 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		10	pF

## ■ 特 徴

- ・ スピンドル・モータ制御回路、書き込み補償回路などを内蔵したFDコントローラ
- ・ 周辺回路の設定をプログラムで行う内部モードと外部端子で行う外部モードがある
- ・  $\mu\text{PD765}$ 、 $7265$ などとコマンド・コンパチブル
- ・ ウィンドウ信号発生用デジタルVFO内蔵
- ・ データ転送速度  
MFM: 500, 300, 250kbps  
FM: 250, 150, 125kbps
- ・ IBMフォーマットとECMA/I SOフォーマットの両方に対応
- ・ 従来のFDCと機能コンパチブルで、FDを4台ドライブ可能
- ・ Vシリーズのデータ・バス、制御バスとコンパチブル

## ■ ブロック図





■端子機能

端子名	ピン番号	入出力	機能
RESET	37	入力	アイドル状態にする
$\overline{\text{RD}}$	38	入力	メイン・システムがFDCからデータ・バスへデータを読み出すための制御信号
$\overline{\text{WR}}$	39	入力	メイン・システムがデータ・バスのデータをFDCへ書き込むための制御信号
$\overline{\text{CS}}$	40	入力	$\overline{\text{RD}}$ , $\overline{\text{WR}}$ 信号を有効にする
$\text{A}_0$	41	入力	アドレス・バスを介してFDC内部のステータス・レジスタ, データ・レジスタ, または補助コマンド・レジスタを選択
$\text{DB}_0 \sim \text{DB}_7$	43~48, 1, 2	入出力	双方向3ステートのデータ・バス
DRQ	3	出力	DMAモードでのデータ転送要求信号
$\overline{\text{DACK}}$	4	入力	DMAサイクルの許可信号
TC	5	入力	データ転送の終了指示信号
INDEX	20	入力	ドライブのリード/ライト・ヘッドがメディア上のトラックの物理的開始点に位置することを示す信号
INT	6	出力	メイン・システムに対して転送データや実行結果の処理を要求する信号
$\text{PCS}_0$ (SYNC) <sup>(注1)</sup>	16	入力 (出力)	外部モードのときは $\text{PCS}_0$ となり, プリコンベンション量を決定する信号を入力する
$\text{PCS}_1$ (WINDOW) <sup>(注1)</sup>	17	入力 (入力)	外部モードのときは $\text{PCS}_1$ となり, プリコンベンション量を決定する信号を入力する
RDATA	14	入力	ドライブからの読み出しデータで, クロック・ビットとデータ・ビットで構成されている信号
FMT (MFM) <sup>(注1)</sup>	18	入力 (出力)	外部モードのときはFMTとなり, IBMフォーマットかECMAフォーマットかを選択する信号を入力する。0: IBMフォーマット 内部モードのときのフォーマットは, SELECT FORMAT コマンドで指定する。 内部モードでEXT=1のときはMFMとなり, 外付けVFO回路の動作モードを指定する信号を出力する。EXT=0のときは無意味となる。0: FMモード
$\text{XA}_1$	10	入力	内部VFOを用いるとき(EXT=0)は, 32MHzの水晶振動子を接続する。外部クロックを用いるときは, $\text{XA}_1$ 端子に入力する( $\text{XA}_2$ 端子はオープン)。
$\text{XA}_2$	11	—	外付けVFOを用いるとき(EXT=1)は, 16MHzの水晶振動子を接続する。外部クロックを用いるときは, $\text{XA}_1$ 端子に入力する( $\text{XA}_2$ 端子はオープン)。
$\text{XB}_1$	7	入力	300 kbps系のデータ転送速度を用いるときに19.2 MHzの水晶振動子を接続する。外部クロックを用いるときは, $\text{XB}_1$ 端子に入力する( $\text{XB}_2$ 端子はオープン)。
$\text{XB}_2$	8	—	300 kbps系のデータ転送速度を用いない場合は, $\text{XB}_1$ 端子をプルダウンする( $\text{XB}_2$ 端子はオープン)。

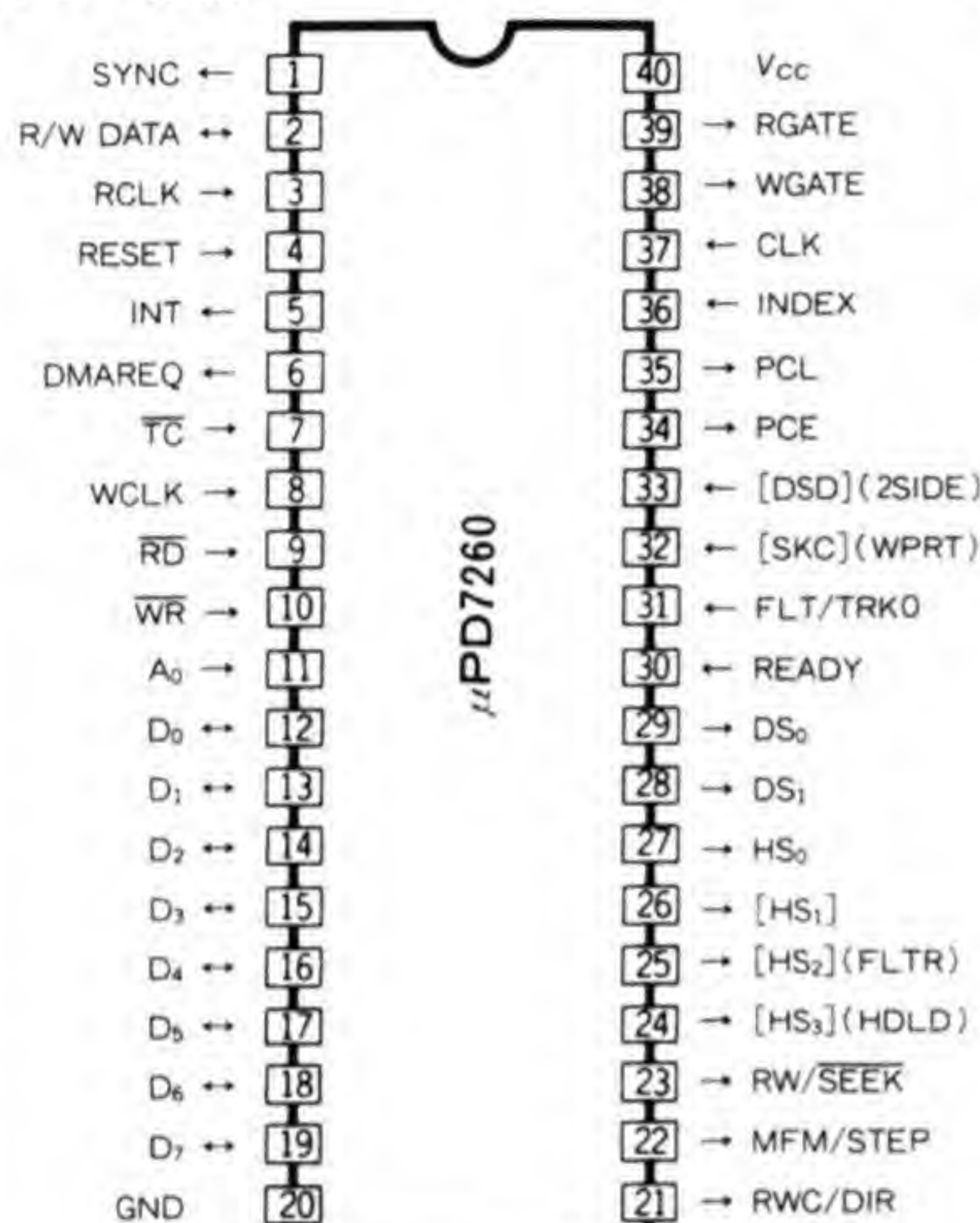
端子名	ピン番号	入出力	機能
EXT <sup>(注2)</sup>	9	入力	内部モードのときに内蔵のVFO回路を用いるか, 外付けのVFOを用いるかを決定する信号を入力する。0: 内蔵
WE	28	出力	ドライブに対して書き込みを指示する信号
SIDE	25	出力	両面型ドライブのヘッド0, 1を選択する信号。0のときヘッド0
$\text{US}_{0,1}$	27, 26	出力	ドライブ選択信号
WDATA	15	出力	ドライブへの書き込みデータで, クロック・ビットとデータ・ビットで構成する
$\text{DR}_{0,1}$ ( $\text{EM}_{2,3}$ )	22, 21	入力 (出力)	外部モードのときは $\text{DR}_{0,1}$ となりデータ転送速度を決定する信号を入力する。内部モードのときは $\text{EM}_{2,3}$ となりドライブのスピンル・モータの制御信号を出力する。FDCに19.2 MHzのクロックを供給しない場合( $\text{XB}_1$ 端子をプルダウンしている場合), $\text{DR}_1$ ( $\text{EM}_3$ )端子は必ずプルダウンする
$\text{EM}_{0,1}$	24, 23	出力	ドライブのスピンル・モータの制御信号を出力
CLKOUT	19	出力	外付けVFOとしてμPD71065/71066を用いる場合, μPD71065/71066が必要なクロックを出力する。 $\text{DR}_1=0$ のときは16 MHz, $\text{DR}_1=1$ のときは19.2 MHzのクロックが出力
FLT/TRK <sub>0</sub>	29	入力	$\overline{\text{RW}}/\text{SEEK}$ 信号が, $\overline{\text{RW}}$ を指定しているときはFLTとなり, ドライブのFAULT状態であるかどうかを示す信号を入力する。 $\overline{\text{RW}}/\text{SEEK}$ 信号が, SEEK を指定しているときはTRK <sub>0</sub> となり, ドライブのリード/ライト・ヘッドがシリンダ0に位置するかどうかを示す信号を入力する
WPRT/ 2SIDE	30	入力	$\overline{\text{RW}}/\text{SEEK}$ 信号が, $\overline{\text{RW}}$ を指定しているときはWPRTとなり, メディアが書き込み禁止状態であるかどうかを示す信号を入力する。 $\overline{\text{RW}}/\text{SEEK}$ 信号がSEEKを指定しているときは2 SIDE
READY	31	入力	ドライブがレディ状態であることを示す信号
HDLD	32	出力	ドライブのリード/ライト・ヘッドをロード状態にする信号
FLTR/ STEP	33	出力	$\overline{\text{RW}}/\text{SEEK}$ 信号が $\overline{\text{RW}}$ を指定しているときはFLTRとなり, ドライブのFAULT状態を解除する。 $\overline{\text{RW}}/\text{SEEK}$ 信号をSEEKを指定しているときはSTEP
LCT/DIR	34	出力	$\overline{\text{RW}}/\text{SEEK}$ 信号が $\overline{\text{RW}}$ を指示しているときはLCTとなり, ドライブのリード/ライト・ヘッドが43番目以降のシリンダを選択。 $\overline{\text{RW}}/\text{SEEK}$ 信号がSEEKを指定しているときはDIRとなり, シーク動作の方向を指定する。0のとき遠心方向
$\overline{\text{RW}}/\text{SEEK}$	35	出力	ドライブ・インターフェース信号のうち, リード/ライト用とシーク用を兼用している信号を区別する信号。0のときRW

(注1) 内部モードで内蔵VFOを使用する場合を含め, 常にプルアップまたはプルダウンして入力レベルを固定する。  
(注2) 内蔵モードの場合EXT=0のときは“L”で, EXT=1のときはクロックを出力する。外部モードでは“L”になる。



# HFDC (Hard/Floppy Disk Controller)

## ■ ピン接続



( ): フロッピー・ディスクのみ  
[ ] : ハード・ディスクのみ

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

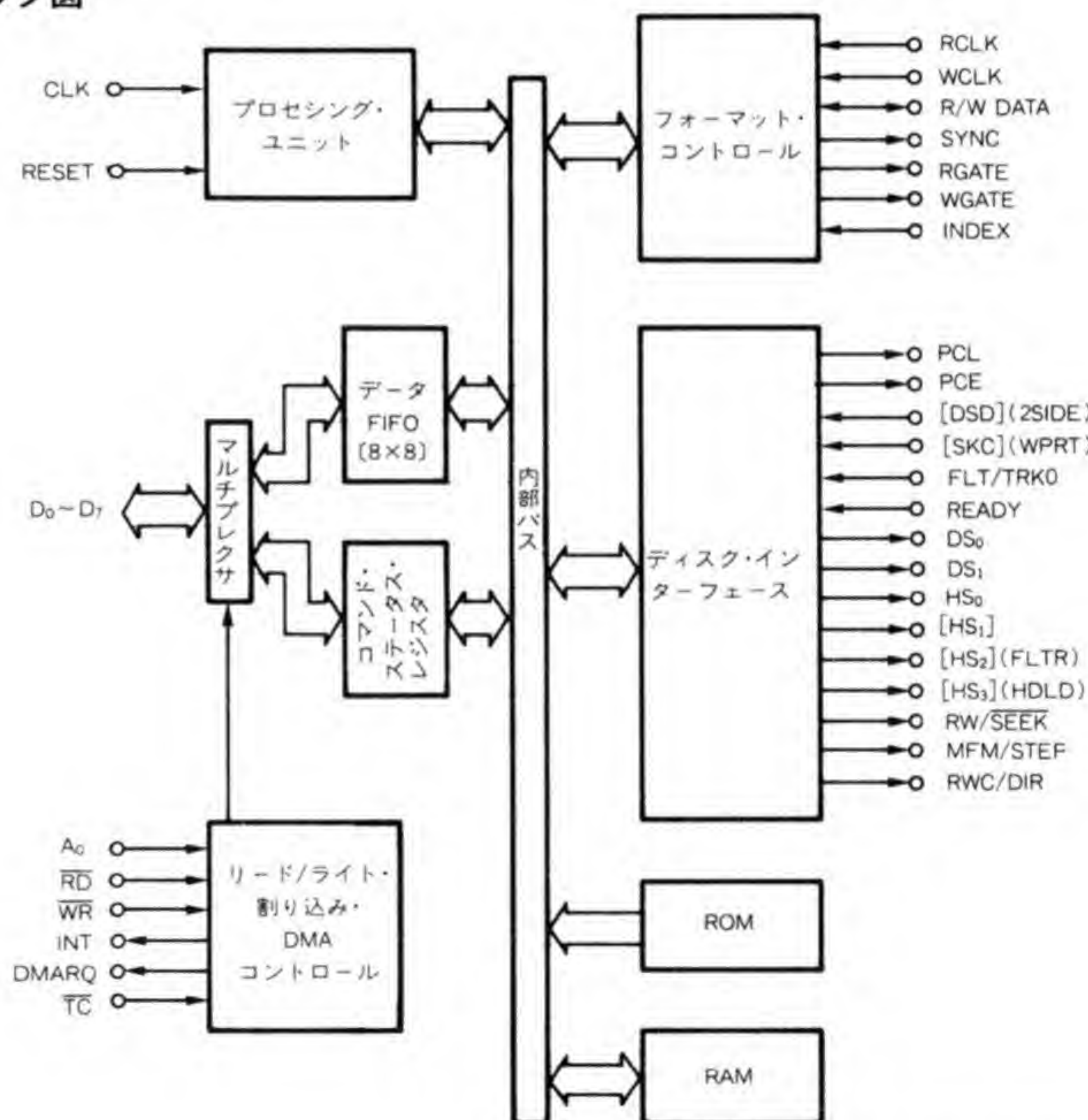
( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL}=2.0\text{mA}$	0.45	V
$V_{OH}$	$I_{OH}=100\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT}=0.45\sim V_{CC}$	$\pm 30$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0.45\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		15	pF

## ■ 特徴

- ・ IBM/ECMAフォーマットのフロッピー・ディスクとフロッピー標準インターフェースのハード・ディスクの制御が可能なコントローラ
- ・ ハード/フロッピー・ディスク併せて4台まで接続可能
- ・ トラック・フォーマットはプログラマブル  
データ長: 128, 256, 512, 1024, 2048, 4096, 8192  
バイト/セクタ

## ■ ブロック図



( )内はフロッピー・ディスク・インターフェースのとき  
[ ]内はハード・ディスク・インターフェースのとき

セクタ数: 256セクタ/トラック (最大)

- ・ 16種類のディスク・コマンドをもつ
- ・ マルチセクタ, マルチトラック・リード/ライト可能, マルチ・シーク可能
- ・ CRC発生, チェック機能をもつ
- ・ ECC発生, チェック, 訂正情報の生成機能をもつ (ハード・ディスクのみ)
- ・ DMAデータ転送



## ■端子機能

端子名	ピン番号	入出力	機能
CLK	37	入力	外部クロック入力
D <sub>0</sub> ~D <sub>7</sub>	11, 12~19	入力 入出力	8ビットの双方向データ・バス
$\overline{\text{RD}}$	9	入力	データ/ステータスを読み出すための制御信号が入力される
$\overline{\text{WR}}$	10	入力	データ/コマンドを書き込むための制御信号が入力される
A <sub>0</sub>	11	入力	レジスタとデータFIFOを選択する信号が入力される
INT	5	出力	ホスト・システムに対する割り込み要求信号を出力
DMARQ	6	出力	ホスト・システムに対するDMA要求信号を出力
$\overline{\text{TC}}$	7	入力	データ転送の終了指示信号がホスト・システムから入力される
RESET	4	入力	リセット入力, CLK信号の100サイクル以上の時間“H”レベルを入力すると, すべての内部レジスタをクリアし, アイドル状態になる
R/W DATA	2	入出力	リード動作時にはディスク・ドライブからの読み出しデータの入力となり, ライト動作時にはディスク・ドライブの書き込みデータの出力となる
SYNC	1	出力	読み出しデータの中から連続する16ビット長の“0”を検出したことを示す信号
RCLK	3	入力	読み出しデータをサンプリングするためのクロック信号がVFO回路から入力される
WCLK	8	入力	ディスク・ドライブへの書き込みデータ, PCL, PCE信号の出力タイミングを作るためのクロック信号が入力される
RGATE	39	出力	データ読み出しのための制御信号を出力
WGATE	38	出力	データ書き込みのための制御信号を出力
INDEX	36	入力	インデックス・ホール検出信号が入力される

端子名	ピン番号	入出力	機能
PCL, PCE	35, 34	出力	リード・データのピーク・シフトを補正するため, ディスク・ドライブにデータを書き込むときに, あらかじめ大きなピーク・シフトを生じるビットを一定時間遅らせるか早めることを指示する信号を出力
DS <sub>0</sub> , DS <sub>1</sub>	29, 28	出力	ディスク・ドライブで選択信号を出力
READY			ディスク・ドライブがレディ状態であることを示す信号が入力される
RW/ $\overline{\text{SEEK}}$	23	出力	ディスク・ドライブ・インターフェース信号の内, シーク用とリード/ライト用を兼用している信号を区別するための信号を出力
MF $\overline{\text{M}}$ /STEP	22	出力	リード/ライト動作の場合には, VFO回路の動作モードを指定するMF $\overline{\text{M}}$ 信号を出力する, シーク動作の場合には, リード/ライト・ヘッドを移動させるためのSTEP信号を出力する
RWC/DIR	21	出力	Read Write Current信号またはDirection信号を出力する
FIT/TRK0	31	入力	FaultまたはTrack0信号を出力する
HS <sub>0</sub> ~HS <sub>3</sub> *	24~27	出力	リード/ライト・ヘッド選択信号を出力する
DSD*	33	入力	該当のディスク・ドライブが選択されたことを示す信号を入力する
SKC*	32	入力	ヘッドのシーク動作を完了し, 静止したことを示すSKC信号を入力する
HS <sub>0</sub> **	27	出力	リード/ライト・ヘッド選択信号を入力する
2SIDE**	33	入力	両面用のメディアが入っていることを示す信号入力
FLTR**	25	出力	フォルト状態をクリアする信号
HDLD**	24	出力	ヘッドをロード状態にする信号
WPRT**	32	入力	メディアが書き込み禁止であることを示す信号を入力

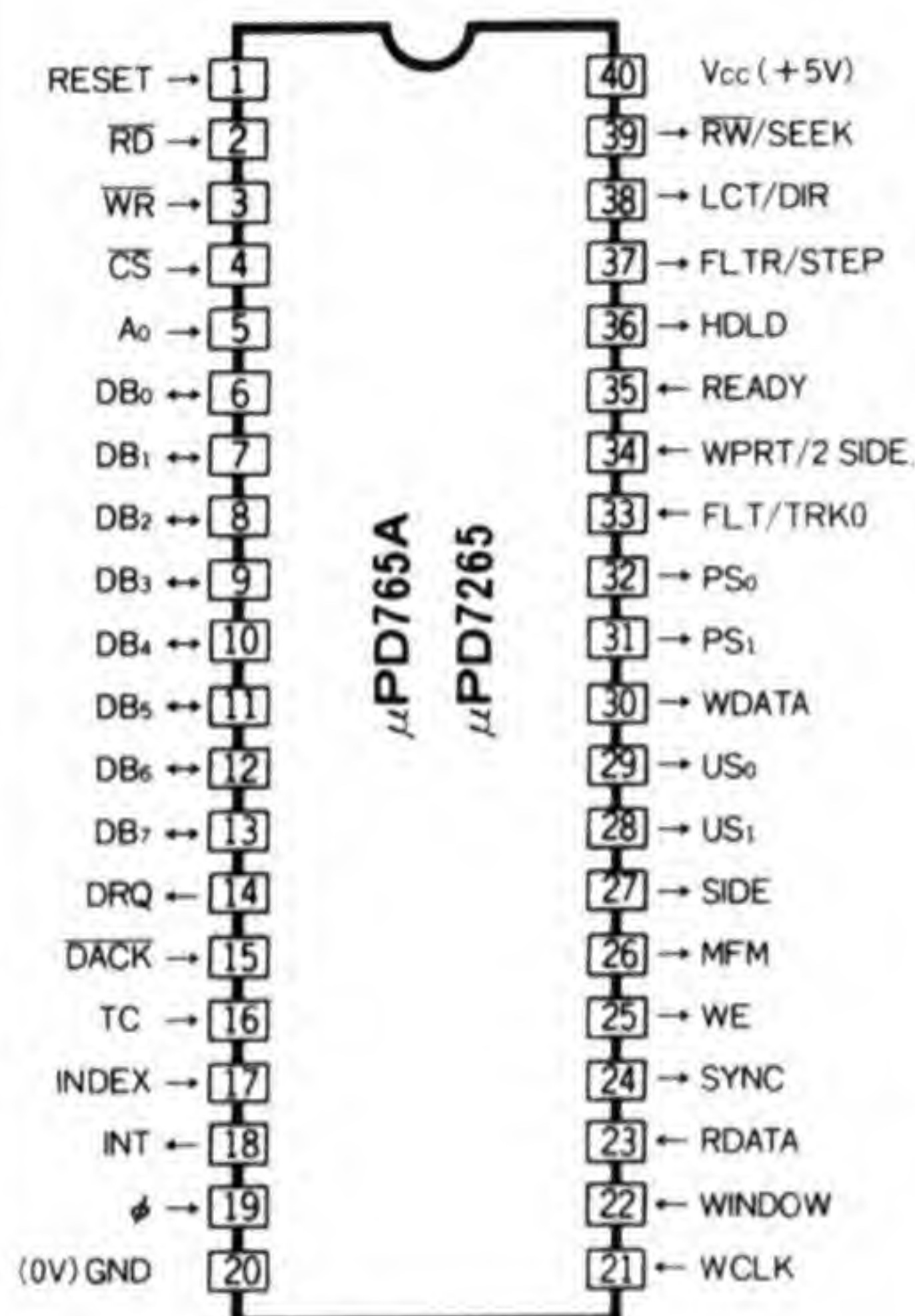
\*ハード・ディスクの端子機能

\*\*フロッピー・ディスクの端子機能



# FDC (Floppy Disk Controller)

## ■ ピン接続



## ■ 特徴

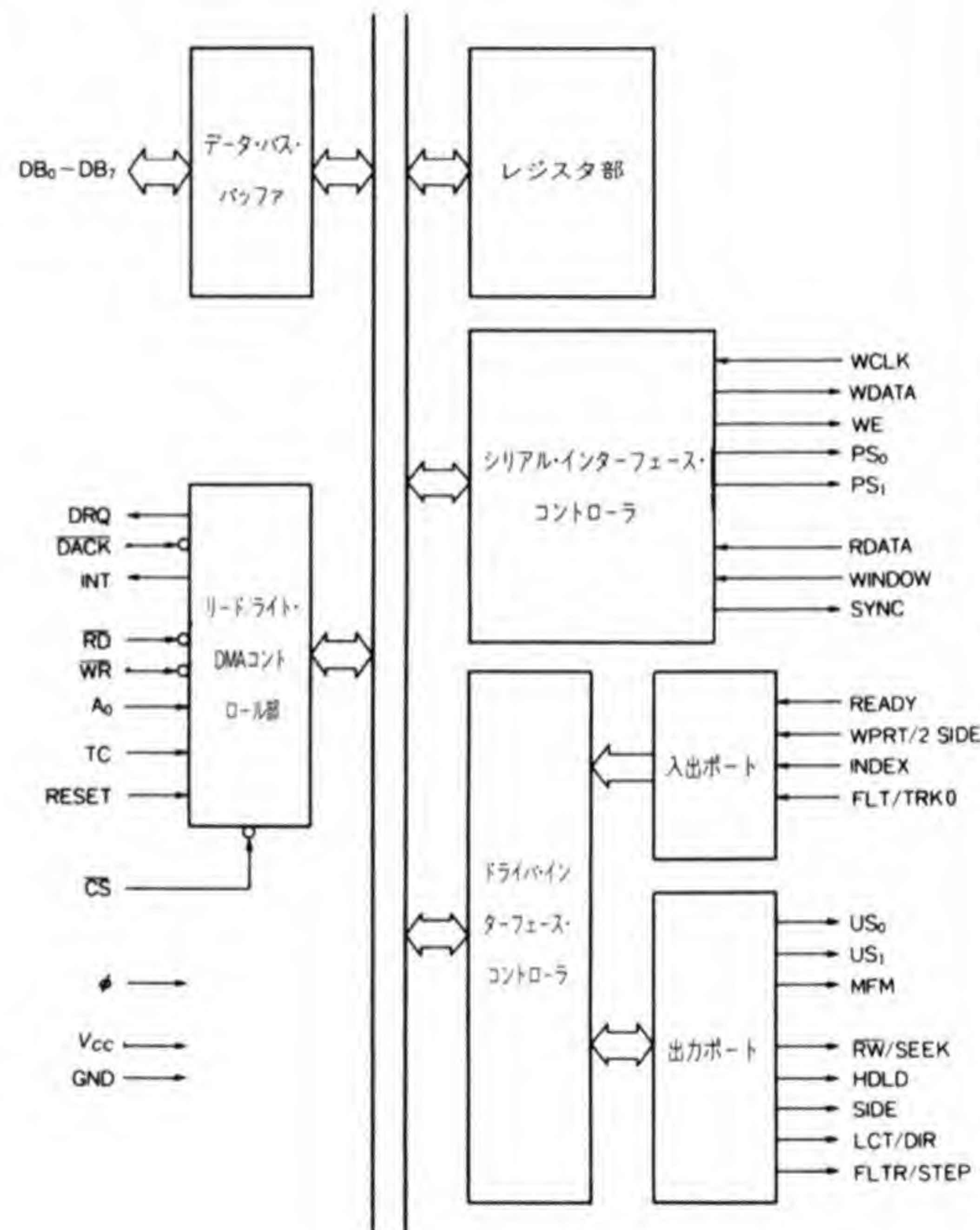
- ・ FM/MFM制御 (コマンドで指定)
- ・ 記録長は可変  
128, 256, 512, 1024, 2048, 4096, 8192バイト/セクタ
- ・ マルチセクタ, マルチトラック機能
- ・ ドライバは4台まで接続可能
- ・ 部分リード/ライト機能 (128バイト/セクタのみ)
- ・ CRC発生, チェック機能内蔵
- ・ ステップ速度プログラマブル
- ・ ヘッド・ロード/アンロード時間プログラマブル
- ・ データ・スキャン機能 (一致, 大, 小の検出)
- ・ DMA/non-DMAデータ転送
- ・ ライト補正用制御信号発生
- ・ 765 : IBMフォーマット・コンパチブル  
7265 : ECMA/ISOミニフロッピー・フォーマット・コンパチブル

## ■ 最大定格

( $T_a = 25^\circ\text{C}$ )

項目	記号	定格	単位
すべての端子		-0.5 ~ +7.0	V
動作温度	$T_{OPR}$	-10 ~ +70	$^\circ\text{C}$
保存温度	$T_{STG}$	-65 ~ +150	$^\circ\text{C}$

## ■ ブロック図



## ■ DC特性

( $\mu\text{PD765A}, \mu\text{PD7265}$  :  $T_a = -10 \sim +70^\circ\text{C}$ ,  $V_{CC} = +5\text{V} \pm 5\%$ )  
( $\mu\text{PD726A-2}$  :  $T_a = -10 \sim +70^\circ\text{C}$ ,  $V_{CC} = +5\text{V} \pm 10\%$ )

項 目	記号	測 定 条 件	規 格 値				単位
			$\mu\text{PD765A} \cdot \mu\text{PD7265}$		$\mu\text{PD765A-2}$		
			min	max	min	max	
"L"レベル入力電圧	$V_{IL}$		-0.5	0.8	-0.5	0.8	V
"H"レベル入力電圧	$V_{IH}$		2.0	$V_{CC}+0.5$	2.0	$V_{CC}+0.5$	V
"L"レベル入力電圧( $\phi$ WCLK)	$V_{IL\phi}$		-0.5	0.65	-0.5	0.65	V
"H"レベル入力電圧( $\phi$ WCLK)	$V_{IH\phi}$		2.4	$V_{CC}+0.5$	2.4	$V_{CC}+0.5$	V
"L"レベル出力電圧	$V_{OL}$	$I_{OL}=2.0\text{mA}$		0.45		0.45	V
"H"レベル出力電圧	$V_{OH}$	$I_{OH}=-200\mu\text{A}$	2.4	$V_{CC}$	2.4	$V_{CC}$	V
"L"レベル入力リーク電流	$I_{LIL}$	$V_{IN}=0\text{V}$		-10		-10	$\mu\text{A}$
"H"レベル入力リーク電流	$I_{LIH}$	$V_{IN}=V_{CC}$		+10		+10	$\mu\text{A}$
"L"レベル出力リーク電流	$I_{LOL}$	$V_{OUT}=+0.45\text{V}$		-10		-10	$\mu\text{A}$
"H"レベル出力リーク電流	$I_{LOH}$	$V_{OUT}=V_{CC}$		+10		+10	$\mu\text{A}$



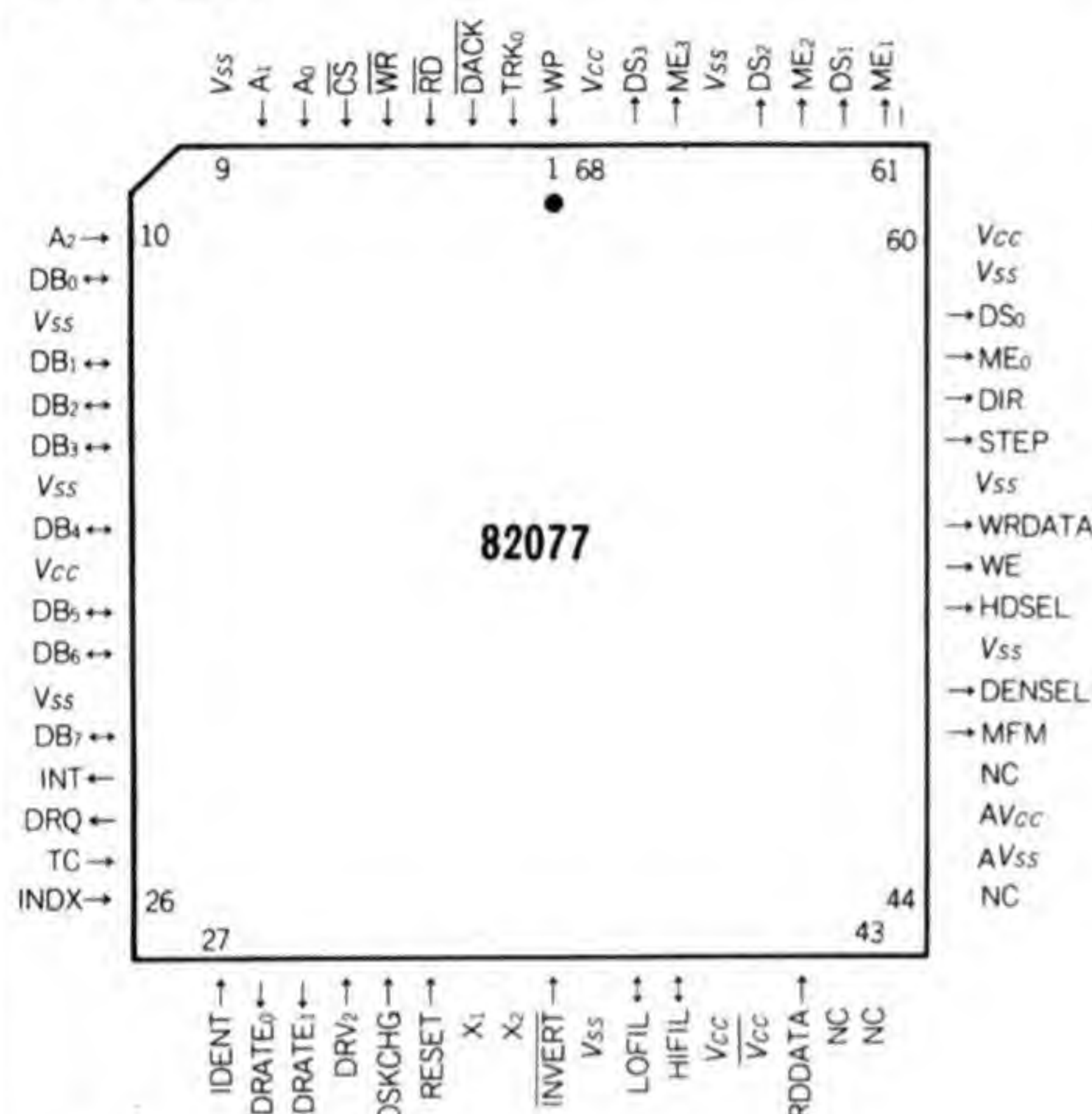
## ■ 端子機能

端子名	ピン番号	入出力	機能
RESET	1	入力	FDCをアイドル状態にする
$\overline{\text{RD}}$	2	入力	データを読み出すための制御信号
$\overline{\text{WR}}$	3	入力	FDCへ書き込むための制御信号
$\overline{\text{CS}}$	4	入力	$\overline{\text{RD}}$ , $\overline{\text{WR}}$ 信号を有効にする
$\text{A}_0$	5	入力	アドレス・バスを介してFDC内部のステータス・レジスタまたはデータ・レジスタを選択するための信号
$\text{DB}_7 \sim \text{DB}_0$	6 ~ 13	入出力	双方向3ステートのデータ・バス
DRQ	14	出力	DMAモードでのデータ転送要求信号。
$\overline{\text{DACK}}$	15	入力	DMAサイクルの許可信号
TC	16	入力	データ転送の終了指示信号
INDEX	17	入力	ドライブのリード/ライト・ヘッドがメディア上のトラックの物理的開始点に位置することを示す信号
INT	18	出力	メイン・システムに対して、転送データや実行結果の処理を要求する信号
$\phi$	19	入力	単相、TTLレベル・クロックでプルアップ抵抗を必要とする。
WCLK	21	入力	ライト時の転送データのタイミング信号。ただしリード時にも入力しておく必要がある。 FM: $16\phi_{\text{CY}}$ , MFM: $8\phi_{\text{CY}}$
WINDOW	22	入力	VFO回路で生成する信号。
RDATA	23	入力	ドライブからの読み出しデータ。
SYNC	24	出力	FDCの動作モードを表示する信号。
WE	25	出力	ドライブに対して書き込みを指示する信号
MFM	26	出力	VFO回路の動作モードを指定する信号。
SIDE	27	出力	両面型ドライブのヘッド0,1を選択する信号。
$\text{US}_{0,1}$	29, 28	出力	ドライブ選択信号。
WDATA	30	出力	ドライブへの書き込みデータ。

端子名	ピン番号	入出力	機能
$\text{PS}_{0,1}$	32, 31	出力	MFMモードで書き込むときに生じるピーク・シフトを相殺する目的で、あらかじめWDATAのビットを予想されるピーク・シフトとは逆方向にシフトさせるための指示信号
FLT/TRK0	33	入力	$\overline{\text{RW}}$ /SEEK信号が $\overline{\text{RW}}$ を指定しているときはFLTとなり、ドライブのFAULT状態であるかどうかを示す信号を入力する。 $\overline{\text{RW}}$ /SEEK信号がSEEKを指定しているときはTRK0となり、ドライブのリード/ライト・ヘッドがシリンダ0に位置するかどうかを示す信号を入力する
WPRT/ 2SIDE	34	入力	$\overline{\text{RW}}$ /SEEK信号が $\overline{\text{RW}}$ を指定しているときはWPRT信号となる。 $\overline{\text{RW}}$ /SEEK信号がSEEKを指定しているときは2SIDE信号となる。
READY	35	入力	ドライブがレディ状態であることを示す信号
HDLD	36	出力	ドライブのリード/ライト・ヘッドをロード状態にする信号
FLTR/ STEP	37	出力	$\overline{\text{RW}}$ /SEEK信号が $\overline{\text{RW}}$ を指定しているときはFLTR信号となる。 $\overline{\text{RW}}$ /SEEK信号がSEEKを指定しているときはSTEPとなり、シーク・パルスが発生する
LCT/DIR	38	出力	$\overline{\text{RW}}$ /SEEK信号が $\overline{\text{RW}}$ を指示しているときはLCTとなる。 $\overline{\text{RW}}$ /SEEK信号がSEEKを指定しているときはDIRとなり、シーク動作の方向を指定する。
$\overline{\text{RW}}$ /SEEK	39	出力	ドライブ・インターフェース信号のうち、リード/ライト用とシーク用を兼用している信号を区別する信号。



## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~8.0	V
入力電圧	$V_{IN}$	GND-2.0~6.0	V
消費電力	$P_D$	1.0	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

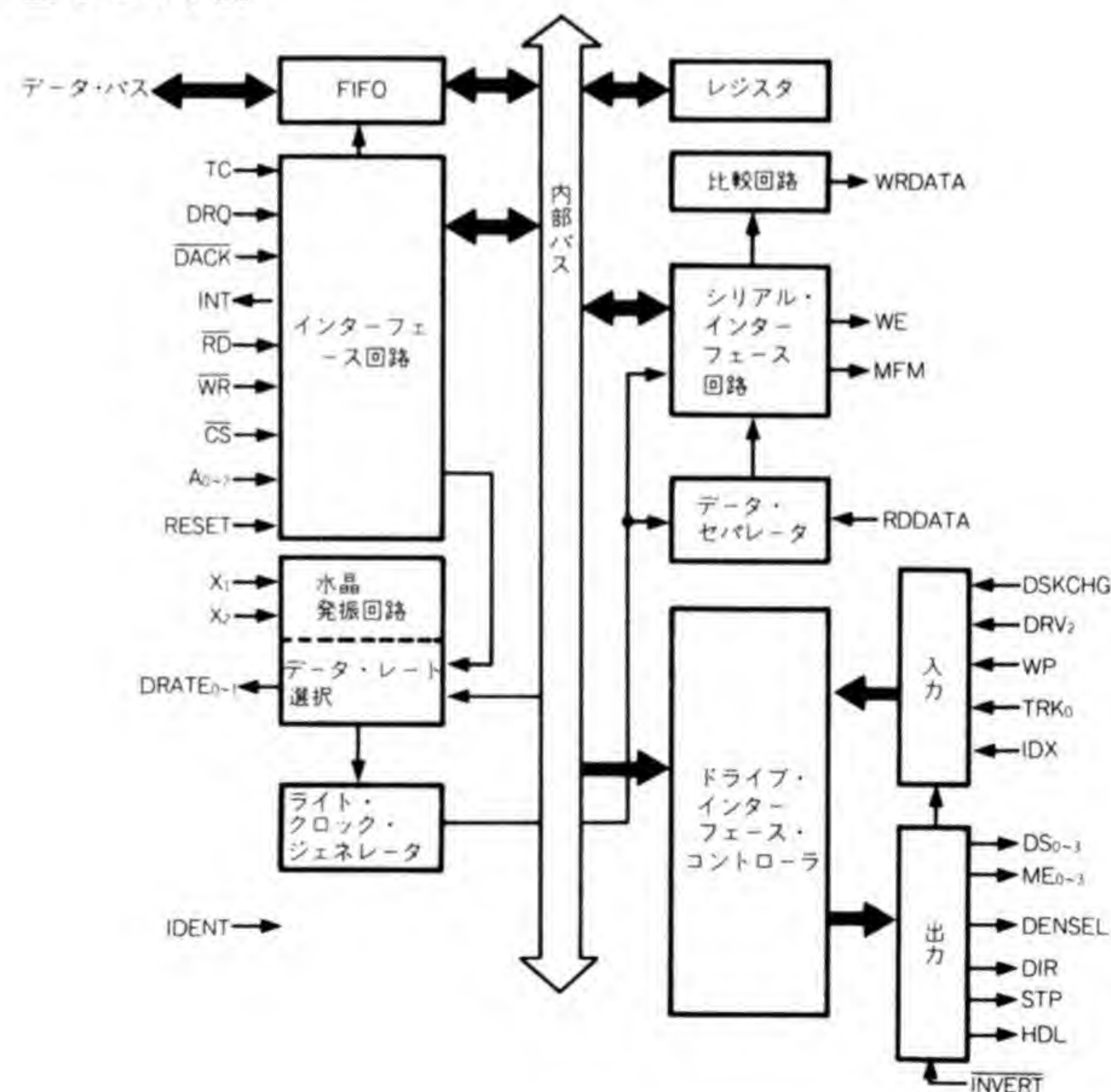
## ■ DC特性 ( $T_a = 0 \sim 70^\circ\text{C}$ , $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 2.5\text{mA}$	3.0	V
$I_{OL}$	$V_{OUT} = 0.45 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	10	pF

## ■ 特徴

- ・ IBM PC/ATおよびPS/2ディスク・ドライブ・システム互換
- ・ 250K/300K/500K/1Mbpsのアナログ・データ・セパレータ
- ・ 最大4台までの3.5/5.25インチFDドライブをサポート
- ・ 12mAのデータ・バス・ドライブ, 40mAのディスク・ドライブ能力をもつ
- ・ 256トラックを直接アクセス可能
- ・ 16バイトのFIFOメモリ内蔵

## ■ ブロック図





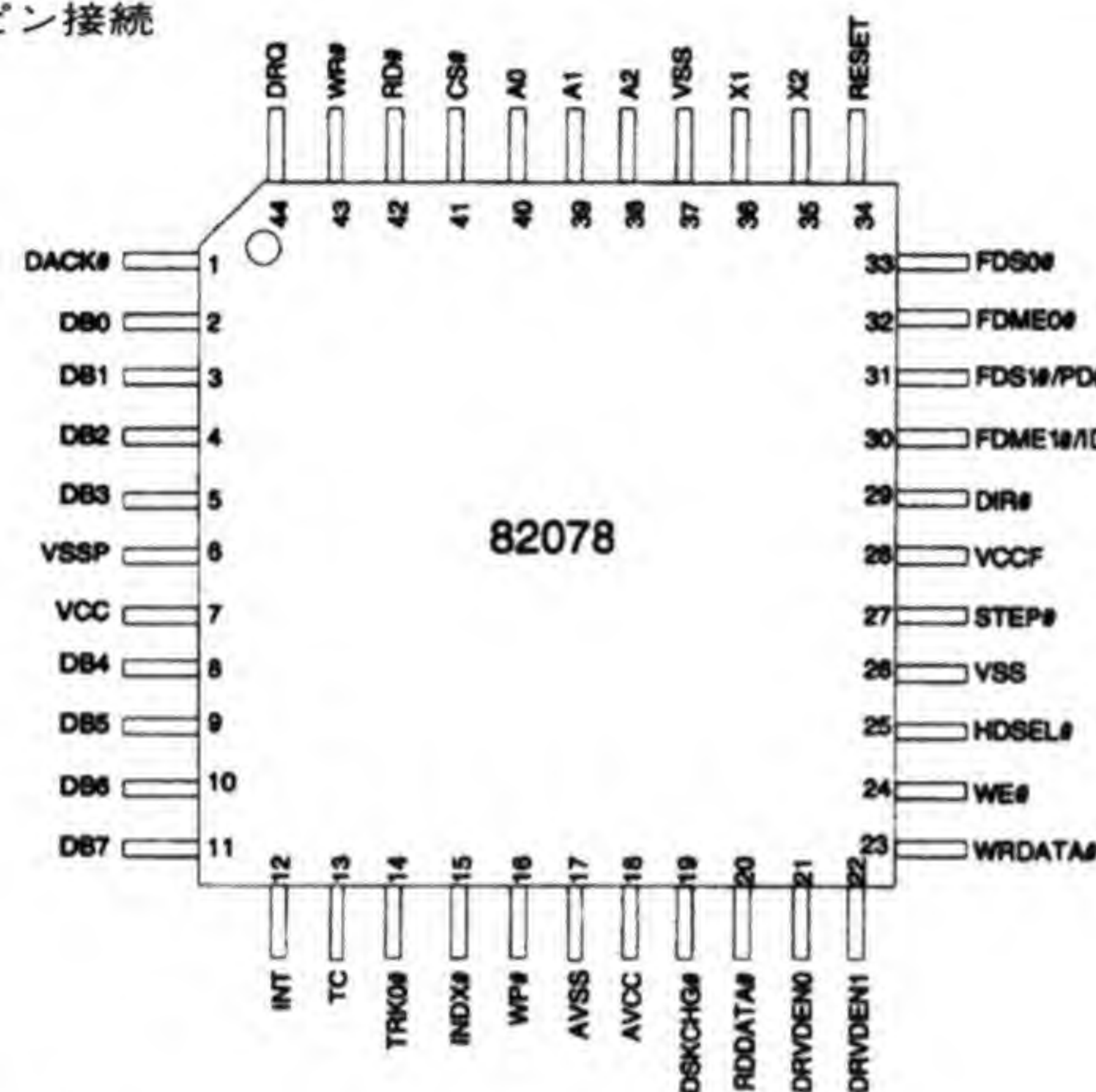
■ 端子機能

端子名	ピン番号	入出力	機能
RESET	32	入力	リセット入力. “H”アクティブで, 内部レジスタはクリアされる
$\overline{\text{CS}}$	6	入力	リード, ライト時のチップ・セレクト
$A_0 \sim A_2$	7, 8, 10	入力	内部レジスタ選択用アドレス
$DB_0 \sim DB_7$	11, 13~15, 17, 19, 20, 22	入出力	12mA のドライブ能力をもつデータ・バス
$\overline{\text{RD}}$	4	入力	読み出しコントロール信号
$\overline{\text{WR}}$	5	入力	書き込みコントロール信号
DRQ	24	出力	DMA コントローラへのサービス要求
$\overline{\text{DACK}}$	3	入力	DMA 受け付け信号入力
TC	25	入力	DMA コントローラからの終了信号入力. AT モードでは “H” アクティブ, PS/2 モードでは “L” アクティブ
INT	23	出力	非 DMA モードでのデータ転送用割り込み出力
$X_1, X_2$	33, 34	—	水晶振動子接続端子
IDENT	27	入力	PC-AT または PS/2 モードの選択信号. “H” のとき AT モード, “L” のとき PS/2 モード
$\overline{\text{INVERT}}$	35	入力	ディスク・コントロール用のすべての信号の極性を反転させる
$ME_0 \sim ME_3$	57, 61, 63, 66	出力	ドライブ 0 ~ 3 のモータ・イネーブル信号
$DS_0 \sim DS_3$	58, 62, 64, 67	出力	ドライブ 0 ~ 3 のセレクト信号. デジタル出力レジスタと $ME_{0-3}$ をデコードして作られる
HDSEL	51	出力	使用するディスク面を選択する. “H” のとき サイド 1 を示す

端子名	ピン番号	入出力	機能
STEP	55	出力	ドライバへのステップ・パルスを供給する
DIR	56	出力	ヘッドの動作方向を決める. “H” のとき センタ方向を示す
WRDATA	53	出力	ドライバへの FM/MFM シリアル・データ
WE	52	出力	ディスクへのライト・イネーブルを示す信号
DENSEL	49	出力	ディスクへの書き込み密度が “L” か “H” かを示す. PS/2 と AT では密度と信号の対応が逆
DSKCHG	31	入力	ディスク交換信号で, デジタル入力レジスタに格納される
$DRV_2$	30	入力	セカンド・ドライブが実装されているか否かを示す. ステータス・レジスタ A に格納される
TRK <sub>0</sub>	2	入力	ヘッドがトラック 0 の位置にあることを示す
WP	1	入力	ディスクが書き込み保護されているか否かを示す
INDX	26	入力	トラックの先頭を示す
RDDATA	41	入力	ディスクからのシリアル・データ入力
HIFIL	38	入出力	内部のデータ・セパレータ用のリファレンス信号
LOFIL	37	入出力	リファレンス・フィルタ・キャパシタ用のロー・ノイズ・グラウンド
MFM	48	出力	データのエンコード/デコード・モードを選択する. “H” のとき MFM となる
$DRATE_{0,1}$	28, 29	出力	データ・レート・レジスタのビット 0, 1 を出力している



## ■ピン接続



## ■最大定格

項目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5 ~ +8.0	V
入力電圧	$V_{IN}$	-2.0 ~ +6.5	V
動作温度	$T_{OPR}$	0 ~ +70	℃
保存温度	$T_{STG}$	-65 ~ +150	℃

## ■DC 特性

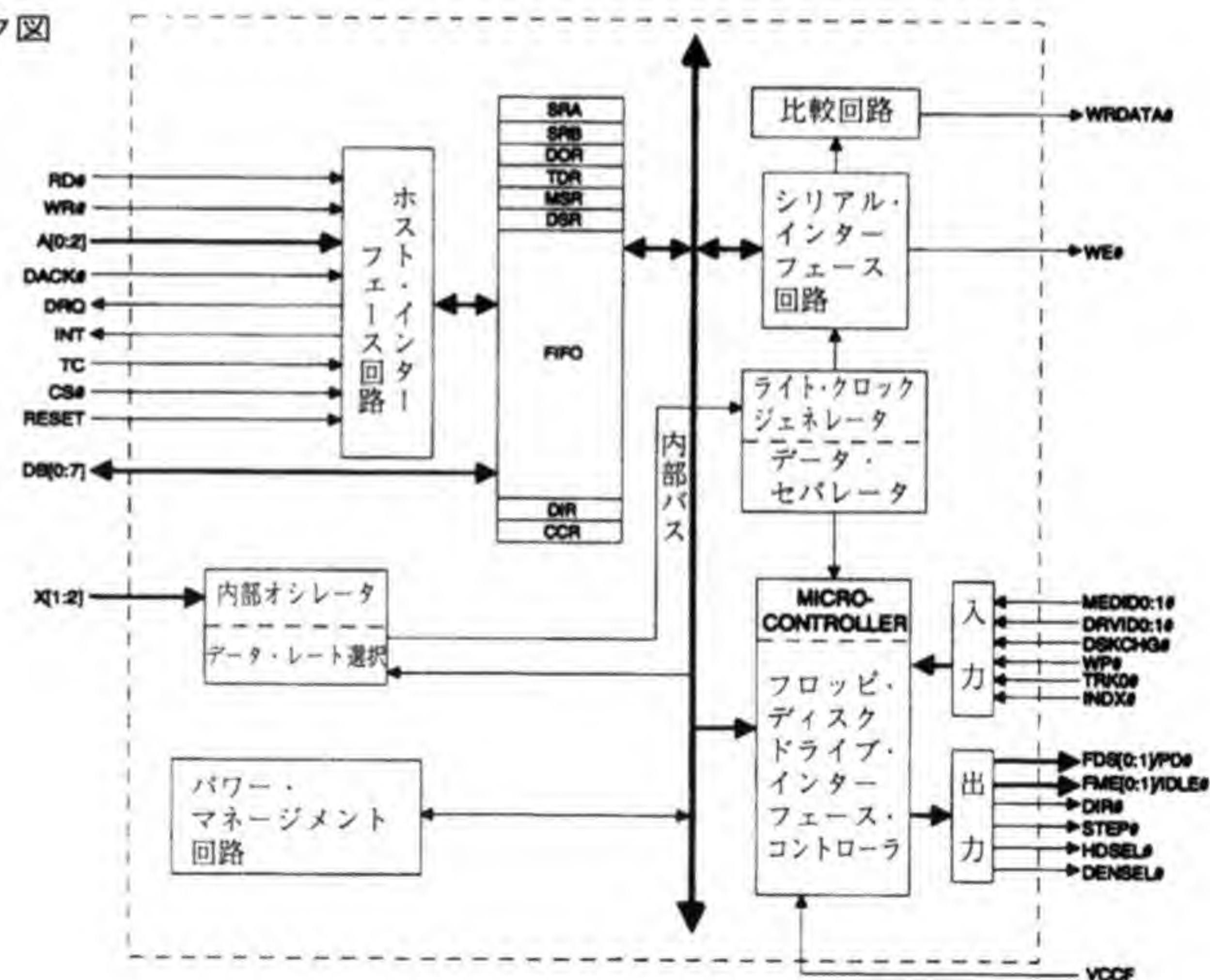
(Ta = 0 ~ 70℃)

記号	$V_{CC} = 5V \pm 10\%$		$V_{CC} = 3.3V \pm 0.3V$		単位
	測定条件	max/min*	測定条件	max/min*	
$V_{IL}$		0.8		0.8	V
$V_{IH}$		2.0*		2.0*	V
$V_{OL}$	$I_{OL} = 12mA$	0.45	$I_{OL} = 6mA$	0.45	V
$V_{OH}$	$I_{IL} = 4mA$	3.0*	$I_{IL} = 2mA$	2.4*	V
$I_{IL}$	$V_{IN} = 0, V_{CC}$	±10	$V_{IN} = 0, V_{CC}$	±10	μA
$C_{IN}$	$T_a = 25^\circ C, f = 1MHz$	10	$T_a = 25^\circ C, f = 1MHz$	10	pF

## ■特 徴

- ・ポータブル PC, デスクトップ PC のいずれにも利用できる IBM および ISO フォーマット準拠のコントローラ
- ・ブート・ドライブの選択が可能
- ・250K/300K/500K/1Mbps のアナログ・データ・セパレータ内蔵
- ・プログラマブルな内部発信回路
- ・高性能パワー・マネージメント機能内蔵
  - ーダイレクト・パワーダウンと自動パワーダウンを選択可能
  - ー2 個の外部パワー・マネージメント端子
  - ーパワーダウン時の消費電力はゼロ
- ・垂直磁化方式の 4MB ドライブもサポート
- ・16 バイトの FIFO 内蔵
- ・82077, 8272 (765 コンパチ) と機能的にコンパチブル
- ・5V 系および 3.3V 系の 2 種類のバージョンが利用可能

## ■ブロック図





■端子機能

ホスト・インターフェース

端子名	ピン番号	入出力	機能
RESET	34	入力	リセット入力端子 スワッチ・コマンドで設定された以外のレジスタの内容はこの信号でリセットされる
A0, A1, A2	40, 39, 38	入力	内部レジスタ選択用アドレス
CS#	41	入力	リード、ライト時のチップ・セレクト
RD#	42	入力	フロッピー・ドライブからシステムへのデータ転送時のリード・コントロール信号
WR#	43	入力	システムからフロッピー・ドライブへのデータ転送時のライト・コントロール信号
DRQ	44	出力	DMAコントローラへのDMA要求信号
DACK#	1	入力	DMAアクリッジ信号
DB0~DB7	2~5, 8~11	入出力	ドライブ能力12mAのデータバス
INT	12	出力	非DMAモードでのデータ転送用およびステータス変化時の割り込み出力
TC	13	入力	DMAコントローラからの転送終了信号入力
X1, X2	36, 35	—	外部クロック接続または水晶振動子接続端子

PLL部分

端子名	ピン番号	入出力	機能
RDDATA#	20	入力	フロッピー・ディスクからのシリアルデータ入力

ディスク・コントロール

端子名	ピン番号	入出力	機能
TRK0#	14	入力	ヘッドがトラック0の位置にあることを示す信号で、アクティブ・Low
INDX#	15	入力	トラックの先頭であることを示すインデックス信号で、アクティブ・Low

ディスク・コントロール (続き)

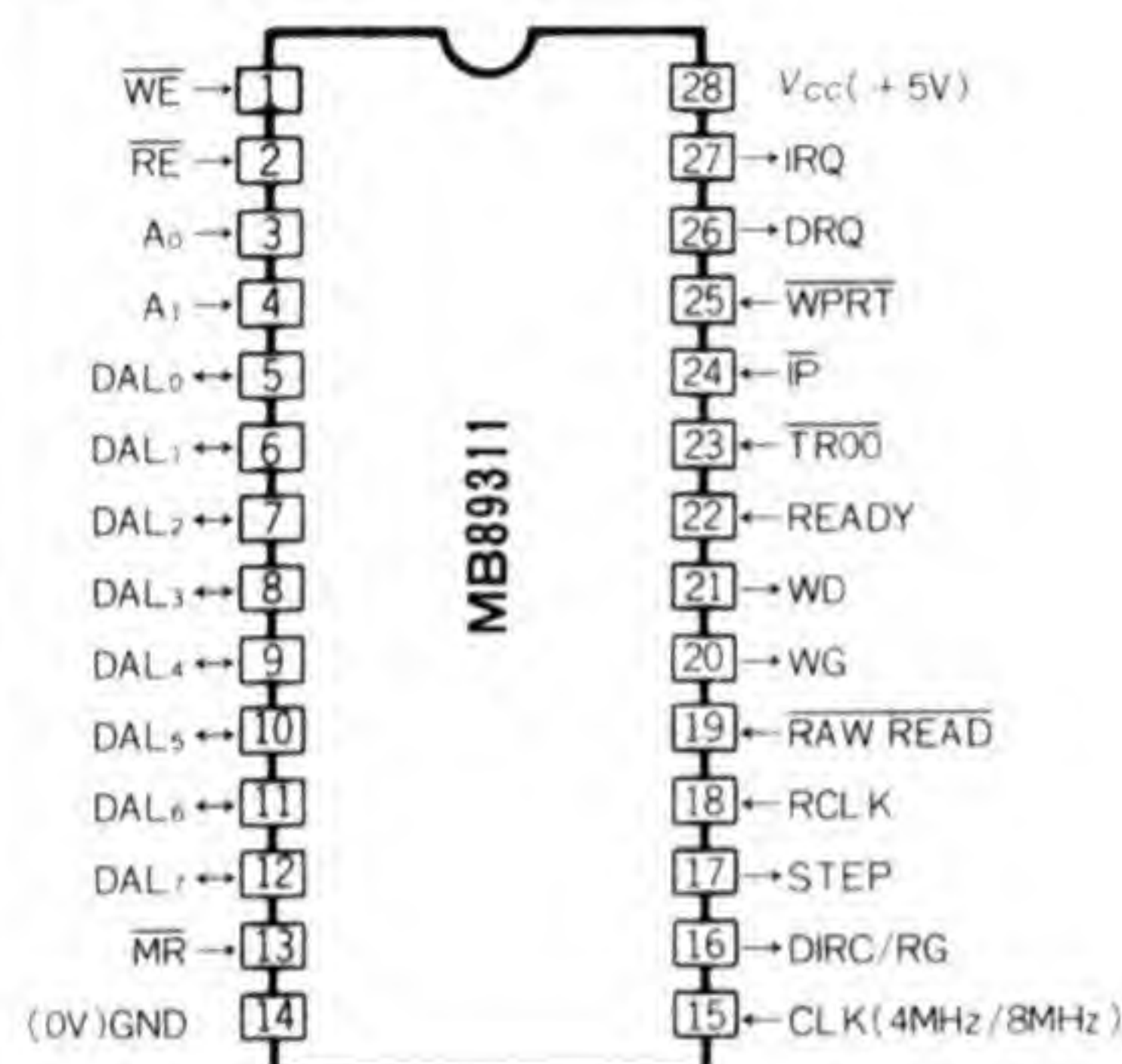
端子名	ピン番号	入出力	機能
WP#	16	入力	ディスクが書き込み保護されているか否かを示すライト・プロテクト信号でアクティブ・Low
DSKCHG#	19	入力	フロッピー・ドライブからのディスク交換信号で、ディジタル入力レジスタ(DIR)に格納される
DRVDE0, DRVDE1	21, 22	出力	フロッピー・ドライブ側で使用される記録密度信号
WRDATA#	23	出力	フロッピー・ドライブへの書き込み用MFMシリアルデータ
WE#	24	出力	フロッピー・ドライブへの書き込みが可能であることを示すライト・イネーブル信号
STEP#	27	出力	フロッピー・ドライブ側でトラック間の移動用に使用されるステップ・パルス信号出力
DIR#	29	出力	ヘッドの動作方向を示す信号で、L(アクティブ)の時センター方向への移動を示す
HDSEL#	25	出力	使用するフロッピー・ディスク面を選択するヘッド・セレクト信号。L(アクティブ)の時サイト1を選択し、それ以外はデフォルトでサイト0
FDME0#	32	出力	モード0のドライブ・イネーブル信号で、ディジタル出力レジスタ(DOR)から直接コントロールされる
FDME1#/IDLE#	30	出力	自動パワー・ダウン・コマンドの44PDENビットのレベルによって下記機能が選択される FDME1# : モード1のドライブ・イネーブル信号で、ディジタル出力レジスタ(DOR)から直接コントロールされる IDLE# : アイドル状態であることを示す
FDS0#	33	出力	フロッピー・ドライブ0の選択信号で、ディジタル出力レジスタ(DOR)のセレクト・ビットからデコードされる
FDS1#/PD#	31	出力	自動パワー・ダウン・コマンドの44PDENビットのレベルによって下記機能が選択される FDS1# : フロッピー・ドライブ1の選択信号で、ディジタル出力レジスタ(DOR)のセレクト・ビットからデコードされる PD# : 一部パワー・ダウン状態の時L(アクティブ)となる

注) #はLowアクティブの端子であることを示す



# FDC (Floppy Disk Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3 ~ +7.0	V
	GND	0	V
入力電圧	V <sub>IN</sub>	-0.3 ~ V <sub>CC</sub> + 0.5	V
出力電圧	V <sub>OUT</sub>	-0.3 ~ V <sub>CC</sub> + 0.5	V
動作温度	T <sub>OPR</sub>	-40 ~ +85	℃
保存温度	T <sub>STG</sub>	-55 ~ +150	℃

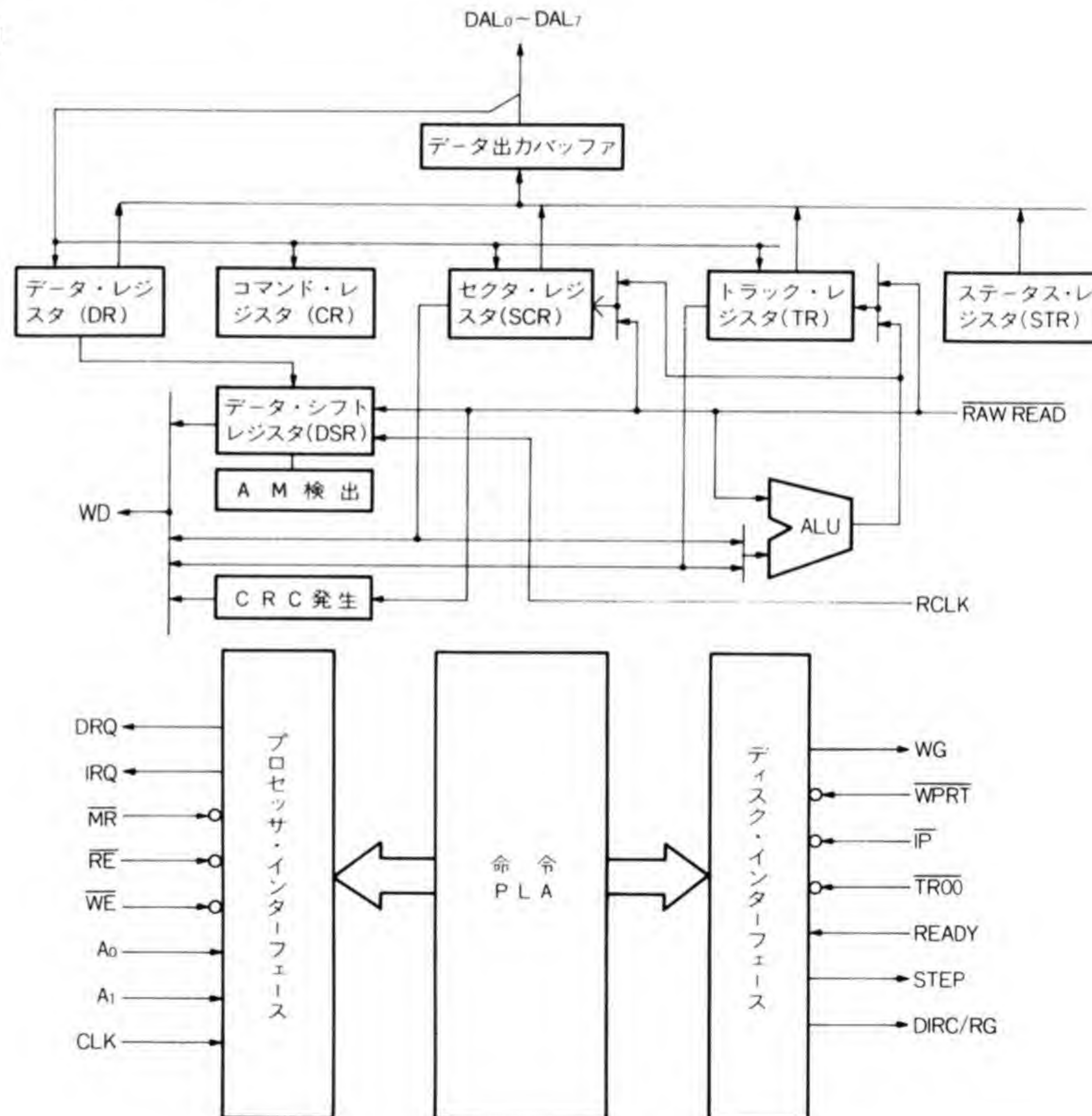
## ■ DC特性

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8 / -0.3	V
V <sub>IH</sub>		V <sub>CC</sub> / 2.2	V
V <sub>OH</sub>	I <sub>OH</sub> = -400μA	2.4*	V
	I <sub>OH</sub> = -100μA	V <sub>CC</sub> - 0.4*	V
V <sub>OL</sub>	I <sub>OL</sub> = 2.5mA	0.45	V
I <sub>CC</sub>	V <sub>CC</sub> = 5.5V, 出力端子オープン	10	mA
I <sub>CC</sub>	V <sub>CC</sub> = 5.5V, 出力端子オープン	10	mA

## ■ 特徴

- ・ IBMソフト・セクタ・フォーマットおよびISOフォーマット可能
- ・ トラック・シーク後, 自動ベリファイ
- ・ 連続セクタ・リード/ライト可能
- ・ 最終セクタ指定可能 (拡張コマンド・モード)
- ・ LOST DATAエラー時, そのセクタの処理後異常終了

## ■ ブロック図





## ■ 端子機能

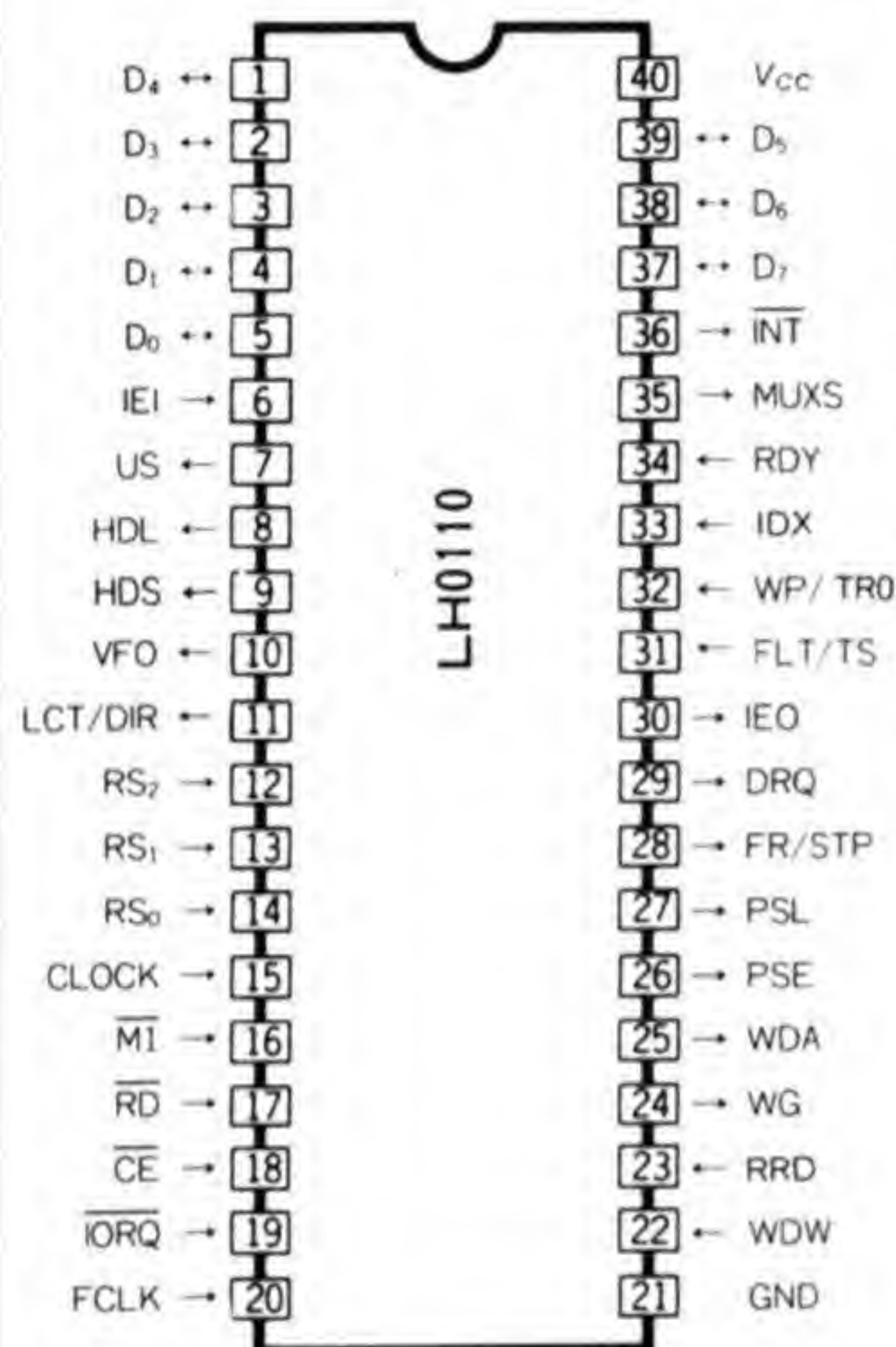
端子名	ピン番号	入出力	機能
$\overline{WE}$ , $\overline{RE}$	1, 2	入力 入力	リード/ライトのコントロール
$A_0$ , $A_1$	3, 4	入力	$A_0$ , $A_1$ の組み合わせでレジスタを選択する
$DAL_0 \sim$ $DAL_7$	5 ~ 12	入出力	8ビットの双方向性3ステートの入出力端子. $\overline{RE} = \overline{WE} = "H"$ のときハイ・インピーダンスとなる
$\overline{MR}$	13	入力	リセット
GND	14	—	(0V)グラウンド
CLK	15	入力	基本クロック入力端子 (4MHz/8MHz)
DIRC/RG	16	出力	ヘッドの移動方向を指定する. "H"で外側, "L"で内側/リード時, "H"でSYNCバイトの検出を示す
STEP	17	出力	ヘッドを移動させるためのステップ・パルス出力
RCLK	18	入力	データ・セパレータによって分離されたクロックを加える
$\overline{RAWREAD}$	19	入力	ディスクから読み出されるシリアル・データ. クロック・ビット, データ・ビットが混在している
WG	20	出力	"H"でディスクへの書き込みを示す
WD	21	出力	ディスクへの書き込みデータ・パルスを出力する
READY	22	入力	"H"でディスク・ドライブが動作可能であることを示す
$\overline{TR00}$	23	入力	ディスクのヘッドがトラック0にあることを示す
$\overline{IP}$	24	入力	ディスクの1回転ごとの基準パルスの入力
$\overline{WPRT}$	25	入力	ディスクの書き込み禁止を検出する. "L"で書き込みを行わない

端子名	ピン番号	入出力	機能
DRQ	26	出力	データのリード/ライトの同期をとるために使用する
IRQ	27	出力	コマンドの実行終了を割り込みなどでCPUに知らせる
Vcc	28	—	電源 (5 V)



# FDC (Floppy Disk Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~7.0	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-55~150	°C

## ■ DC特性

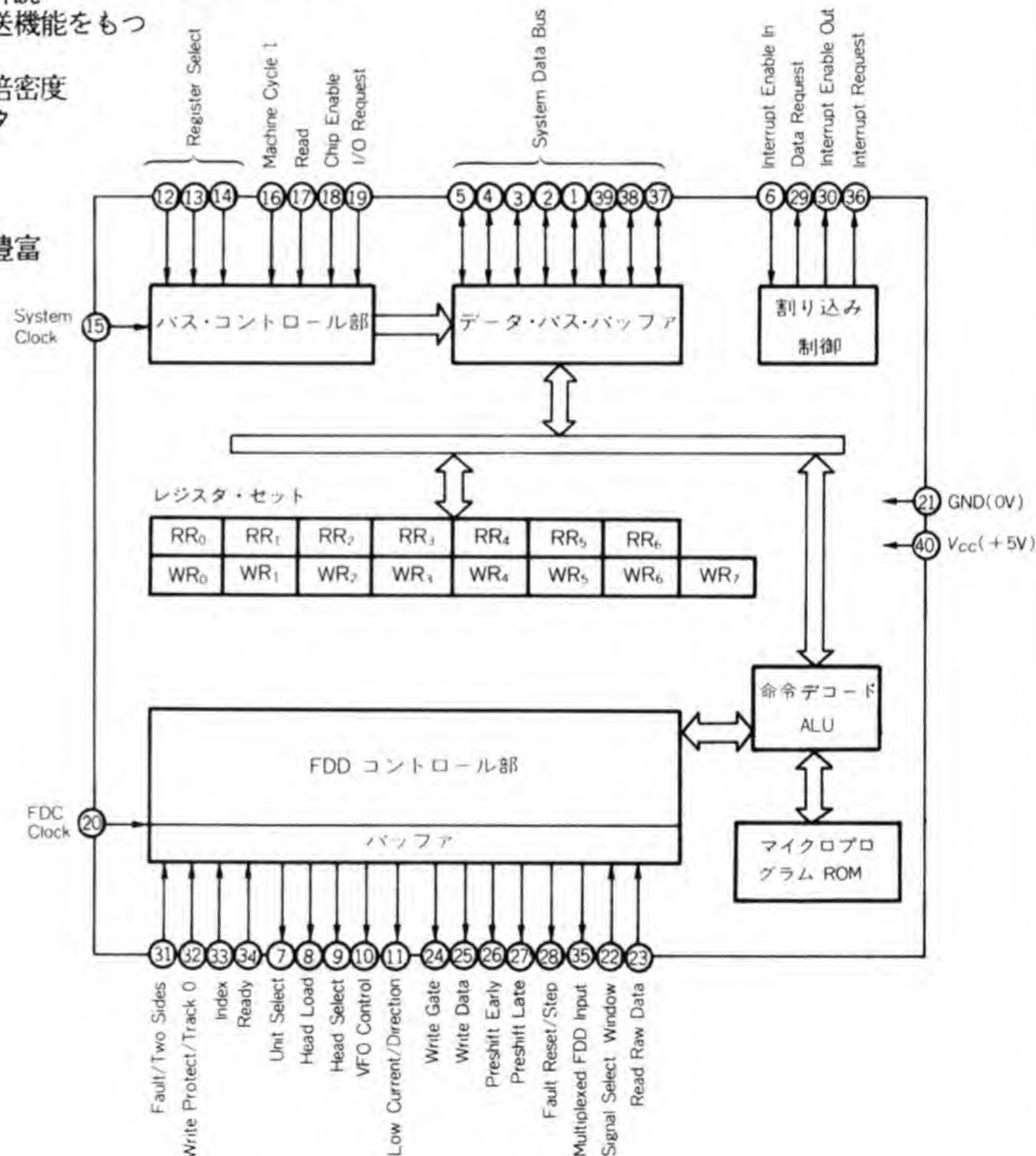
(T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> =2.0mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> =250μA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> =0~V <sub>CC</sub>	10	μA
I <sub>IL</sub>	V <sub>IN</sub> =0~V <sub>CC</sub>	10	μA
C <sub>IN</sub>		12	pF

## ■ 特 徴

- ・ Z80ファミリのマイクロ・プログラム方式FDCコントローラ
- ・ 割り込みデジィ・チェーン信号
- ・ 割り込みベクタの送出
- ・ Z80 CPUのRETI命令の解読
- ・ データのDMA転送, プログラム転送機能をもつ
- ・ IBMフォーマット・コンパチブル
- ・ 片面単密度, 両面単密度, 両面倍密度
- ・ 128, 256, 512, 1024バイト/セクタ
- ・ 8, 15, 26セクタ/トラック
- ・ ミニフロッピ制御可能
- ・ 両面倍密度FDD 2台接続可能
- ・ コマンド処理時のエラー内容表示が豊富
- ・ CRC処理機能をもつ

## ■ ブロック図





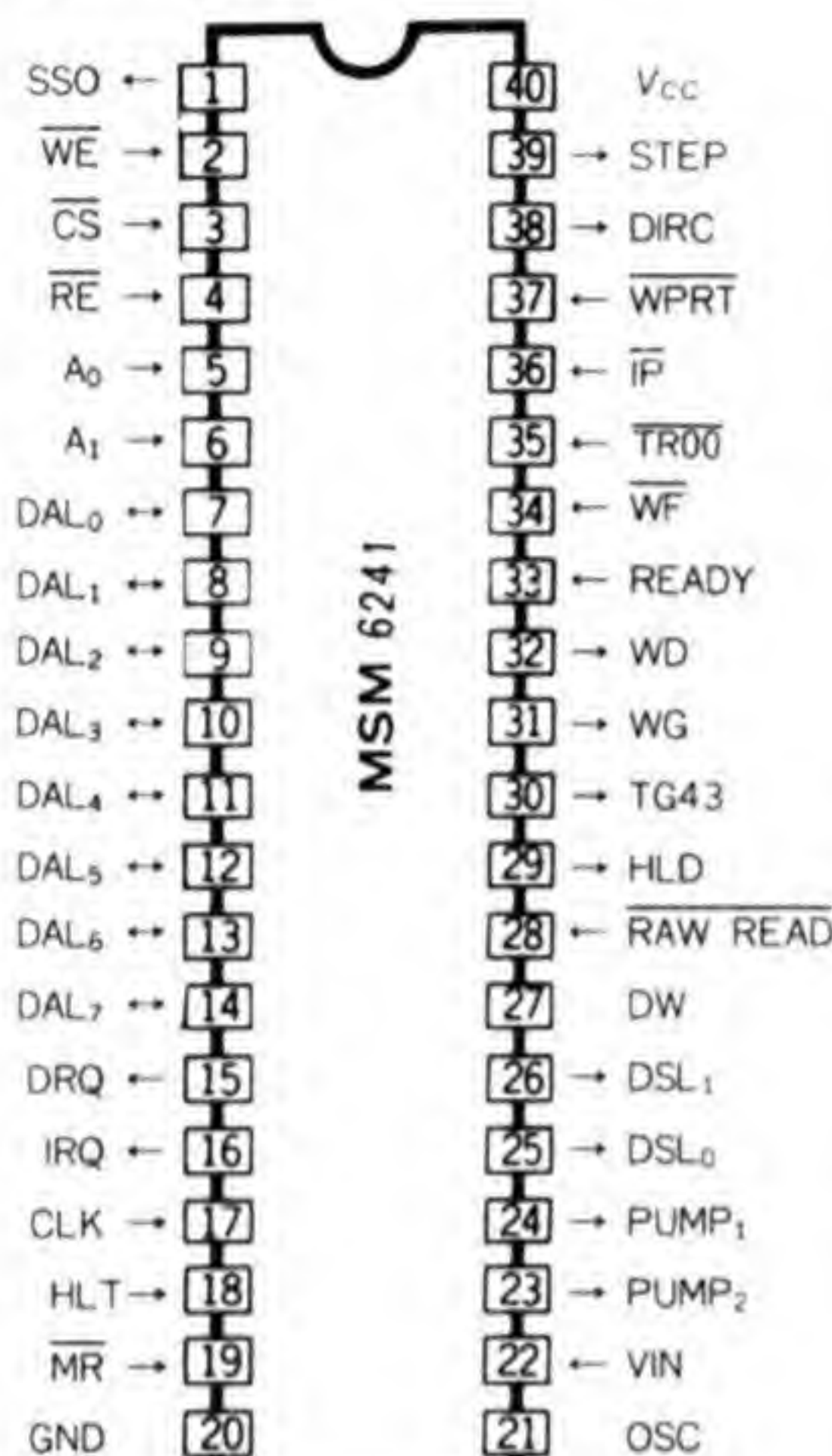
■端子機能

端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	1~5, 37~39	入出力	システム・データ・バス
RS <sub>0</sub> ~RS <sub>2</sub>	レジスタ選択	12~14	入力	FDCの内部レジスタ(RR <sub>0</sub> ~RR <sub>6</sub> およびWR <sub>0</sub> ~WR <sub>7</sub> )の選択に使用
$\overline{\text{MI}}$	マシン・サイクル1	16	入力	アクティブ“L”. CPUの $\overline{\text{MI}}$ と $\overline{\text{RESET}}$ のAND構成により供給. $\overline{\text{IORQ}}$ とともにアクティブになることにより割り込み応答を示す
$\overline{\text{RD}}$	読み出しサイクル	17	入力	アクティブ“L”. アクティブのとき読み出し動作
$\overline{\text{CE}}$	チップ・イネーブル	18	入力	アクティブ“L”. アクティブのとき, CPUからコマンドやデータの送受が可能
$\overline{\text{IORQ}}$	入出力要求	19	入力	アクティブ“L”. $\overline{\text{RD}}$ がアクティブのとき読み出し動作, アクティブでない場合書き込み動作, $\overline{\text{MI}}$ とともにアクティブになることにより割り込み応答を示す
CLOCK	システム・クロック	15	入力	内部同期信号用として標準のZ80システム・クロックを使用
FCLK	FDCクロック	20	入力	FDD制御信号同期用として2MHzクロックを使用. ただし, ミニ・フロッピーでは1MHzクロックを使用
IEI	割り込みイネーブル入力	6	入力	アクティブ“H”. 割り込み優先順位を決めるデジィ・チェーンを形成するために使用
IEO	割り込みイネーブル出力	30	出力	アクティブ“H”. IEIとともに割り込み優先順位を決めるデジィ・チェーンを形成するために使用
$\overline{\text{INT}}$	割り込み要求	36	出力	アクティブ“L”. 割り込みを要求するときアクティブ
DRQ	DMAへのデータ要求	29	出力	アクティブ“H”. FDCとDMA間のデータ転送要求信号
MUXS	マルチプレクス	35	出力	FDD制御信号のマルチプレクサの選択信号
WP/TR0	ライト・プロテクト/トラック・ゼロ	32	入力	アクティブ“H”. MUXSが“H”のときWP信号. 挿入されたディスクが書き込み保護されていることを示す. MUXSが“L”のときTR0信号. ヘッドがトラック・ゼロにあることを示す
FLT/TS	フォルト/ツー・サイド	31	入力	アクティブ“H”. MUXSが“H”のときFLT信号. FDDがフォルト状態であることを示す. MUXSが“L”のときTS信号. 両面用メディアが入っていることを示す
FR/STP	フォルト・リセット/ステップ	28	出力	アクティブ“H”. MUXSが“H”のときFR信号. FDDのフォルト状態をリセットする. また, MUXSが“L”のときシークのSTP信号
LCT/DIR	ロー・カレント/ディレクション	11	出力	アクティブ“H”. FDDのロー・カレント入力およびディレクション入力に接続. シーク・コマンド以外のときLCT信号. ヘッドが44トラック以上のシリンダを選択しているときに“H”. またシーク・コマンドのときDIR信号. 求心方向のシーク時に“H”
RDY	レディ	34	入力	アクティブ“H”. FDDのレディ信号
IDX	インデックス	33	入力	アクティブ“H”. メディア上のトラックの物理的開始点を示す
HDS	ヘッド選択	9	出力	両面型FDDの場合, “L”のときヘッド0. 片面型FDDの場合はFDDの選択信号として使用可能
HDL	ヘッド・ロード	8	出力	アクティブ“H”. FDDのヘッドをロード状態にする
US	ユニット選択	7	出力	アクティブ“H”. FDDユニットの選択.
WG	書き込みゲート	24	出力	アクティブ“H”. FDDに対する書き込み指示信号
WDA	書き込みデータ	25	出力	アクティブ“H”. FDDへの書き込みシリアル・データを転送
RRD	読み出しデータ	23	入力	アクティブ“H”. FDDからの読み出しシリアル・データを入力
WDW	ウィンドウ	22	入力	VFO回路でつくられる信号. RRDのデータとクロックの分離に使用
VFO	VFO制御	10	出力	アクティブ“H”. VFO回路に対し, ロック・タイミングを指示
PSL	プレシフト	27	出力	アクティブ“H”. MFMモードでの書き込み補正信号. 外部の書き込み補正回路に対し, WDAを遅らせることを指示. FMモードではアクティブ状態保持
PSE	プレシフト・アーリィ	26	出力	アクティブ“H”. MFMモードでの書き込み補正信号. 外部の書き込み補正回路に対し, WDAを早めることを指示. FMモードではアクティブ状態保持



# FDC (Floppy Disk Controller)

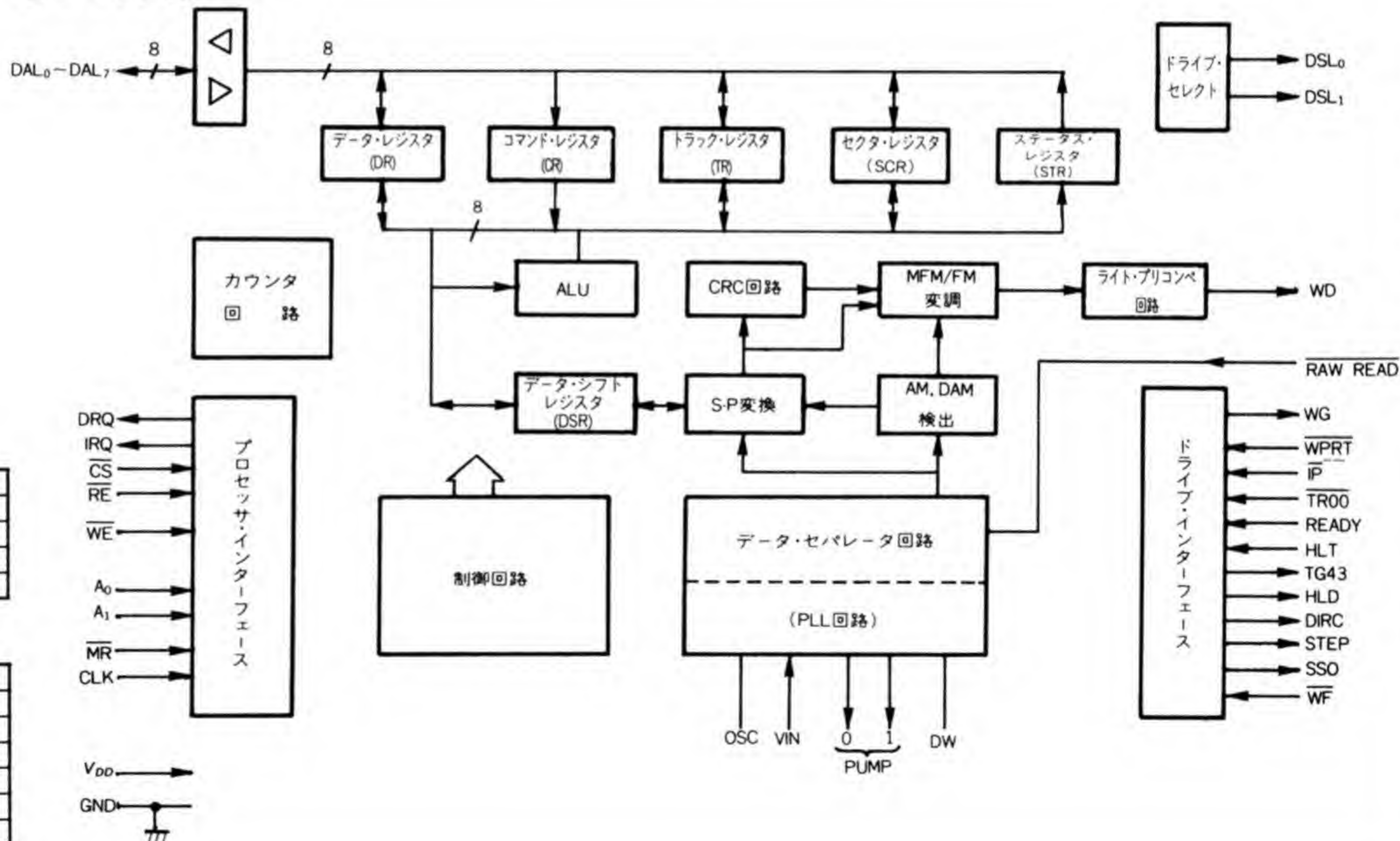
## ■ ピン接続



## ■ 特徴

- ・ PLLを使用したVFO回路を内蔵するフロッピー・ディスク・データ・セパレータ
- ・ 少ない外付け部品で、3.5から8インチまでの各タイプのデータ・セパレータとして使用可能
- ・ フィルタ定数が、すべてのディスク・タイプで共通になっている
- ・ FD179X系、μPD765系それぞれのFDコントローラ用のクロック出力をもつ
- ・ IBMフォーマット

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-55 \sim +150$	°C

## ■ DC特性

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 100\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0\text{V}$	1	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 5\text{V}$	1	$\mu\text{A}$



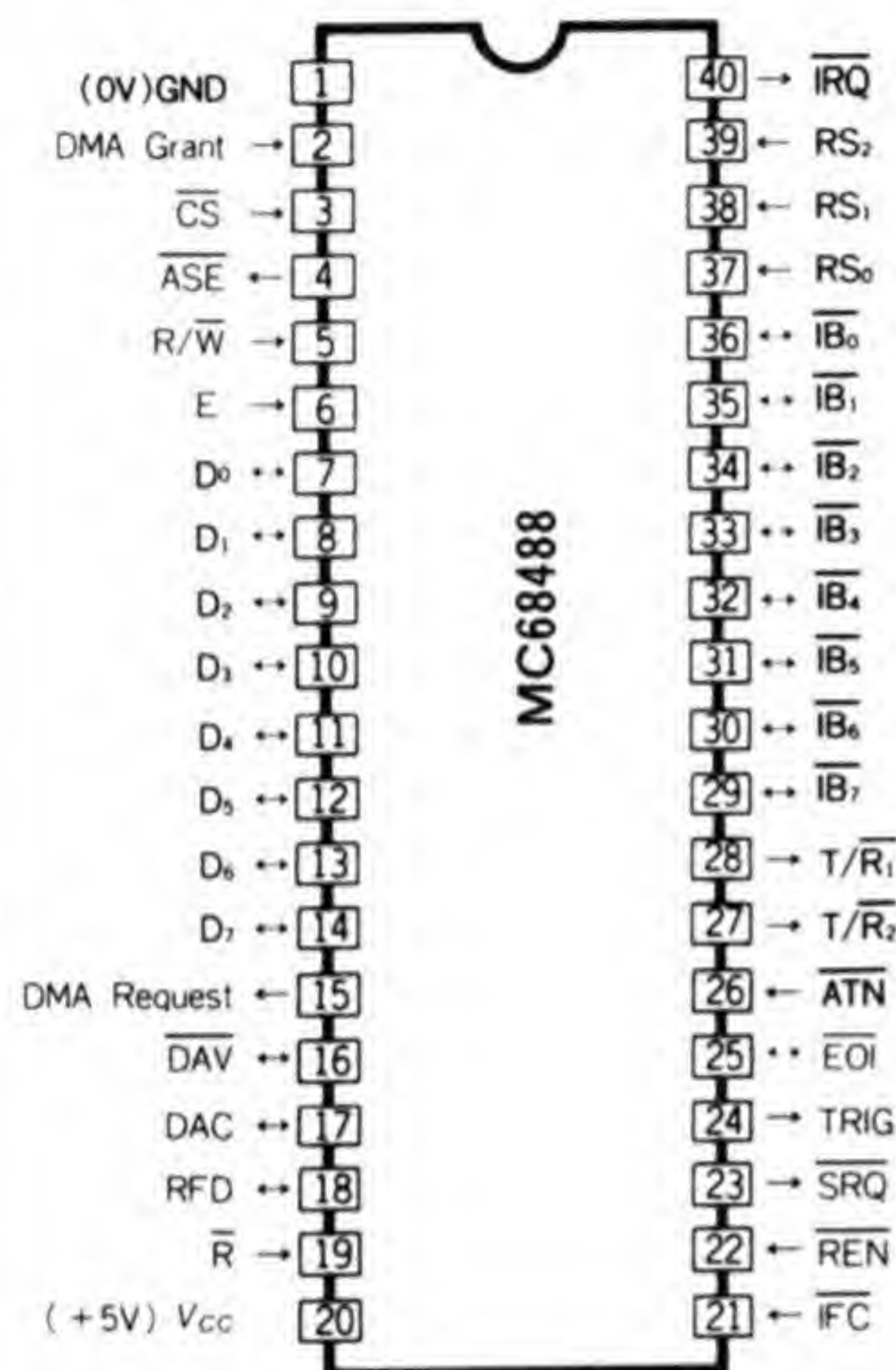
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$V_{CC}$	電源端子	40	—	+5 V $\pm$ 5 %
GND	グラウンド	20	—	グラウンド
$\overline{MR}$	マスタ・リセット	19	入力	“L” で全動作停止、立ち上がりでリストア・コマンドを実行する
$\overline{WE}$	ライト・イネーブル	2	入力	内部レジスタへの書き込みストロープ信号入力
$\overline{CS}$	チップ・セレクト	3	入力	チップ選択信号であり、“L” でデータ転送可
$\overline{RE}$	リード・イネーブル	4	入力	内部レジスタからの読み出しストロープ信号入力
$A_0, A_1$	レジスタ選択	5, 6	入力	内部レジスタの選択端子、DR, CR, STR, TR, SCR のいずれかを選択
$DAL_{0-7}$	データ・バス	7 ~ 14	入出力	8 ビットの双方向性バス
DRQ	データ・リクエスト	15	出力	プロセッサに対するデータ転送要求信号
IRQ	インタラプト・リクエスト	16	出力	プロセッサに対するサービス要求信号
CLK	クロック	17	入力	クロック入力、8 MHz デューティ 50 %
SSO	サイド・セレクト	1	出力	メディアのサイドを指定、“H” のときサイド 1、“L” のときサイド 0
OSC	VCO 発振	21	—	VCO の発振端子、外付けコンデンサにより VCO の中心周波数を調整する
VIN	コントロール電圧入力	22	入力	VCO 制御のための直流電圧が入力される
PUMP <sub>1</sub> , PUMP <sub>2</sub>	PUMP	24, 23	出力	VCO 制御のためのハイ・インピーダンス出力
DSL <sub>0</sub> , DSL <sub>1</sub>	ドライブ・セレクト	25, 26	出力	FDD の選択出力、バイナリ出力
DW	リード・パルス・ディレイ幅	27	—	リード・パルスのディレイ幅を調整する端子、外付けに C, R が必要
$\overline{RAW\ READ}$	読み出し信号入力	28	入力	FDD からのデータ入力信号
HLD	ヘッド・ロード	29	出力	メディアに対してリード/ライト・ヘッドをロードさせる出力信号
TG43	43 トラック	30	出力	ヘッドがトラック 44 ~ にあることを示す出力信号
WG	ライト・ゲート	31	出力	WG = “H” でディスクへデータが書き込まれていることを示す
WD	ライト・データ	32	出力	ディスクへの書き込みデータ・パルスの出力端子、MFM/FM 信号パルス出力する
READY	レディ	33	入力	FDD がレディ状態にあることを示す、タイプ I 以外では READY = “H” のときコマンドを実行する
$\overline{WF}$	ライト・フォルト	34	入力	書き込み時の障害検出入力
$\overline{TR\ 00}$	トラック 00	35	入力	ヘッドがトラック (00) にあることを検出する入力
$\overline{IP}$	インデックス・パルス	36	入力	ディスクのインデックス・ホールを検出する入力
$\overline{WPRT}$	ライト・プロテクト	37	入力	ディスクの書き込み禁止を検出する入力
DIRC	ディレクション	38	出力	ヘッドの移動方向を指示する出力、外側のとき “L” 内側のとき “H”
STEP	ステップ	39	出力	ヘッド移動のためのステップ・パルス出力信号、1 トラック移動に対し 1 パルス出力
HLT	ヘッド・ロード・タイミング	18	入力	ヘッド・ロード指定後の応答入力、ヘッド・エンゲージのとき “H”



# GPIA [General Purpose Interface Adapter]

## ■ ピン接続



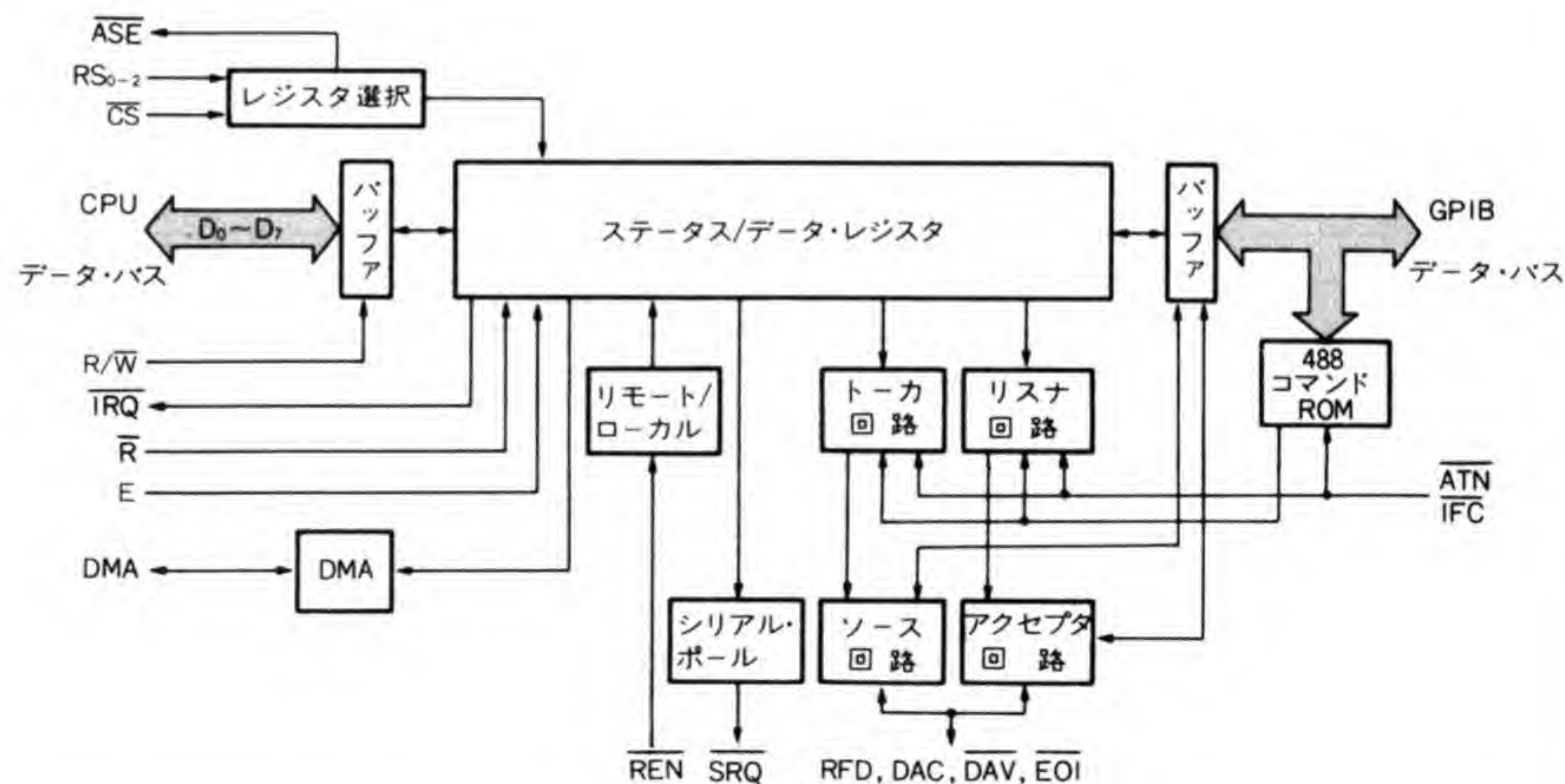
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	7.0	V
入力電圧	$V_{IN}$	7.0	V
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	-55 ~ +150	°C

## ■ 特 徴

- ・ 68系CPU周辺LSI
- ・ GPIB規格に定めるコントローラ, トーカ, リスナの全機能をもつ
- ・ 機能 SH1, AH1, T5, TE5, L3, LE3, SR1, RL1, PP1, DC1, DT1, C0
- ・ 2次アドレス使用可
- ・ DMA動作可能
- ・ 割り込み条件がプログラマブルに設定可能
- ・ リスナ・オンリ, トーカ・オンリ・モードに設定可能
- ・ RFD信号のオートマチック・ハンドシェイクをソフトウェアで制御可能

## ■ ブロック図



## ■ DC特性

項 目	max/min*	単位
$V_{IL}$	0.8	V
$V_{IH}$	2.0*	V
$V_{OH}$	2.4*	V
$V_{OL}: D_0 \sim D_7 / 1.6mA$	0.4	V
$V_{OL}: SRQ, IRQ / 3.2mA$	0.4	V



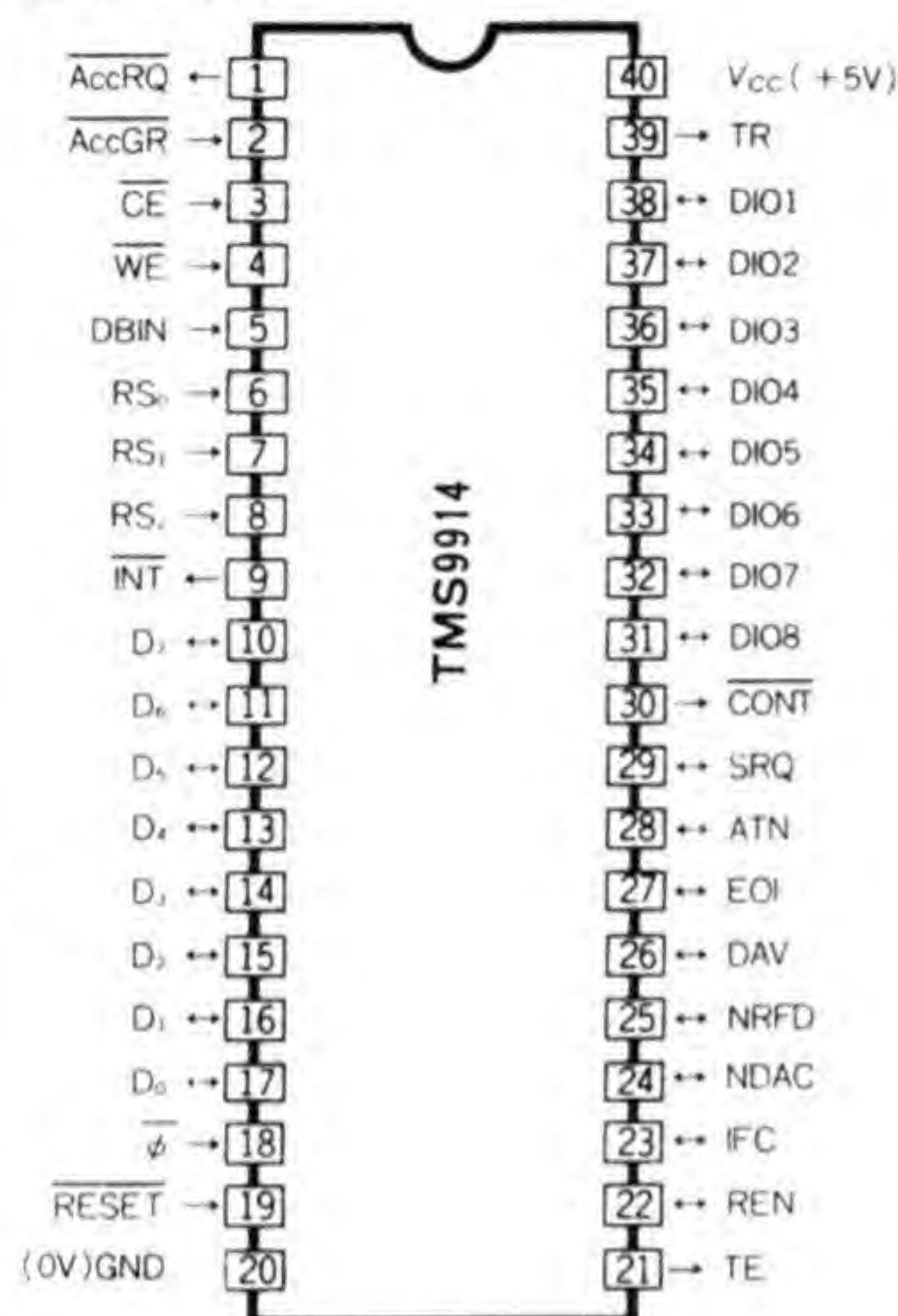
## ■端子機能

端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	7~14	入出力	データ、コントロール、ステータス情報を転送する
$\overline{CS}$	チップ・セレクト	3	入力	チップ・セレクト信号で、“L”のときにリード/ライトが可能となる
R/ $\overline{W}$	リード/ライト	5	入力	データ・バス転送の方向を制御する
RS <sub>0</sub> , RS <sub>1</sub> , RS <sub>2</sub>	レジスタ・セレクト	37, 38, 39	入力	内部レジスタの選択を行う
$\overline{IRQ}$	割り込み要求	40	出力	アクティブ“L”の割り込み要求出力で、オープン・ドレイン出力となっている
$\overline{R}$	リセット	19	入力	内部レジスタ、各種ステータス、状態をリセットする
E	イネーブル・クロック	6	入力	アドレス入力(CS, RS <sub>0</sub> ~RS <sub>2</sub> ), R/ $\overline{W}$ を有効にし、バス上のデータの転送を可能にする
$\overline{IB_0}$ ~ $\overline{IB_7}$	シグナル・ライン	36~29	入出力	8ビットの双方向データ・バスで、マルチライン・リモート・メッセージの転送に使用する
DAC	データ・アクセプト	17	入出力	$\overline{IB_0}$ ~ $\overline{IB_7}$ のマルチライン・リモート・メッセージが有効であることを示す
RFD	レディ・フォア・データ	18	入出力	ハンドシェイク・ラインで、マルチライン・リモート・メッセージを受け取る準備ができたことを示す
$\overline{DAV}$	データ・バリッド	16	入出力	ハンドシェイク・ラインで、マルチライン・リモート・メッセージが有効であることを示す
$\overline{ATN}$	アテンション	26	入力	管理ラインで、マルチライン・リモート・メッセージがコマンドであることを示す
$\overline{IFC}$	インターフェース・クリア	21	入力	管理ラインで、インターフェース機能を初期状態にする
$\overline{SRQ}$	サービス・リクエスト	23	出力	管理ラインで、コントローラに対するサービス要求信号
$\overline{EOI}$	エンド・オブ・アイデンティファイ	25	入出力	管理ラインで、マルチ・バイト転送の終了を示す場合、またはパラレル・ボールを実行する場合に使用
$\overline{REN}$	リモート・イネーブル	22	入力	管理ラインで、デバイスのリモート制御/ローカル制御の切り替えに使う
T/ $\overline{R_1}$ , T/ $\overline{R_2}$	トランスミット/レシーブ・コントロール	28, 27	出力	4または8のトランシーバがバスをドライブする場合の制御に使用する。 $\overline{IB_0}$ ~ $\overline{IB_7}$ およびハンドシェイク・ラインの入出力方向を決める
DMA Grant	DMA 許可	2	入力	DMA 要求に対する許可信号で、“H”のときレジスタ7を選択する
DMA Request	DMA 要求	15	出力	インタラプト・レジスタのBIまたはBOステータス・ビットがセットされると“H”になる
TRIG	トリガ出力	24	出力	GET と fget コマンドによってセットされる出力
$\overline{ASE}$	アドレス・スイッチ・イネーブル	4	出力	CPU バスに接続されたアドレス・スイッチ用のバッファをイネーブルにするために使われる出力信号



# GPIB Adapter

## ■ ピン接続



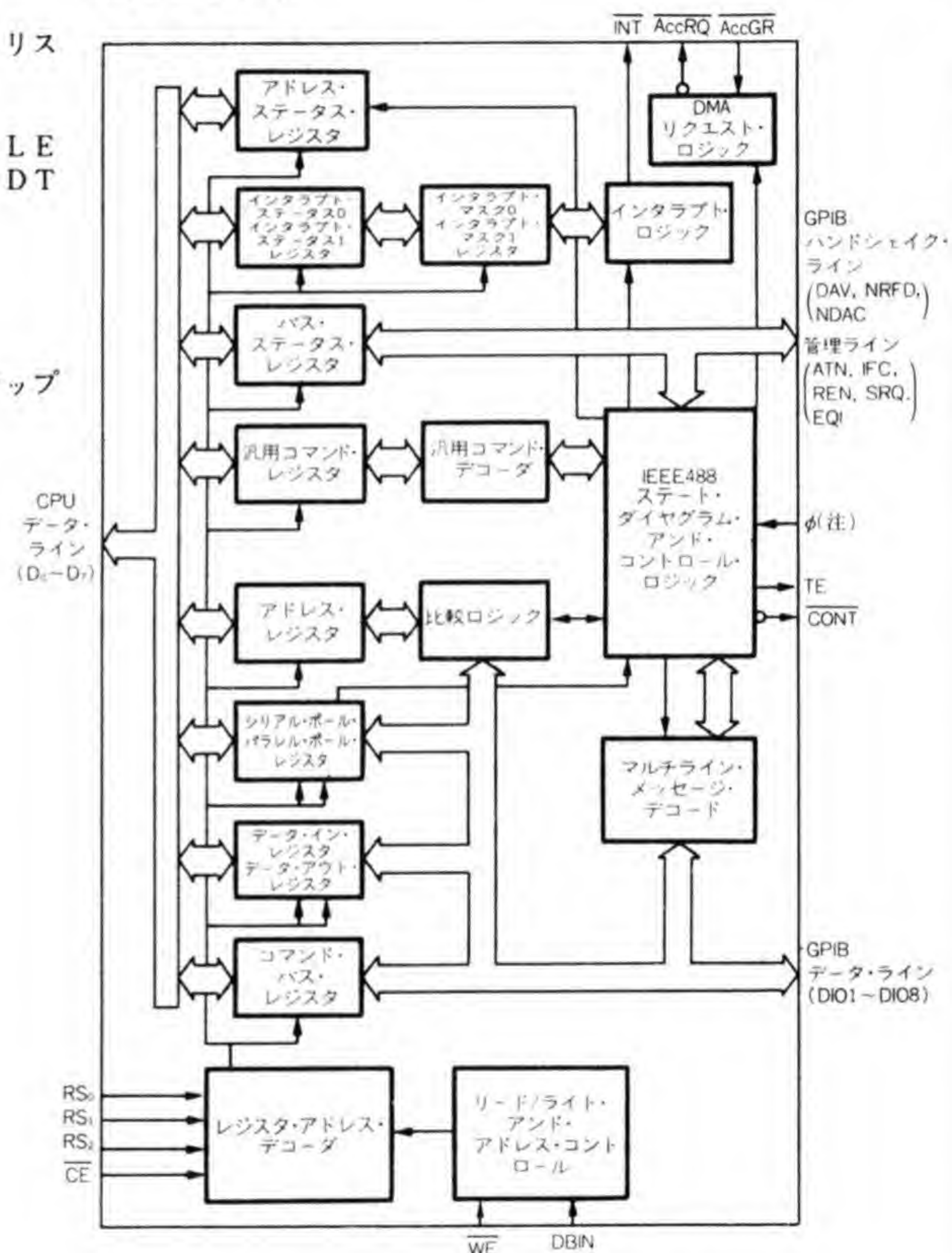
## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3 ~ +20	V
入力電圧	V <sub>IN</sub>	-0.3 ~ +20	V
動作温度	T <sub>OPR</sub>	0 ~ +70	°C
保存温度	T <sub>STG</sub>	-55 ~ +150	°C

## ■ 特 徴

- ・各種マイクロプロセッサと容易に接続可能
- ・GPIB規格に定めるコントローラ、トーカー、リスナの全機能をもつ
- ・機能
  - SH1, AH1, T5, TE5, L3, LE3, SR1, RL1, PP1, DC1, DT1, C1
- ・DMA動作可能
- ・2次アドレス使用可
- ・システム・コントローラ可能
- ・バス・コントロール機能あり
- ・ドライバ/レシーバとの組み合わせにより3チップでGPIBの全機能を構成

## ■ ブロック図



(注)  $\phi$ はIEEE488での状態遷移を制御するためのクロック、マイクロプロセッサと同期する必要はない。



■ 端子機能

端子名	ピン番号	入出力	機能
DIO 8 (MSB) } DIO 1 (LSB)	31 } 38	入出力 (p/p)	DIO1~8はGPIBに対するデータの入出力ライン、ノン・インバーティング・トランシーバを介してGPIBに接続する
DAV	26	入出力 (p/p)	DATA VALID. ソースはこのハンドシェイク・ラインを“L”にして、DIOバスに有効データを出していることをアクセプタに知らせる
NDAC	24	入出力 (p/p)	NOT DATA ACCEPTED. アクセプタはこのハンドシェイク・ラインを“H”にしてDIOバスのデータをラッチしたことをソースに知らせる
NRFD	25	入出力 (p/p)	NOT READY FOR DATA. アクセプタはこのハンドシェイク・ラインを“H”にして、次のデータが受信可能であることをソースに知らせる
ATN	28	入出力 (p/d)	ATTENTION. この信号はコントローラによって送出される。この信号が“L”のときはインターフェース・メッセージ、“H”のときはデータがDIOバスに伝達されていることを示す
REN	22	入出力 (o/d)	REMOTE ENABLE. この信号はシステム・コントローラから送出され、装置制御をリモートで行うか、フロント・パネルで行うかを選択する
IFC	23	入出力 (o/d)	INTERFACE CLEAR. この信号はシステム・コントローラから送出され、各装置の既知の静止状態におく
SRQ	29	入出力 (p/p)	SERVICE REQUEST. この信号はコントローラ以外の装置から送出され、コントローラからのサービスが必要なことを示す
EOI	27	入出力 (p/p)	END OF IDENTIFY. ATNが“H”のときこの信号はデータ・ブロックの終了を示し、ATNが“L”のとき、この信号はコントローラがパラレル・ポールを実行していることを示す
$\overline{\text{CONT}}$	30	出力 (p/p)	バス管理用のトランシーバの入出力方向を決定する。論理式では(CIDS+CADS)と表せる

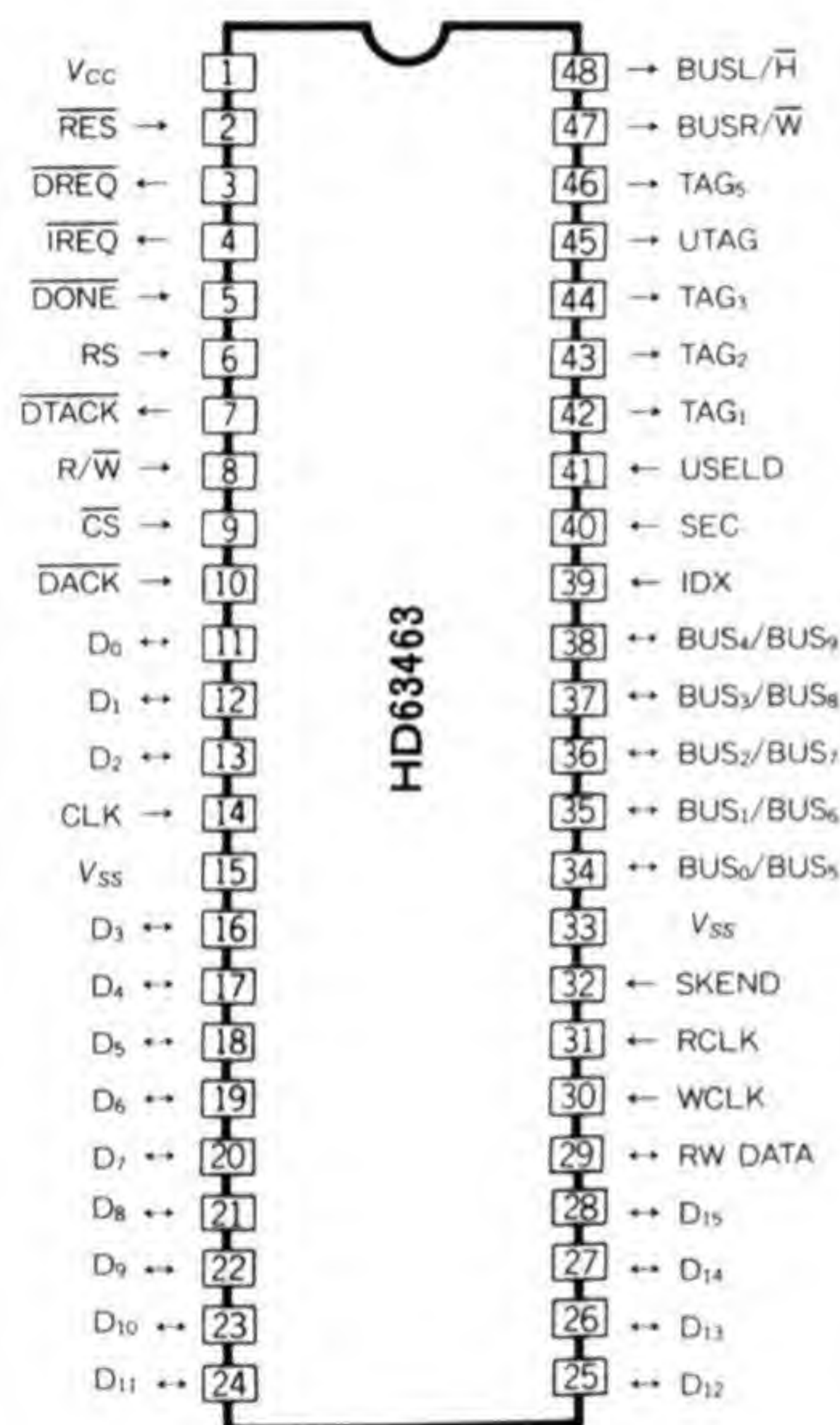
端子名	ピン番号	入出力	機能
TE	21	出力 (p/p)	TALK ENABLE. DIO、ハンドシェイク・ライン用のトランシーバの入出力方向を決定する
D <sub>0</sub> (MSB) } D <sub>7</sub> (LSB)	17 } 10	入出力 (p/p)	マイクロプロセッサ側のデータ転送ライン
RS <sub>0</sub> } RS <sub>2</sub>	6 } 8	入力	REGISTER SELECT LINES. マイクロプロセッサが内部レジスタを選択するためのアドレス入力
$\overline{\text{CE}}$	3	入力	CHIP ENABLE. このラインを“L”にすると内部レジスタをアクセスできる
$\overline{\text{WE}}$	4	入力	WRITE ENABLE. この信号を“L”にして内部レジスタの一つにデータを書き込む
DBIN	5	入力	DATA BUS IN. この信号を“H”にして内部レジスタの一つからデータを読み出す
$\overline{\text{INT}}$	9	出力(o/d) (no pull-up)	INTERRUPT. マイクロプロセッサに対する割り込み要求出力
$\overline{\text{AccRQ}}$	1	出力(p/p)	ACCESS REQUEST. DMA (Direct Memory Access) 要求出力
$\overline{\text{AccGR}}$	2	入力	ACCESS GRANTED. $\overline{\text{AccRQ}}$ に対するDMAC (Direct Memory Access Controller) の応答信号入力。DMAC未使用のときは+5Vに接続
$\overline{\text{RESET}}^*$	19	入力	RESET. ハードウェア・リセット信号入力。この信号によりTMS9914はアイドル状態になる
TR	39	出力(p/p)	TRIGGER. GPIBからGETコマンドを受けたとき、またはマイクロプロセッサがfgetコマンドを実行したときにパルスを出力する
$\phi$	18	入力	CLOCK. 500kHz~5MHz. マイクロプロセッサのクロックと同期している必要はない

(注) (p/p)=プッシュプル出力  
(o/d)=プルアップ付きオープン・ドレイン出力  
\* RESETは、TMS 9914 Aに次の影響を与える。  
▶ シリアル・ポール/パラレル・ポールがクリアされる  
▶ 全c/s型のコマンドが“swrst”を除いてクリアされる  
▶ “swrst”コマンドはセットされる。これよりTMS 9914 Aはアイドル状態になる



# HDC(Hard Disk Controller)

## ■ ピン接続



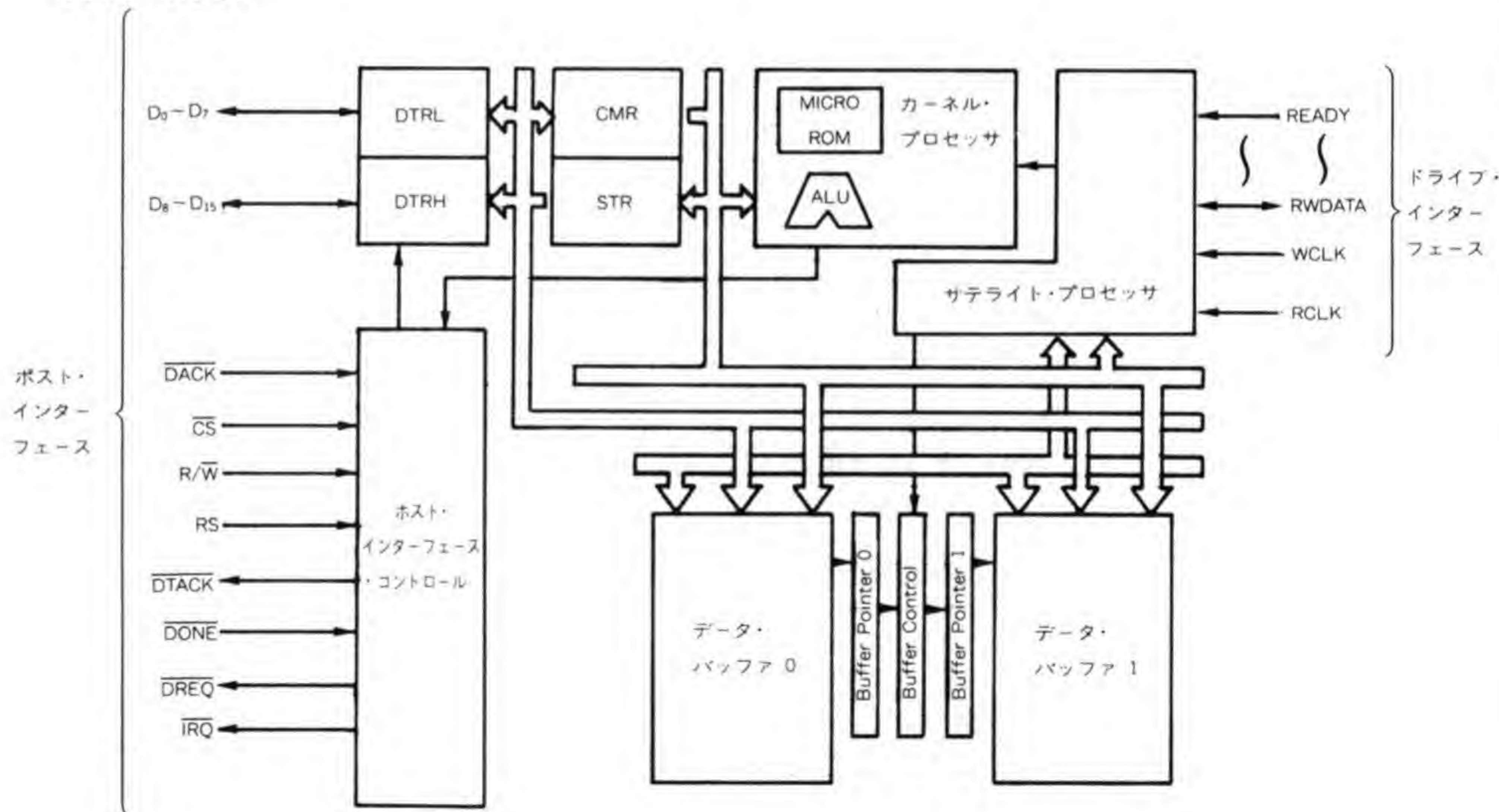
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

## ■ 特 徴

- ・ 68000 システム用のハード・ディスク・コントローラ
- ・ ST506 / ST412 / ST412HP および SMD の 2 種類のディスク・インターフェースに対応可能
- ・ 16 / 8 ビットのデータ・バス幅選択が可能
- ・ 256 バイト × 2 面のデータ・バッファを内蔵し、ゼロ・セクタ・インタリーブとプログラム I/O を実現
- ・ 11 ビット・バースト・エラーまでの自動訂正可能
- ・ ゼロ・パターンの検出／発生回路, アドレス・マー

## ■ ブロック図



## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5.0\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.2\text{mA}$	0.5	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	$V_{CC} - 1.0^*$	V
$I_{OL}$	$V_{OUT} = V_{CC}$	10	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 2.5$	$\mu\text{A}$
$C_{IN}$		17	pF



## ■端子機能

端子名	ピン番号	入出力	機能
CLK	14	入力	ホスト・システムから与えるクロック信号
RES	2	入力	ホスト・システムから与えるリセット信号
DREQ	3	出力	DMACに転送要求を行うとき出力される
DACK	10	入力	DMACから受ける転送アクノリッジ信号
DONE	5	入力	DMACからこの信号を受けると、DMAモードにおけるホスト・バス上でのデータ転送は直ちに停止する
IRQ	4	出力	割り込み要求信号
CS	9	入力	チップ・セレクト信号
RS	6	入力	HDC内のレジスタ選択信号
R/W	8	入力	データ転送方向を示す信号
DTACK	7	出力	ホスト・バスにおけるデータ転送が終了したことを示すアクノリッジ信号
D <sub>0</sub> ~D <sub>15</sub>	11~13, 16~28	入出力	16ビットの双方向データ・バス
SEEK	47	出力	マルチプレクスされた信号を切り替えるのに用いる
LCK/DIR	38	出力	SEEK = 1 のとき、ヘッドの移動方向を示す
LATE/STEP	36	出力	SEEK = 1 のとき、この信号はヘッド移動用のステップ・パルス出力となる。SEEK = 0 のときこの信号は書き込み補正(LATE)を指示する
EARLY/RGATE	35	出力	WGATE 信号が“H”のときこの信号は書き込み補正(EARLY)を指示する。そうでないときはリード・ゲート信号となり、ドライブからのデータの読み取りを指示する
WGATE	34	出力	ドライブのデータの書き込みを指示するライト・ゲート信号
SYNC	32	出力	外付けデータ・セパレータのループ・ゲインの切り替え信号
HSEL <sub>0~2</sub>	44~46	出力	ドライブ内の最大8個のヘッドを選択する3ビット信号
USEL <sub>0~1</sub>	42, 43	出力	4台までのドライブのうち1台を選択する2ビット信号
READY	48	入力	選択されたドライブがレディ状態であることを示す入力信号
WFLT	37	入力	書き込みエラーを引き起こすような異常がドライブにおいて発生したことを示す信号

端子名	ピン番号	入出力	機能
SCP	40	入力	ヘッド移動動作、すなわちシーク動作がドライブ内で終了したことを示す信号を入力する
IDX/TRK 0	39	入力	SEEK = 1 のとき、この信号はドライブ内のヘッドがトラック0にいることを示す信号とみなされる。SEEK = 0 のとき、トラックの開始を示すインデックス信号とみなされる
USELD	41	入力	選択したドライブから与えられる応答信号
RCLK	31	入力	外付けデータ・セパレータから与えるディスク読みとり用クロック
WCLK	30	入力	外付け発振器から与えるディスク書き込み用クロック
RWDATA	29	入出力	ディスク読み書き用のシリアル・データがFMFコードにて入出力される
BUSL/H	48	出力	この信号が“H”のとき5ビットのバスにおいて10ビットのドライブ・バスのうち下位5ビットが転送される
BUSR/W	47	出力	この信号が“H”のときバスは入力状態になっている
BUS <sub>0</sub> /BUS <sub>5</sub> ~BUS <sub>4</sub> /BUS <sub>9</sub>	34~38	入出力	5ビットのマルチプレクスされた双方向バス
TAG <sub>5</sub> , TAG <sub>2</sub>	46, 43	出力	ステータス入力の選択信号として用いられる
TAG <sub>3</sub>	44	出力	ドライブ・バス上にディスクの読み書き指令などの情報が存在することを示すタグ信号
TAG <sub>1</sub>	42	出力	ドライブ・バス上にヘッドの移動先アドレスが存在することを示すタグ信号
UTAG	45	出力	ドライブ・バス上に3ビットのドライブ番号が存在することを示すタグ信号
IDX	39	入力	トラックの開始を示すインデックス信号
SEC	40	入力	セクタの開始を示す信号
USELD	41	入力	選択したドライブからの応答信号
SKEND	32	入力	ディスク・ドライブ内のサーボ回路がシーク動作を終了し、ヘッドをトラック上に置いた際に発生する信号
RCLK	31	入力	ディスク読み取り用クロック
WCLK	30	入力	ディスク書き込み用クロック
RWDATA	29	入出力	ディスク読み書き用のシリアル・データ



項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
消費電力	$P_D$	0.75	W
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

記号	測定条件	max min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.5	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OH} = V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 2.5$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ $T_a = 25^\circ\text{C}, V_{IN} = 0\text{V}$	20	pF

- ・データ・バス幅は16 / 8ビットの選択可能
- ・マスタ / スレーブ・モードの選択可能
- ・ホスト間、HDD間の同時転送可能  
HDD転送レート：最大15Mbps  
ホスト転送レート：最大6MByte/sec
- ・608Byte×2面のデータ・バッファ内蔵



## ■端子機能

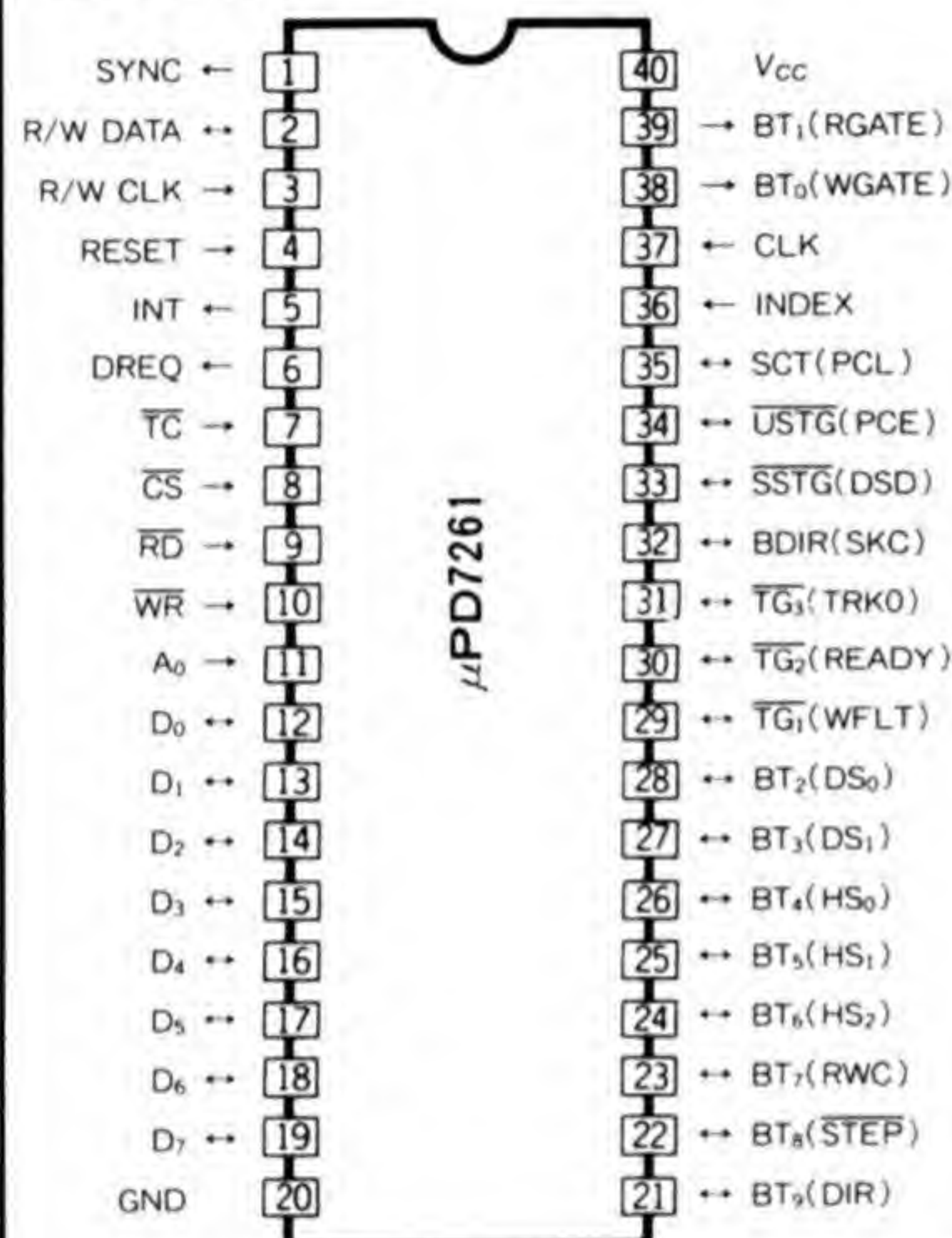
分 類	端 子 名	ピン番号	入 出 力	機 能
クロック	CLK	60	入 力	システム・クロックの入力端子
リセット	$\overline{\text{RST}}$	58	入 力	FDP の内蔵状態をリセットするための入力信号
ファイル・マネージャ・インターフェース	$\overline{\text{RD}}$	6	入 力	リード動作を制御する信号を入力する
	$\overline{\text{WR}}$	7	入 力	ライト動作を制御する信号を入力する
	$\overline{\text{CS}}$	21	入 力	ファイル・マネージャが FDP をアドレッシングするための端子
	A <sub>0</sub> ~A <sub>2</sub>	16, 19, 20	入 力	ファイル・マネージャがリード/ライトを行う直接のレジスタのアドレスを入力する
	D <sub>0</sub> ~D <sub>7</sub>	8 ~ 15	入出力	ファイル・マネージャと FDP 間のデータ転送に使用する
	$\overline{\text{INT}}$	22	出 力	コマンド終了をファイル・マネージャに知らせる割り込み要求信号
ポート	P <sub>7</sub> ~P <sub>0</sub>	23~30	入出力	8 ビートの入出力ポート
ドライブ・インターフェース	RDGT	5	出 力	ドライブからのデータの読み取りを指示する
	WRGT	4	出 力	ドライブへのデータの書き込みを指示する
	IDX	3	入 力	トラックの開始を示す信号を入力する
	RDY	2	入 力	ドライブがレディ状態であることを示す入力信号
	S/AMF	63	入 力	セクタの開始を示す信号
	RCLK	67	入 力	ドライブから与えられるディスク読み書き用クロックでシリアルデータ転送レートと同じ周波数のクロックを入力する
	RDT	66	入 力	ディスクから読み取ったシリアル・データを NRZ のコードで入力する
	WCLK	65	出 力	ディスク書き込み用で、RCLK と同じ周波数のクロックを出力する
	WDT	64	出 力	ディスク書き込み用のシリアル・データが WCLK に同期して NRZ のコードで出力される
	CC	62	入 力	ドライブがコマンド受け付け状態にあることを示す信号を入力する
	AME	61	出 力	ESD <sub>1</sub> のドライブにアドレス・マークの書き込みまたは読み出しを指示する信号
ホスト・インターフェース (スレーブ・モード)	$\overline{\text{DREQ}}$	32	出 力	FDP が DMAC に転送要求を行うときにアサートされる
	$\overline{\text{DACK}}$	33	入 力	DMA 転送時、データ転送のタイミングを入力する
	$\overline{\text{DONE}}$	31	入 力	DMA 転送の終了を示す信号を入力する
	$\overline{\text{IOWR}}$	37	入 力	データ・バッファに対するライト動作を制御する信号を入力する
	$\overline{\text{IORD}}$	38	入 力	データ・バッファに対するリード動作を制御する信号を入力する
	BUS <sub>07</sub> ~ BUS <sub>00</sub>	48~51 54~57	入出力	双方向データ・バス、 16/8ビット・モード時、データ・バッファとのデータ入出力に使用する
	BUS <sub>15</sub> ~ BUS <sub>08</sub>	40~47	入出力	双方向データ・バス、 16ビット・モード (B <sub>8</sub> =0) 時、データ・バッファとのデータ入出力に使用する

(注)  $\overline{\text{WAIT}}$  (34ピン) は、マスタ・モードのときのみ使用し、FDP に対しアクセス・サイクルの延長を要求するための信号。



# HDC (Hard Disk Controller)

## ■ ピン接続



( ) : Floppy-like インターフェース時

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5.0\text{V}\pm10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2.0\text{mA}$	0.45	V
$V_{OH}$	$I_{OH}=100\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT}=0.45\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0.45\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		15	pF

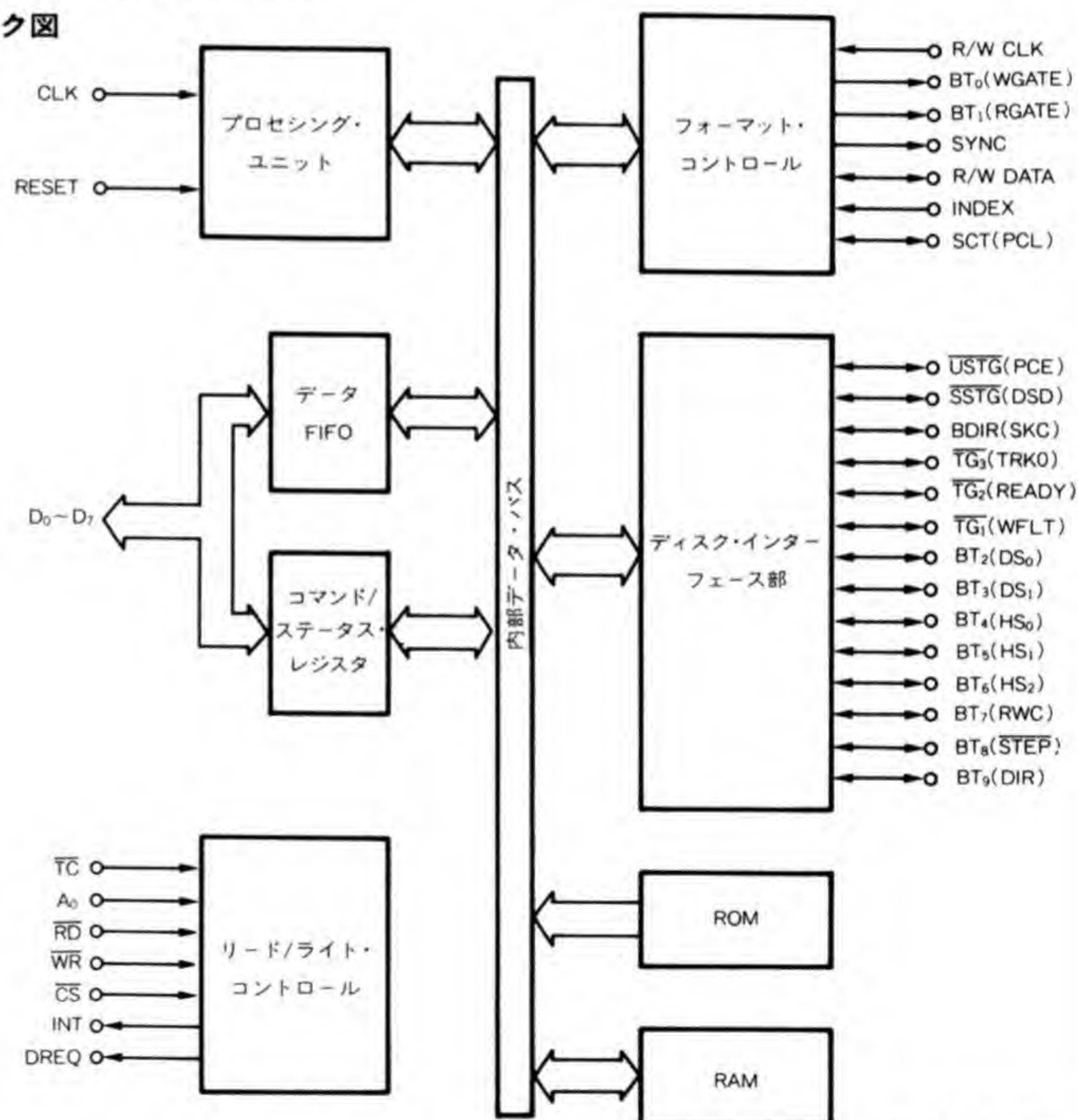
## ■ 特徴

- ・ 80および86系バス・コンパチブルのハード・ディスク・コントローラ
- ・ SMDインターフェースのハード・セクタ・ディスクおよびフロッピー・ライク・インターフェースのソフト・セクタ・ディスクにインターフェース可能
- ・ トラック・フォーマットはプログラマブルで、128~4095バイト/セクタまで指定可能
- ・ SMDインターフェースのとき8台まで、フロッピー・ライク・インターフェースのとき、4台までディスク・ドライブ接続可能

## ク・ドライブ接続可能

- ・ パラレル・シーク, マルチ・セクタ, マルチ・トラック機能
- ・ データ・スキャン, データ・ベリファイ機能をもつ
- ・ CRC発生, チェック機能をもつ
- ・ ECC発生, チェック, 訂正機能をもち, 11ビット・バースト・エラーまでの自動訂正可能
- ・ DMA転送

## ■ ブロック図



( ) : Floppy-like インターフェース時



■端子機能

端子名	ピン番号	入出力	機能
CLK	37	入力	外部クロック入力、プロセッシング・ユニットのタイミング・クロックとなる
D <sub>0</sub> ~D <sub>7</sub>	12~19	入出力	8ビットの双方向データ・バス
$\overline{\text{CS}}$	8	入力	レジスタ、またはデータFIFOへのアクセスを可能にする信号が入力される
$\overline{\text{RD}}$	9	入力	データ/ステータスの読み出し制御信号が入力される
$\overline{\text{WR}}$	10	入力	データ/コマンドの書き込み制御信号が入力される
A <sub>0</sub>	11	入力	レジスタまたはデータFIFOを選択する信号が入力される
INT	5	出力	割り込み要求信号を出力
DREQ	6	出力	DMA要求信号を出力
$\overline{\text{TC}}$	7	入力	DMAリードまたはDMAライト動作の終了指示信号が入力される
RESET	4	入力	リセット入力
R/W DATA	2	入出力	リード動作時にはディスク・ドライブからの読み出しデータの入力となり、ライト動作時にはディスクへの書き込みデータを出力する
SYNC	1	出力	PLL同期信号
R/W CLK	3	入力	データのサンプリング・クロック信号が入力される
INDEX	36	入力	トラックの物理的開始点を示す信号が入力される
SCT	35	入出力	セクタの開始点を示す信号
BDIR	32	入出力	ビット・バスの入力を区別するための信号を出力する
$\overline{\text{TG}}_1$	29	入出力	ビット・バス上にシリンダ・アドレスが出力されていることを示すための信号
$\overline{\text{TG}}_2$	30	入出力	ビット・バス上にヘッド・アドレスが出力されていることを示すための信号

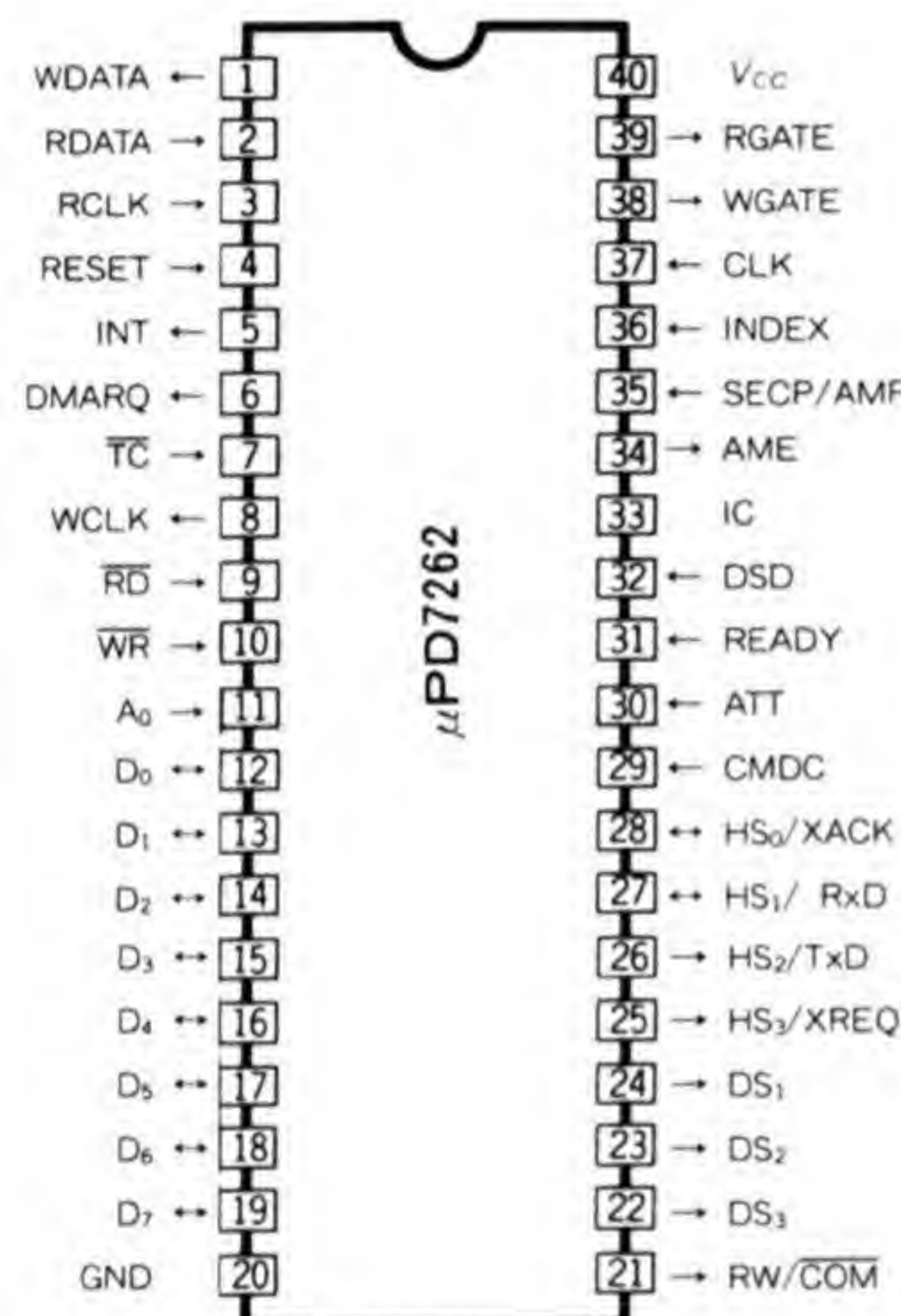
端子名	ピン番号	入出力	機能
$\overline{\text{TG}}_3$	31	入出力	ビット・バス上にディスク・ドライブを制御するための各種の信号が出力されていることを示す
$\overline{\text{USTG}}$	34	入出力	ビット・バス上にユニット・アドレスが出力されていることを示すための信号
$\overline{\text{SSTG}}$	33	入出力	ディスク・ドライブのステータスをセンスするためのストローブ信号
BT <sub>0</sub> , BT <sub>1</sub>	38, 39	出力	ビット・バス 0, 1
BT <sub>2</sub> ~BT <sub>9</sub>	28~21	入出力	ビット・バス 2~9

(注) ハード・ディスク端子機能を記載



# HDC [Hard Disk Controller]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
動作温度	$T_{OPR}$	-10~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

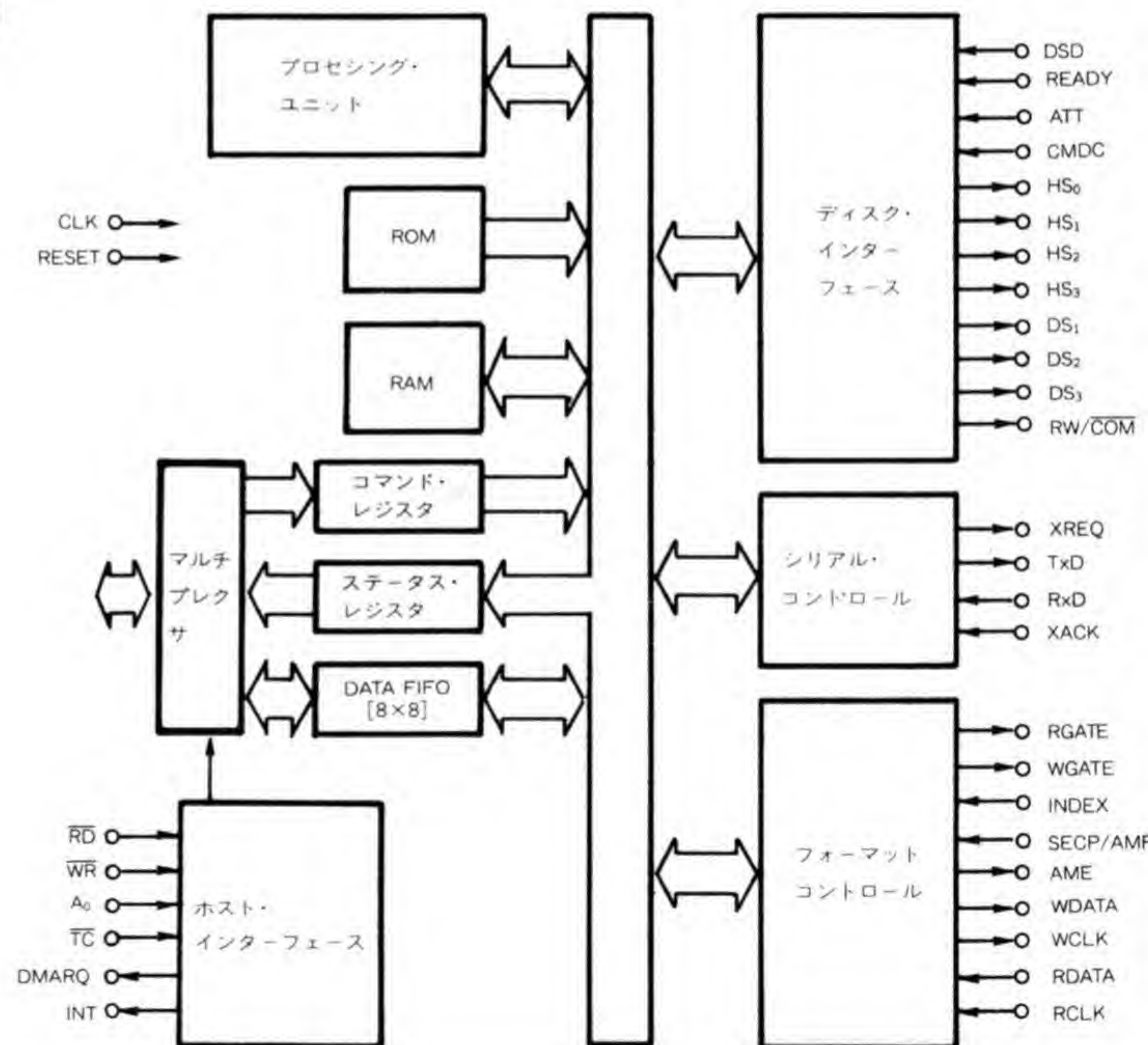
( $T_a = -10 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5.0\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.0\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 100\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0.45 \sim V_{CC}$	$\pm 30$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0.45 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		20	pF

## ■ 特徴

- ・ シリアル・モード ESDI のハード・ディスク・ドライブを7台まで制御可能
- ・ ハード・セクタ, ソフト・セクタ混在制御可能
- ・ プログラマブル・トラック・フォーマット  
データ長可変: 128~65536 バイト/セクタ  
ギャップ長可変
- ・ セクタ開始信号選択  
Sector Puluse/Address Mark Found
- ・ 23種類のディスク・コマンドをもつ
- ・ マルチセクタ/マルチトラック/マルチシリンダ機能
- ・ インプライド・シーク機能
- ・ データ・スキャン/ベリファイ機能
- ・ エラー・セクタの読みだし機能
- ・ ECC/CRC選択可能

## ■ ブロック図





■端子機能

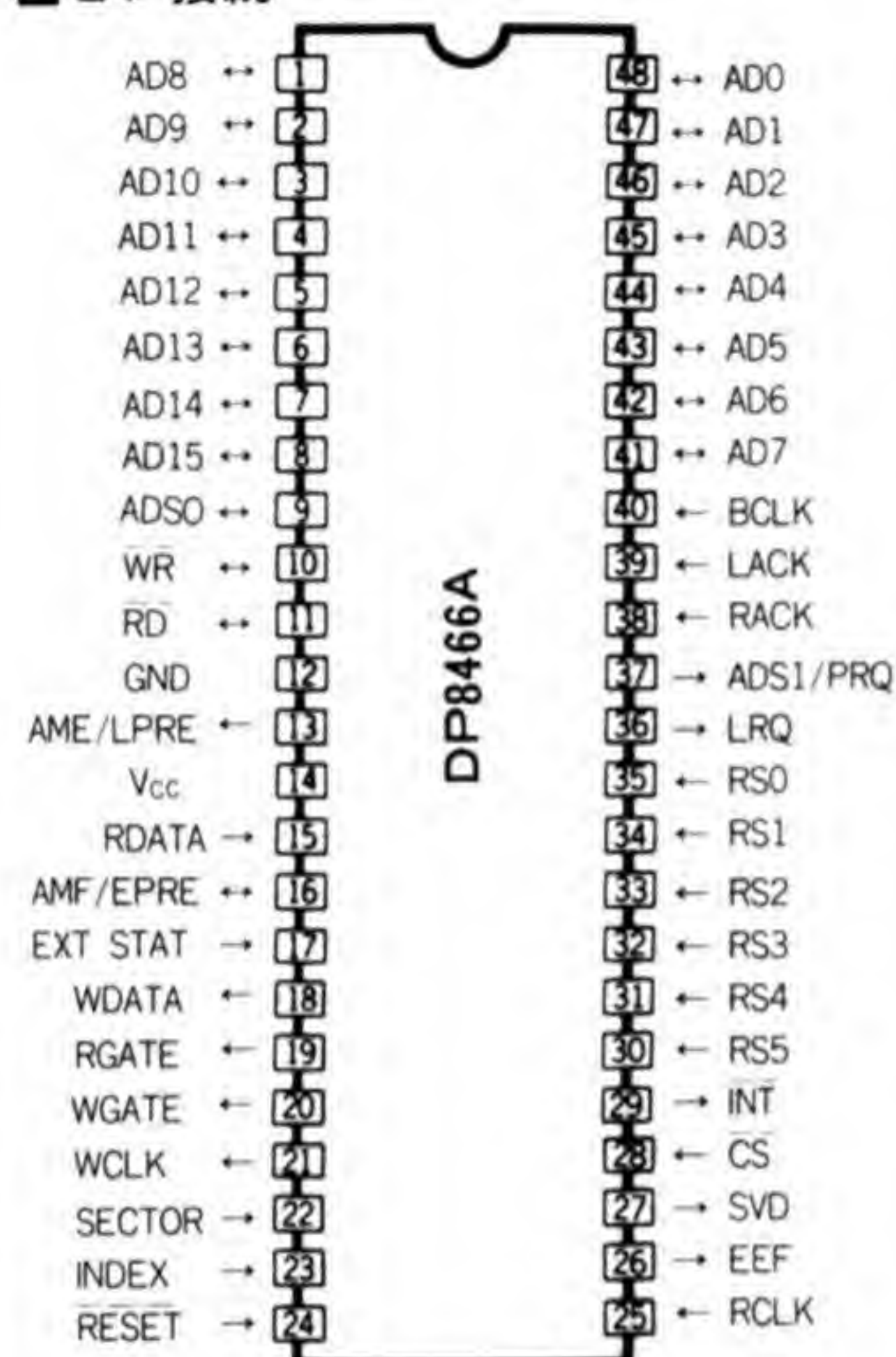
端子名	ピン番号	入出力	機能												
INT	5	出力	ESDICがコマンド実行を終了,またはディスク・ドライブがシーク動作を終了したことを示す												
DMARQ	6	出力	DMA要求信号												
$\overline{\text{TC}}$	7	出力	データ転送の終了指示信号												
$\overline{\text{RD}}$	9	出力	ESDICからデータ/ステータスを読み出すための制御信号												
$\overline{\text{WR}}$	10	出力	ESDICへデータ/コマンドを書き込むための制御信号												
A <sub>0</sub>	11	出力	ESDICのレジスタ/データFIFOを選択する												
D <sub>0</sub> ~D <sub>7</sub>	12~19	入出力	3ステート双方向のデータ・バス												
WDATA	1	出力	ディスク・ドライブへの書き込みデータ(NRZ)												
RDATA	2	入力	ディスク・ドライブからの読み出しデータ(NRZ)												
RCLK	3	入力	リード時はRDATAをサンプリングするリード・クロックとなり,ライト時はWCLKの周波数を決定するレファレンス・クロックとなる												
WCLK	8	出力	WDATAに同期したクロック												
RW/ $\overline{\text{COM}}$	21	出力	25~28ピンの入出力信号を示す. <table><tr><td>RW/<math>\overline{\text{COM}}</math></td><td>1</td><td>0</td></tr><tr><td rowspan="4">ピン 番号</td><td>25</td><td>HS<sub>3</sub> XREQ</td></tr><tr><td>26</td><td>HS<sub>2</sub> TxD</td></tr><tr><td>27</td><td>HS<sub>1</sub> RxD</td></tr><tr><td>28</td><td>HA<sub>0</sub> XACK</td></tr></table>	RW/ $\overline{\text{COM}}$	1	0	ピン 番号	25	HS <sub>3</sub> XREQ	26	HS <sub>2</sub> TxD	27	HS <sub>1</sub> RxD	28	HA <sub>0</sub> XACK
RW/ $\overline{\text{COM}}$	1	0													
ピン 番号	25	HS <sub>3</sub> XREQ													
	26	HS <sub>2</sub> TxD													
	27	HS <sub>1</sub> RxD													
	28	HA <sub>0</sub> XACK													
DS <sub>1</sub> ~DS <sub>3</sub>	22~24	出力	ディスク・ドライブの選択信号												
HS <sub>0</sub> ~HS <sub>3</sub>	25~28	出力	リード/ライト・ヘッドの選択信号												
XREQ	25	出力	ディスク・ドライブに対するコマンド,またはコンフィギュレーション/ステータスの転送要求信号												
TxD	26	出力	ディスク・ドライブへ送信するシリアル・コマンド												
RxD	27	入力	ディスク・ドライブから受信するコンフィギュレーション/ステータス												

端子名	ピン番号	入出力	機能
XACK	28	入力	ディスク・ドライブからのコマンド,またはコンフィギュレーション/ステータスの転送許可信号
CMDC	29	入力	ディスク・ドライブがシリアル・コマンドの実行を終了し,次のコマンドを受け付け可能であることを示す
ATT	30	入力	ディスク・ドライブからのスタンダード・ステータス・バイトの引き取り要求信号
READY	31	入力	ディスク・ドライブがレディ状態であることを示す
DSD	32	入力	DS <sub>1</sub> ~DS <sub>3</sub> で指定したディスク・ドライブが選択されたことを示す
AME	34	出力	ディスク・ドライブにアドレス・マークの書き込みまたは検出を指示する
SECP	35	入力	ドライブ・ハード・セクタのディスク・ドライブにおいて,セクタの始まりを示す
AMF	35	入力	ソフト・セクタのディスク・ドライブにおいて,セクタの始まりを示す
INDEX	36	入力	インデックス検出信号
WGATE	38	出力	ディスク・ドライブにデータ書き込みを指示する信号
RGATE	39	出力	ディスク・ドライブにデータ読み出しを指示する信号
RESET	4	入力	チップ内部をクリアする
CLK	37	入力	単相システム・クロック入力,周波数は次の条件を満たさなければならない. $0.7 \times (\text{RCLKの周波数}) \leq (\text{CLKの周波数}) \leq 1.8 \times (\text{RCLKの周波数})$
IC	33	—	内部で接続されている,グラウンドに接続する



# DDC [Disk Data Controller]

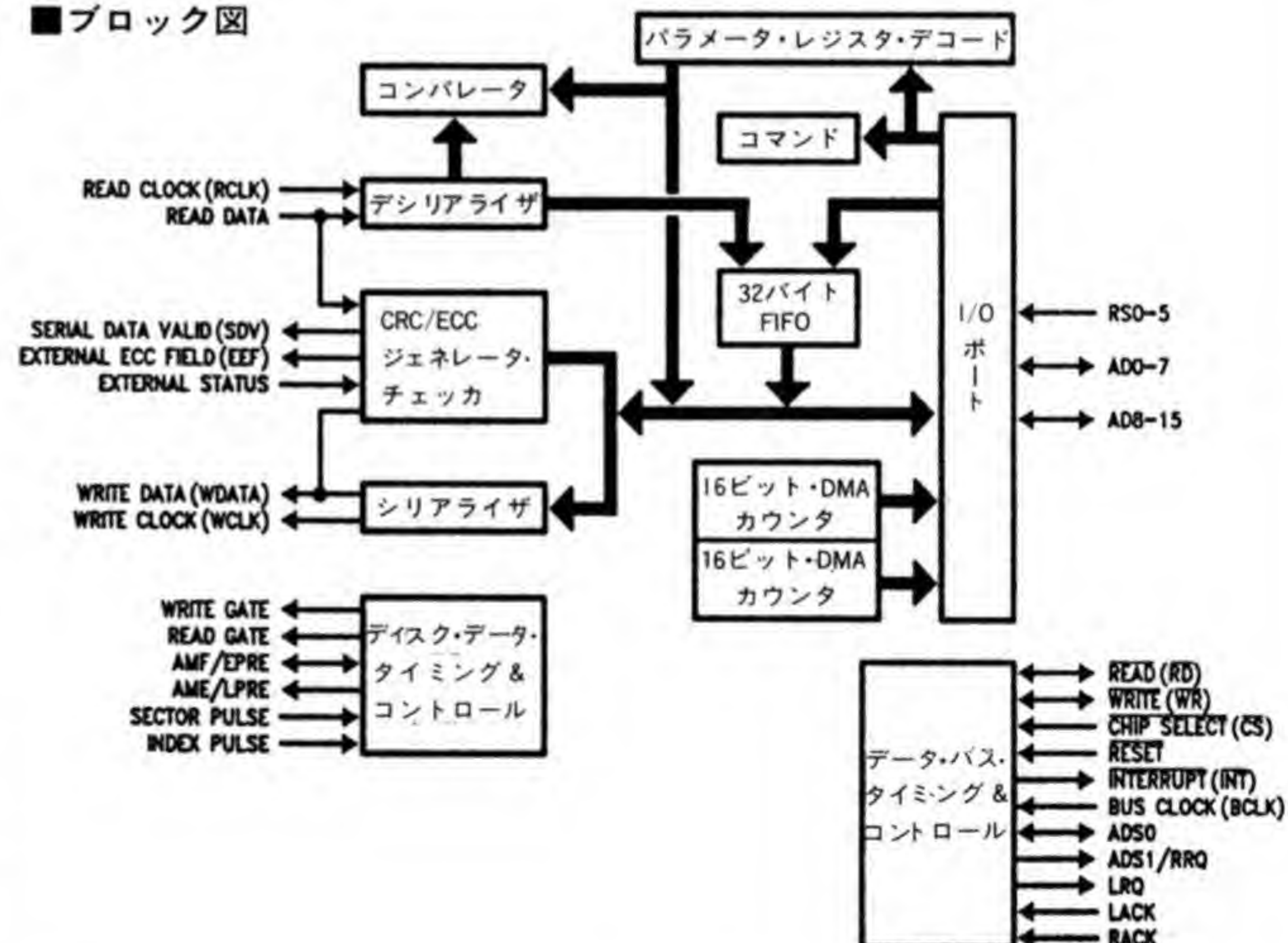
## ■ピン接続



## ■特 徴

- ・ハード・ディスク、フロッピー・ディスク、光ディスク用コントローラ
- ・8 / 16 / 32 ビット CPU と接続可能
- ・最大 64 K バイト・セクタ長、255 セクタ / トラックに対応可能
- ・32 / 48 ビット ECC がプログラマブル
- ・シングル 32 ビットまたはデュアル 16 ビットの DMA チャンネル・アドレス
- ・8 または 16 ビットのデータ転送可能
- ・最大ディスク・データ転送レートは 25 Mbps
- ・最大 DMA 転送レートは 10 M バイト / s

## ■ブロック図



## ■最大定格

項 目	記号	定 格	単位
電源電圧	V <sub>CC</sub>	-0.5 ~ 7.0	V
入力電圧	V <sub>IN</sub>	-0.5 ~ V <sub>CC</sub> + 0.5	V
消費電力	P <sub>D</sub>	0.5	W
動作温度	T <sub>OPR</sub>	0 ~ 70	°C
保存温度	T <sub>STB</sub>	-65 ~ 150	°C

## ■DC 特性

(T<sub>a</sub> = 0 ~ 70°C, V<sub>CC</sub> = 5 V ± 10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 2.0 mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> = 2.0 mA	3.5*	V
I <sub>OFL</sub>	V <sub>OUT</sub> = V <sub>CC</sub> , 0 V	±10	μA
I <sub>IL</sub>	V <sub>IN</sub> = V <sub>CC</sub> , 0 V	±1	μA



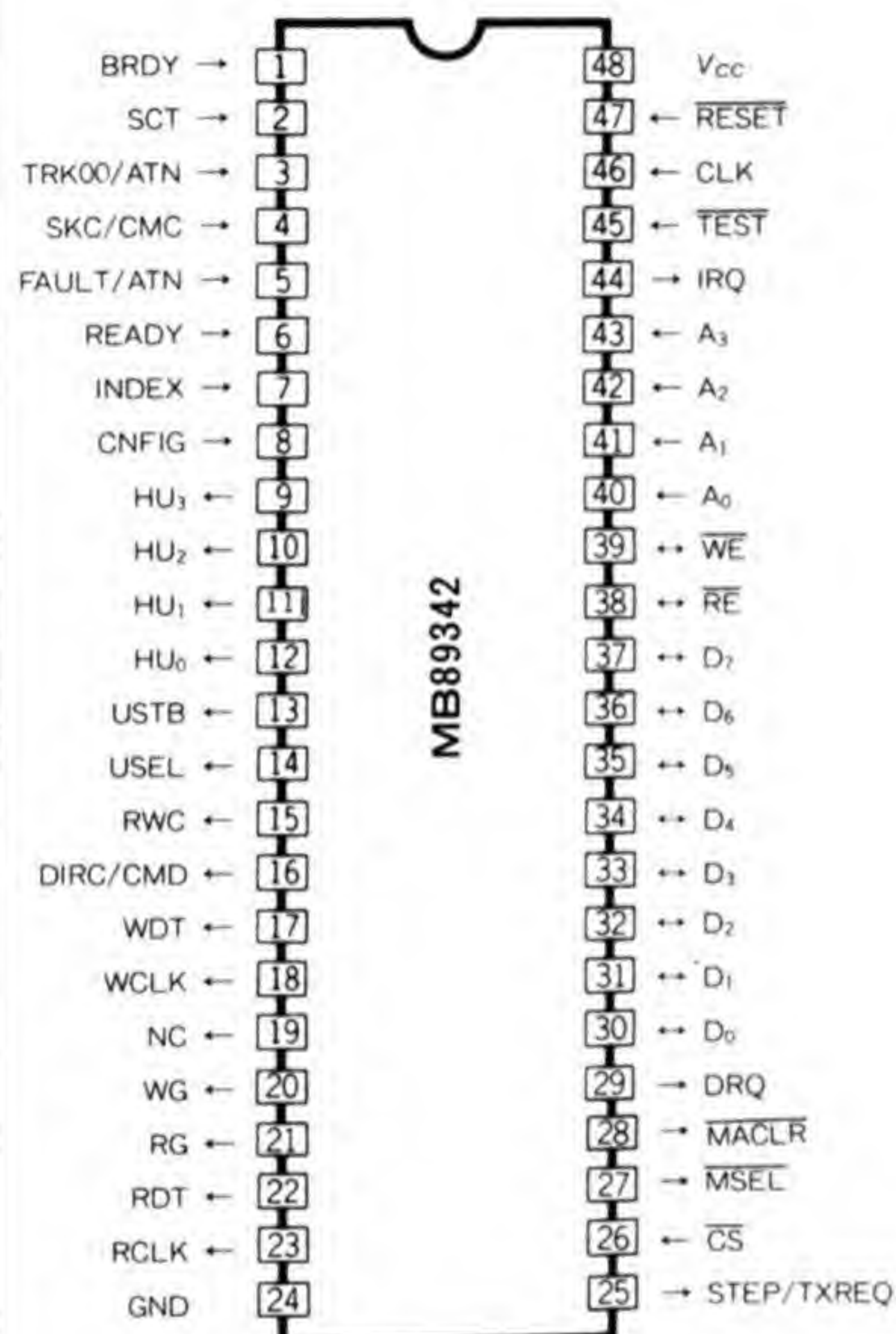
## ■端子機能

端子名	名称	ピン番号	入出力	機能
BCLK	バス・クロック	40	入力	バス・マスタのときにリファレンス・クロックとして使用される
RACK	リモートDMAアクノリッジ	38	入力	システム入力か、リモートDMAバス・サイクル用にバスの使用を許可していることを示す
LACK	ローカルDMAアクノリッジ	39	入力	システム入力かローカルDMAバス・サイクル用にバスの使用を許可していることを示す
RS0~RS5	レジスタ・セレクト	35~30	入力	内部レジスタ選択のためのアドレス入力
AD0~AD7	アドレス／データ0~7	48~41	入出力	アドレス／データの入出力ライン
LRQ	ローカルDMA要求	36	出力	FIFOがデータ転送の必要があるとき自動的に出力される
AD8~15	アドレス／データ8~15	1~8	入出力	アドレス／データの入出力ライン
ADS0	アドレス・ストロープ0	9	入出力	DMAが非動作時は入力、RS0~5のラッチ信号、DMA転送時は出力、A0~15のラッチ信号出力
ADS1/RRQ	アドレス・ストロープ1／リモート・リクエスト	37	出力	32ビットDMAモードではA16~A31のラッチ信号、リモートDMAモードでは、リモート・リクエスト信号出力
RCLK	リード・クロック	25	入力	ディスク・データ・レート・クロック
RGATE	リード・ゲート	19	出力	ディスク・リード動作のときアクティブ・ハイとなる
RDATA	リード・データ	15	入力	データ・セパレータ／デコーダからのNRZディスク・データの入力
WCLK	ライト・クロック	21	出力	NRZデータがWDATAピンに出力される時に使用され、周波数はRCLKと同じ
WDATA	ライト・データ	18	出力	ライト動作時に、MFMまたはNRZエンコード・データがディスクに出力される
AMF/EPRE	アドレス・マーク・ファウンド／アーリ・プリコンペンセーション	16	入出力	内部レジスタの設定によって、アドレス・マーク入力モニタ、EPREコントロール出力となる
AME/LPRE	アドレス・マーク・イネーブル／レート・プリコンペンセーション	13	出力	内部レジスタの設定によって、アドレス・マーク・バイトのWDATAピンに出力されていることを示すAME出力またはLPREがコントロール出力となる
SECTOR	セクタ・パルス	22	入力	セクタの開始を示すパルス信号入力
INDEX	インデックス・パルス	23	入力	トラックの開始を示すパルス信号入力
SDV	シリアル・データ・バリッド	27	出力	DP8466がヘッダ・フィールドの入出力を開始したことを示す信号
EEF	ECCフィールド	26	出力	外部ECCチェック・ビットの生成／検査のときアサート
EXT STAT	イクスターナル・ステータス	17	入力	レジスタの設定により、3種類の機能をもつ、未使用時はプル・ダウンする
$\overline{\text{CS}}$	チップ・セレクト	28	入力	チップ・セレクト信号
$\overline{\text{INT}}$	インタラプト	29	出力	割り込み要求出力
$\overline{\text{RESET}}$	リセット	24	入力	システム・リセット入力
$\overline{\text{RD}}$	リード	11	入出力	リード信号
$\overline{\text{WR}}$	ライト	10	入出力	ライト信号
WGATE	ライト・ゲート	20	出力	ディスク上にデータを書き込むときアクティブ・ハイとなる



# HDC (Hard Disk Controller)

## ■ ピン接続



## ■ 特 徴

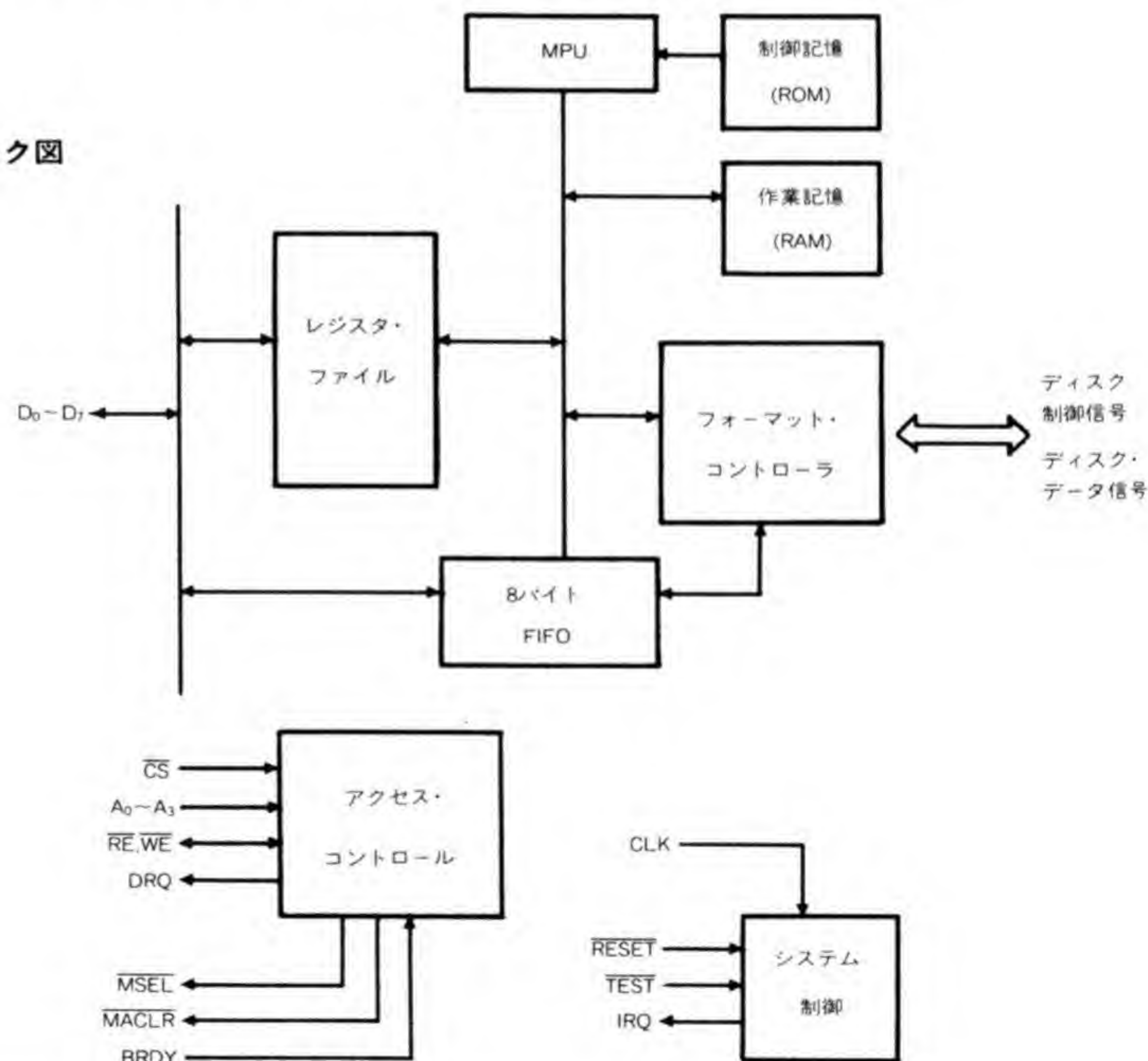
- ・小型固定ディスク用のハード・ディスク・コントローラ
- ・CPUとのインターフェースはアドレス・レジスタ構造による簡素なアドレス・アクセス方式
- ・ローカル・メモリ制御可能（アービトレーション付）
- ・ESDI仕様サポート
- ・IDバイト長5バイト／6バイト可変
- ・32ビットFire符号によるECCオペレーション可能（ID部、データ部とも）
- ・8バイトFIFOによる転送タイミング制御の軽減

## ■ DC特性

(T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.2*	V
V <sub>OL</sub>	I <sub>OL</sub> =1.8mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> =100μA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> =0~V <sub>CC</sub>	±100	μA
I <sub>IH</sub>	V <sub>IN</sub> =0.2V	±100	μA
C <sub>IN</sub>		20	pF

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~7.0	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-55~150	°C



## ■端子機能

端子名	ピン番号	入出力	機 能
RESET	47	入 力	HDC のイニシャライズ用信号
CLK	46	入 力	HDC の動作に必要な基本クロックのひとつ、10MHz のクロックを必要とする
TEST	45	入 力	HDC の試験時のみに用いられる端子。通常の使用時には“H”とする
CS	26	入 力	HDC の内蔵レジスタ・アクセスのための信号
RE	38	入出力	CPU アクセスの場合 CS と共に使用されて、HDC 内レジスタのリード・ストロブまたはローカル・メモリのリード・ストロブとなる
WE	39	入出力	CPU アクセスの場合 CS と共に使用されて、HDC 内レジスタのライト・ストロブまたはローカル・メモリのライト・ストロブとなる
A <sub>0</sub> ~A <sub>3</sub>	40~43	入 力	CPU アクセス時、内蔵レジスタの選択信号となる
D <sub>0</sub> ~D <sub>7</sub>	30~37	入出力	HDC 内蔵レジスタのデータ入出力端子
MSEL	27	出 力	HDC がローカル・メモリをアクセスするときに、アクティブとする信号。またローカル・メモリ用アドレス生成器の初期化を行うときにもアクティブとなる
MACLR	28	出 力	ローカル・メモリ用アドレス生成器の初期化を行う信号
BRDY	1	入 力	ローカル・メモリが満ばいまたは空になったことを示す信号
DRQ	29	出 力	ローカル・メモリ・モードのとき、ローカル・メモリ内にあるデータの吸い上げ、またはローカル・メモリのデータ・ロードを要求する信号
IRQ	44	出 力	コマンド終了または条件設定により、ディスク・ドライブからの信号により生成される割り込み信号
READY	6	入 力	ハード・ディスク装置のスピンドル回転が十分となりリード/ライトまたはシーク動作が可能であることを示す
INDEX	7	入 力	ディスクの1回転に1パルス入力される基準位置信号
TRK 00/ TxACK	3	入 力	リストア/シーク・コマンド時には、TRACK 0 検出用信号として動作する。シリアル・コントロール・コマンドではディスク装置とのハンドシェイク・ラインの一つの Transfer Acknowledge 入力として動作する
CNFIG	8	入 力	シリアル・コントロール・コマンドでのディスク装置からの情報信号入力
FAULT/ATN	5	入 力	ディスク装置へのオペレーションを行っているとき、本信号がアクティブになるとオペレーションはただちに打ち切られる
SCT	2	入 力	セクタ・パルス入力
SKC/CMC	4	入 力	ディスク装置からのシーク完了またはシリアル・コントロール・コマンドのコマンド完了入力
RCLK	23	入 力	ディスク装置のデータ・クロックでリード/ライト・オペレーションはすべてこのクロックにより動作する
RDT	22	入 力	ディスクの読み出しデータ
DIRC/CMD	16	出 力	シーク・リストア・コマンドでは、シーク方向を指示する信号となる。シリアル・コントロール・コマンドでは、ディスク装置へ送出するシリアル・コマンドのビット出力となる
STEP/ TxREQ	25	出 力	シーク・リストア・コマンドではシークするシリンダ数を指示するステップ・パルスとなる。シリアル・コントロール・コマンドでは転送のためのハンドシェイク信号となる
RWC	15	出 力	ディスク装置への書き込み電流値の切り替え信号
WG	20	出 力	ディスク装置への書き込み指示信号
WDT	17	出 力	ディスク装置の書き込みデータ信号
WCLK	18	出 力	書き込み動作時の WRITE CLOCK 出力
RG	21	出 力	VFO あるいは PLO データ再生回路に対する同期指示信号
HU <sub>3~0</sub>	9~12	出 力	ディスク装置のユニット番号またはヘッド番号出力端子
USEL	14	出 力	HU <sub>3~0</sub> 端子にユニット番号を出力していることを示す
USTB	13	出 力	ユニット番号保持用外部 FF に対するラッチ・ストロブ信号



Pin diagram of the NS32202 microcontroller:

Pin	Signal
1	IR15
2	INT
3	ST1
4	G7/IR14
5	G6/IR12
6	G5/IR10
7	G4/IR8
8	G3/IR6
9	G2/IR4
10	G1/IR2
11	G0/IR0
12	D7
13	D6
14	D5
15	D4
16	D3
17	D2
18	D1
19	D0
20	GND
21	CS
22	A0
23	A1
24	A2
25	A3
26	A4
27	RST
28	HBE
29	COUT/SCIN
30	RD
31	WR
32	CLK
33	IR1
34	IR3
35	IR5
36	IR7
37	IR9
38	IR11
39	IR13
40	VCC

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~7.0	V
消費電力	$P_D$	1.5	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 2 \text{ mA}$	0.45	V
$V_{OH}$	$I_{OH} = 400 \mu\text{A}$	2.4*	V
$I_{OFL}$		$\pm 20$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 20$	$\mu\text{A}$

- ・ 32000シリーズ用の割り込みコントローラ
- ・ マスク可能な16の割り込み入力を持ち、カスケード接続により最大256の割り込み要求を制御
- ・ ハードウェア割り込み入力が8本とソフトウェア割り込み入力が8本利用可能
- ・ プログラマブルな8/16ビット・バス・モード
- ・ 各割り込み入力毎にエッジ/レベル、極性の選択可
- ・ 16ビット・カウンタを2個内蔵し、32ビット・カウンタとしても利用可能
- ・ 8ビット・バス・モードでは、残りのバスを8ビットの汎用I/Oポートとして利用可能



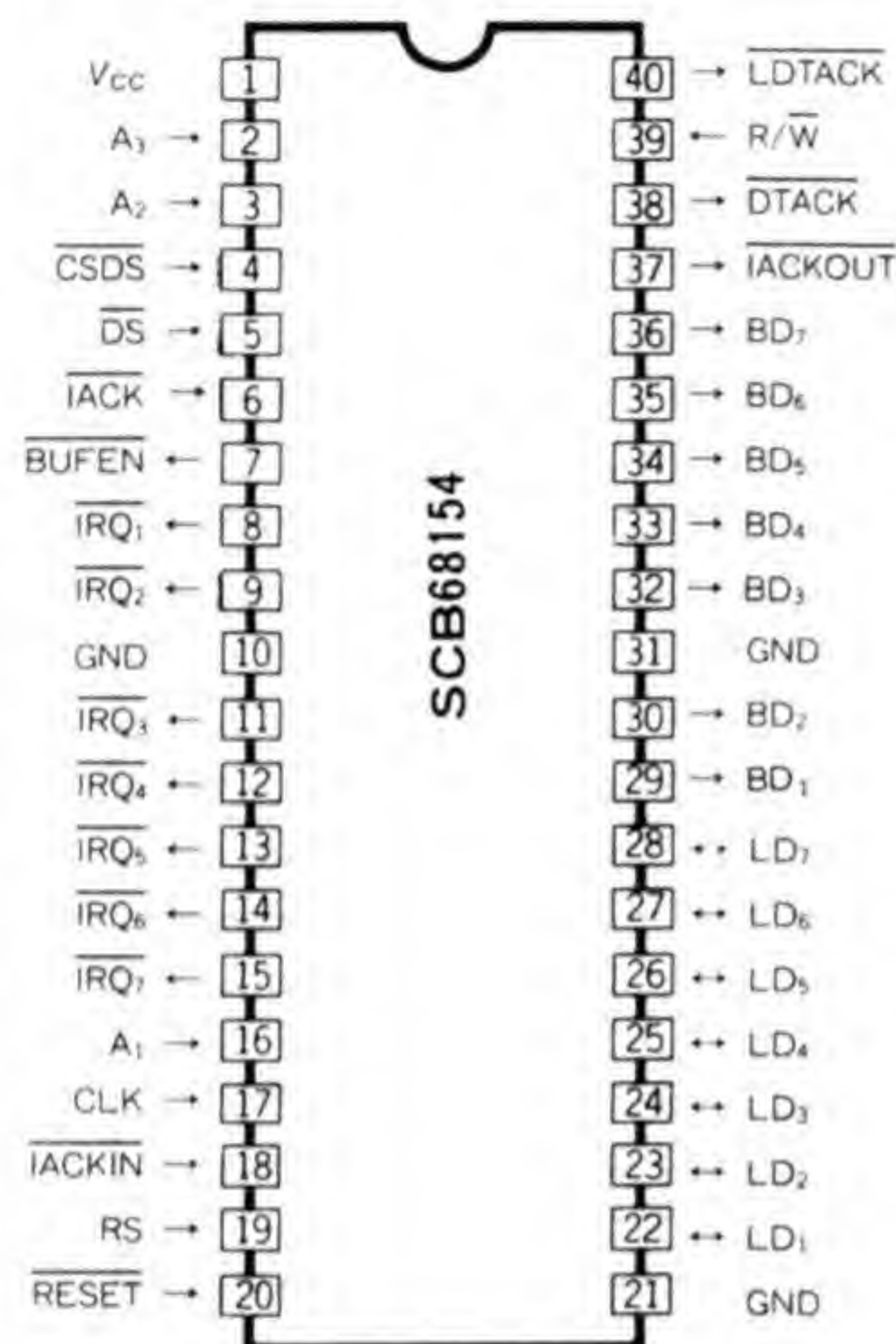
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{\text{RST}}$	リセット	27	入力	内部リセット信号入力, ロー・アクティブ
$\overline{\text{CS}}$	チップ・セレクト	21	入力	チップ・セレクト信号入力, ロー・アクティブ
A0~A4	アドレス 0 ~ アドレス 4	22~26	入力	内部レジスタ選択のためのアドレス信号入力
$\overline{\text{HBE}}$	ハイ・バイト・イネーブル	28	入力	データ・バスの上位バイト転送可信号, ロー・アクティブ, 8ビット・バス・モードでは使わない
$\overline{\text{RD}}$	リード	30	入力	内部レジスタのリード信号, ロー・アクティブ
$\overline{\text{WR}}$	ライト	31	入力	内部レジスタへのライト信号, ロー・アクティブ
ST1	ステータス	3	入力	CPUからのステータス信号入力
IR1, IR3, ... IR15	割り込み要求 1 ~ 15	33~39, 1	入力	割り込み要求信号入力, ハードウェア割り込みに使用される
G0/IR0, ... G7/IR14	汎用入出力 0 ~ 7	11~4	入出力	16ビット・バス・モードのときは, 上位バイト・データの入出力バスとなる, 8ビット・バス・モードでは, 割り込み要求信号入力, 汎用I/Oポート, 内部カウンタのクロック出力として使用できる
CLK	クロック	32	入力	内部カウンタ動作のための外部クロック入力端子
$\overline{\text{INT}}$	割り込み出力	2	出力	割り込みペンディングを示す出力信号
D0~D7	データ・バス 0 ~ 7	19~12	入出力	8ビット・バス, 16ビット・バスいずれのモードでも下位8ビット用のデータ・バス
C <sub>OUT</sub> /SC <sub>IN</sub>	カウンタ出力/ サンプリング・クロック入力	29	入出力	内部オシレータのクロック出力または内部カウンタのゼロ検出信号の出力, テスト・モードのとき外部クロック入力端子として使用する



# IGOR [Interrupt Requestor]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~5.5	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ 特徴

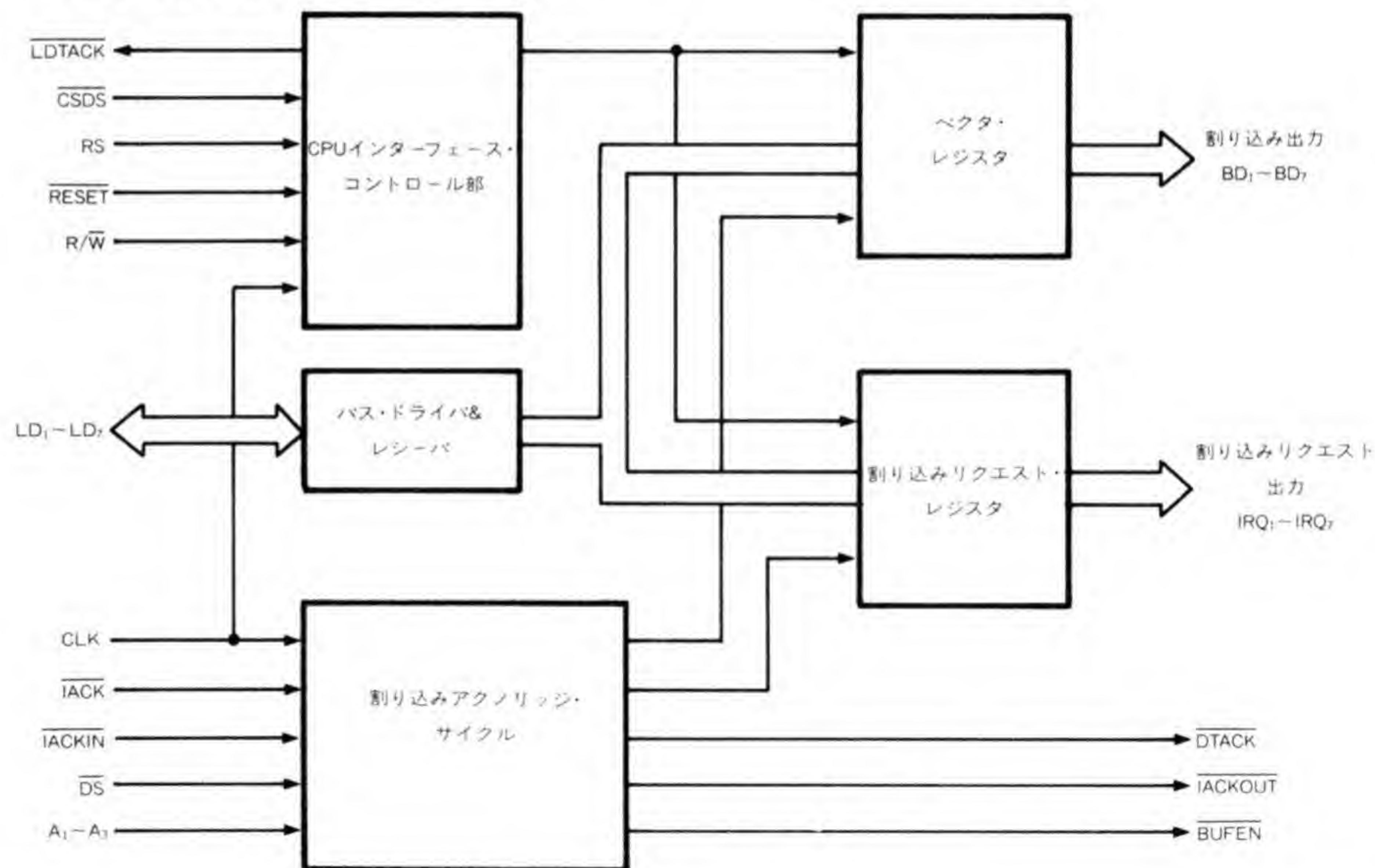
- ・ VMEバス対応のインタラプト・ジェネレータ
- ・ 7レベルのバス割り込み要求発生
- ・ 割り込みアクノリッジ・デジャ・チェーン機能
- ・ 必要に応じて、システムに対しステータス/IDバイト（割り込みベクタ）を供給
- ・ システム・コントロールのための内部レジスタを二つもつ
- ・ 割り込みベクタ・レジスタによって割り込み要求レベルをイネーブル、クリアにできる

## ■ DC特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=8\text{mA}$	0.5	V
$V_{OH}$	$I_{OH}=400\mu\text{A}$	2.5*	V
$I_{OL}$	$V_{OUT}=5.25, 0.5\text{V}$	$\pm 20$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=5.25\text{V}$	100	$\mu\text{A}$

## ■ ブロック図





## ■端子機能

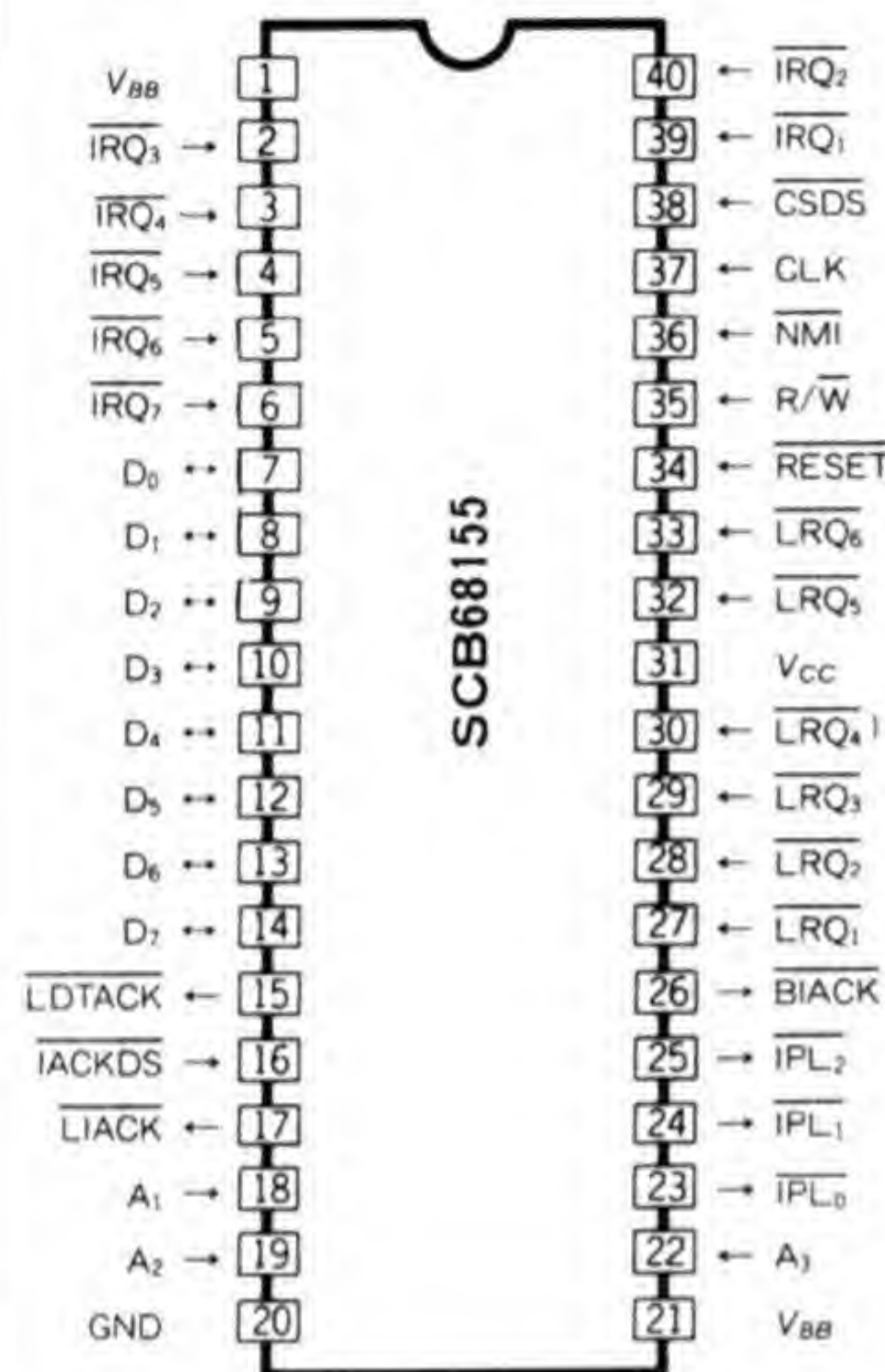
端子名	ピン番号	入出力	機能
$V_{CC}$	1	—	供給電圧：+5V
$A_3 \sim A_1$	2, 3, 16	入力	アドレス・ライン：システム・バスからのアドレス入力。アクノリッジされる内部レベルがこれらの入力にエンコードされる。 $A_1$ がLSB
$\overline{CSDS}$	4	入力	チップ・セレクト：レジスタI/Oのためのアクティブ“L”チップ・セレクト信号。この信号は入力される前に、ローカル・マスタのデータ・ストロブによって修正されなければならない
$\overline{DS}$	5	入力	データ・ストロブ：アクティブ“L”。割り込みベクタ出力をイネーブルするため、システムから入力されるデータ・ストロブ信号
$\overline{IACK}$	6	入力	割り込みアクノリッジ：アクティブ“L”。システム・バスからの割り込みアクノリッジ入力
$\overline{BUFEN}$	7	出力	バッファ・イネーブル：アクティブ“L”。バス・データ・ピン ( $BD_1 \sim BD_7$ ) の出力をドライブするバッファをイネーブルする出力信号
$\overline{IRQ_1} \sim \overline{IRQ_7}$	8, 9, 11~15	出力	割り込み要求。アクティブ“L”。トーテム・ポール・システム割り込み要求出力
GND	10, 21, 31	—	グラウンド
CLK	17	入力	クロック：クロック入力（一般的には、CPUクロック使用）
$\overline{IACKIN}$	18	入力	割り込みアクノリッジ入力：アクティブ“L”。割り込みアクノリッジ・デイジィ・チェーン入力
RS	19	入力	レジスタ・セレクト：レジスタ・セレクト入力
$\overline{RESET}$	20	入力	リセット：アクティブ“L”入力。全内部レジスタ、 $\overline{IACKOUT}$ 、 $\overline{IRQ_n}$ をリセットする
$LD_1 \sim LD_7$	22~28	入出力	ローカル・データ：3ステート・ローカル・データ・バス

端子名	ピン番号	入出力	機能
$BD_1 \sim BD_7$	29, 30, 32~36	出力	データ・バス：ベクタ出力に使われる3ステート・データ・ピン
$\overline{IACKOUT}$	37	出力	割り込みアクノリッジ出力：アクティブ“L”。トーテム・ポール割り込みアクノリッジ・デイジィ・チェーン出力
$\overline{DTACK}$	38	出力	データ転送アクノリッジ：アクティブ“L”トーテム・ポール出力。この信号は割り込みアクノリッジ・サイクルの期間、バス上にデータが有効であることを示す
$R/\overline{W}$	39	入力	リード/ライト：レジスタ・リード/ライト入力。この信号は、処理するデータ転送サイクルがリードかライトかを定める
$\overline{LDTACK}$	40	出力	ローカル・データ転送アクノリッジ：アクティブ“L”。オープン・コレクタ。ローカル・バスに対するデータ転送アクノリッジ出力



## IVHAN (Interrupt Vectorizer and Handler)

## ■ ピン接続



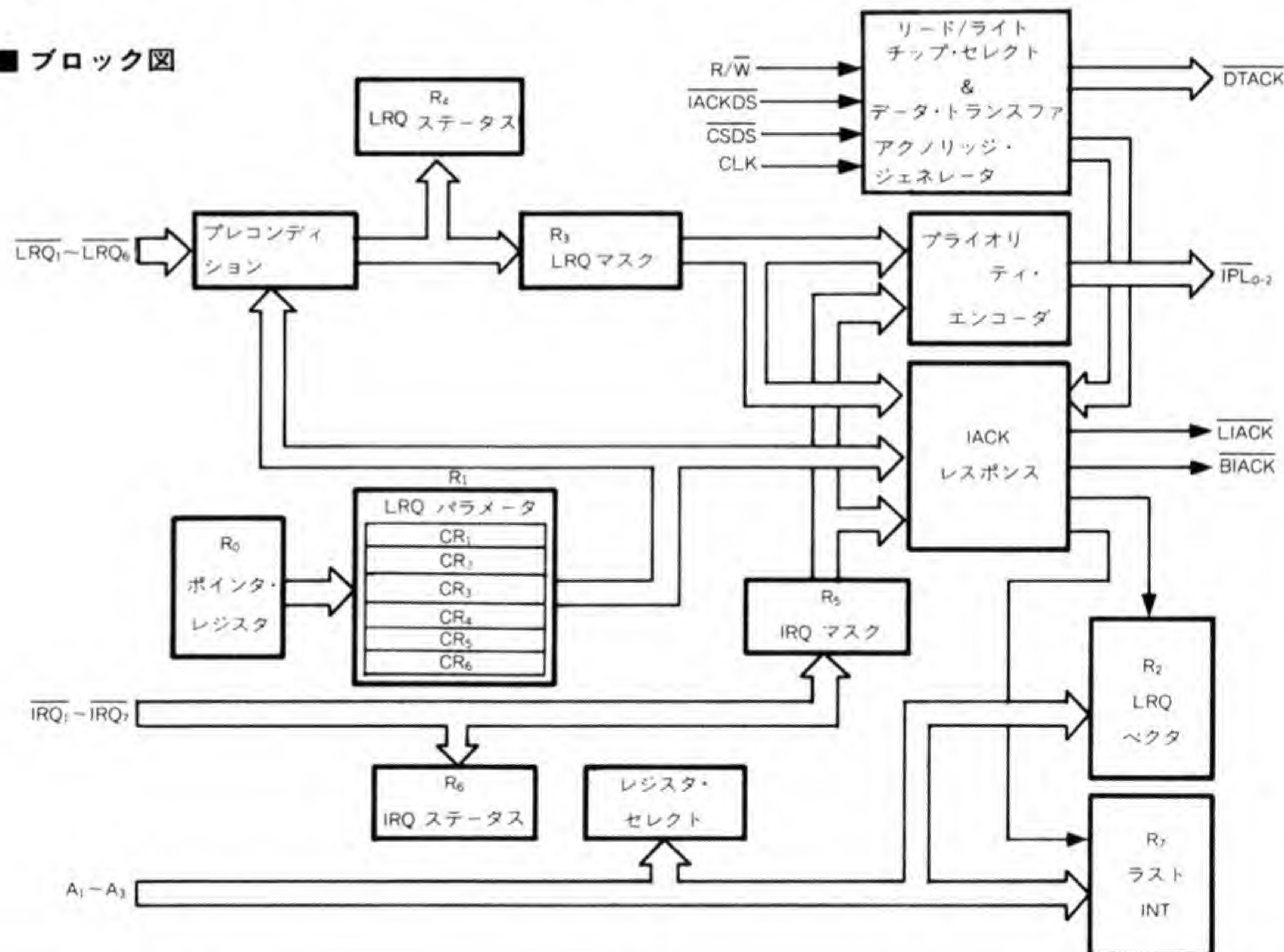
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~5.5	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ 特徴

- ・ VMEバス対応の非同期式インタラプト・ハンドラ
- ・ 14までの割り込み（ノン・マスカブル割り込み，6ローカル割り込み，7システム割り込み）の受信と7レベルのいずれかに優先順位づけする
- ・ 割り込みのポーリングおよびリアルタイム処理
- ・ ローカル割り込みに対する動作が2種類  
ベクタ・モード  
デバイス供給ベクタ・モード
- ・ バス・リクエスト（68172，68175）と共に動作し，割り込みアクノリッジの期間システム・バスから，ステータス／IDバイト（ベクタ）を得る

## ■ ブロック図



## ■ DC特性

(Ta=0~70°C, Vcc=5V±5%)

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=8\text{mA}$	0.6	V
$V_{OH}$	$I_{OH}=3\text{mA}$	2.5*	V
$I_{OL}$	$V_{OUT}=4.75\text{V}$ (オープン・コレクタ)	100	μA
$I_{IL}$	$V_{IN}=5.25\text{V}$	100	μA
$V_{BB}$		1.35~1.65	V



## ■端子機能

端子名	ピン番号	入出力	機能
$V_{BB}$	1, 21	—	供給電圧：内部ゲートへの供給電圧
$\overline{IRQ}_1 \sim \overline{IRQ}_7$	2 ~ 6 39, 40	入力	バス割り込み要求：アクティブ“L”入力
$D_0 \sim D_7$	7 ~ 14	入出力	データ・バス：3ステート・ローカル・データ・バス
$\overline{LDTACK}$	15	出力	ローカル・データ転送アクノリッジ：アクティブ“L”オープン・コレクタ出力。この信号は、割り込みアクノリッジ・サイクルまたはデータ転送サイクルの期間、ローカル・データ・バス上に有効データがあることを示す
$\overline{IACKDS}$	16	入力	割り込みアクノリッジ：ローカル・マスタからの割り込みアクノリッジ入力（アクティブ“L”）。この信号は、入力される前、ローカル・マスタ・データ・ストロープによって修正されなければならない
$\overline{LIACK}$	17	出力	ローカル割り込みアクノリッジ：ローカル・デバイスに対する割り込みアクノリッジ出力（アクティブ“L”）
$A_1 \sim A_3$	18, 19, 22	入力	アドレス・ライン：ローカル・マスタからのアドレス入力
GND	—	—	グラウンド
$\overline{IPL}_0 \sim \overline{PL}_2$	23 ~ 25	出力	割り込み優先レベル：ローカル・マスタに対するアクティブ“L”出力。割り込み要求の優先レベルは、これらの出力にエンコードされる
$\overline{BIACK}$	26	出力	バス割り込みアクノリッジ：システム・バスに対する割り込みアクノリッジ出力（アクティブ“L”）
$\overline{LRQ}_1 \sim \overline{LRQ}_7$	27 ~ 30, 32, 33	出力	ローカル割り込み要求：ローカル割り込み要求入力。これらの入力のアクティブ状態は、ユーザが定義できる
$V_{CC}$	31	—	供給電圧：+5 V 電圧

端子名	ピン番号	入出力	機能
$\overline{RESET}$	34	入力	リセット：アクティブ“L”入力。内部をリセットする
$R/\overline{W}$	35	入力	リード/ライト：データ転送サイクルをリードまたはライトにする
$\overline{NMI}$	36	入力	ノンマスカブル割り込み：アクティブ“L”最優先割り込み
CLK	37	入力	クロック：クロック入力（通常CPU入力）
$\overline{CSDS}$	38	入力	チップ・セレクト：アクティブ“L”。レジスタI/Oのためのチップ・セレクト入力。この信号は、入力される前に、ローカル・マスタのデータ・ストロープによって修正されなければならない



項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5~7.5	V
入力電圧	$V_{IN}$	-0.5~5.5	V
動作温度	$T_{OPR}$	-25~85	°C
保存温度	$T_{STG}$	-55~150	°C

項目 (測定端子)		記号	V <sub>CC</sub> (V)	条 件	規 格 値		單位
					min	max	
入 力 電 流 “H”	$\overline{CS}_0, CS_1, E, R/W, A_1 \sim A_4$	$I_{IH}$	5.25	$V_{IH} = 2.7V$	—	20	$\mu A$
	$\overline{IN}_0 \sim \overline{IN}_7$	$I_{IH2}$	4.75	$V_{IH} = 7.0V$	-10	—	
入 力 電 流 “L”	$\overline{CS}_0, CS_1, E, R/W, A_1 \sim A_4$	$I_{IL1}$	5.25	$V_{IL} = 0.4V$	—	-360	$\mu A$
	$\overline{IN}_0 \sim \overline{IN}_7$	$I_{IL2}$			—	-720	
出 力 電 圧 “H”	$Z_1 \sim Z_4, \overline{Stretch}$	$V_{OH}$	4.75	$I_{OH} = -0.5mA$	2.7	—	V
出 力 電 圧 “L”	$Z_1 \sim Z_4, \overline{IRQ}, \overline{Stretch}$	$V_{OL}$	4.75	$I_{OL} = 4mA$ $I_{OL} = 10mA$	—	0.4 0.5	V
出 力 逆 電 流	$\overline{IRQ}$	$I_{OH}$	5.25	$V_{OH} = 5.5V$	—	100	$\mu A$
出 力 短 絡 電 流	$Z_1 \sim Z_4, \overline{Stretch}$	$I_{OS}$	5.25	$V_{OH} = 0V$	-5	-40	mA
入力クランプ電圧	全入力	$I_{IC}$	4.75	$I_{IL} = -18mA$	—	-1.2	V

- ・ 68系CPUに適合
- ・ 優先順位づけられた8個の割り込みを制御
- ・ 割り込み発生時、アドレス・バスの一部に修正を加える形で、その割り込みに固有な処理ルーチンのベクタ・アドレスを発生する
- ・ Stretch信号により、高速なCPUにも対応可能
- ・ 割り込み処理ルーチンのアドレス・テーブルは、ROM外(RAM)にはおくことができない

[illegible]



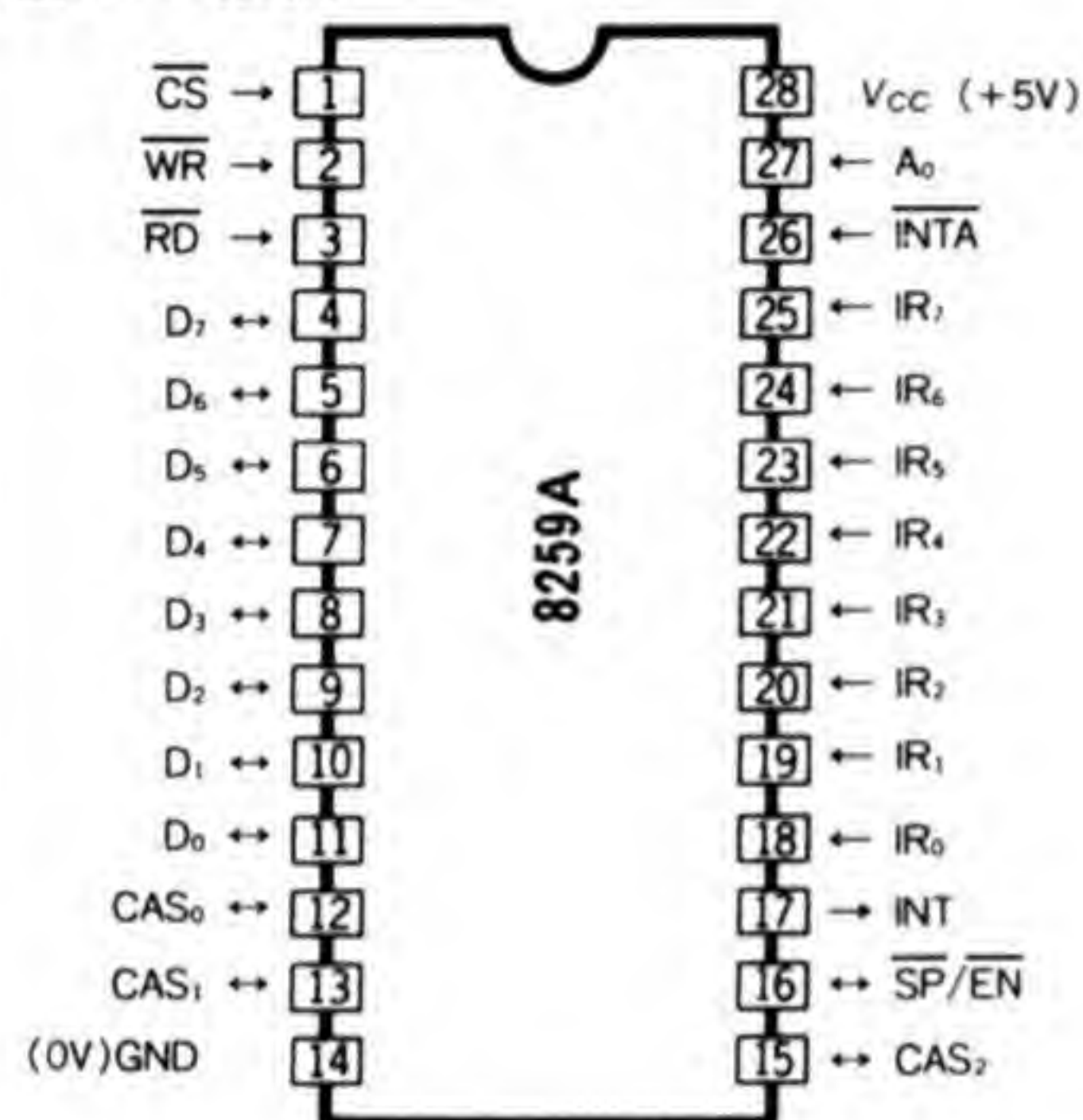
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS}_0, CS_1$	チップ・セレクト	3, 1	入力	チップ・セレクト信号
$\overline{Stretch}$	ストレッチ	2	出力	データ取り込みを容易にするために $\phi_2$ をのばす制御信号
$\overline{IN}_0 \sim \overline{IN}_7$	割り込み入力	5 ~ 11	入力	割り込み入力で、優先度は $\overline{IN}_7 \sim \overline{IN}_0$ の順に低くなる
$\overline{IRQ}$	割り込み要求	23	出力	CPU への割り込み要求出力で、 $\overline{IN}_0 \sim \overline{IN}_7$ に割り込みがあると“L”になる
E	イネーブル	18	入力	CPU との同期信号
$R/\overline{W}$	リード/ライト	17	入力	データ・バスの入出力方向を制御する信号
$A_1 \sim A_4$	アドレス入力	16 ~ 13	入力	内部レジスタ、セクタをアクセスするためのアドレス信号
$Z_1 \sim Z_4$	アドレス出力	19 ~ 22	出力	CPU から選択された状態で、割り込みのベクタ・アドレスを出力する
GND	グラウンド	12	—	グラウンド
$V_{CC}$	電源	24	—	電源



# PIC (Programmable Interrupt Controller)

## ■ ピン接続



## ■ 特 徴

- ・ 80系CPU (8080A, 8085A, 8086, 8088) に適合
- ・ 割り込み発生時8080A/8085Aに対しては"CALL"命令(11001101)とベクタ・アドレスを, 8086/8088に対しては割り込みベクタ・テーブルのポインタを送出する
- ・ 各割り込み要求端子の優先順位, 割り込みマスク, ベクタ・アドレス/ポインタの指定は, すべてプログラマブル
- ・ カスケード接続により最大64の割り込み要求を制御
- ・ ボーリングが可能

## ■ DC特性

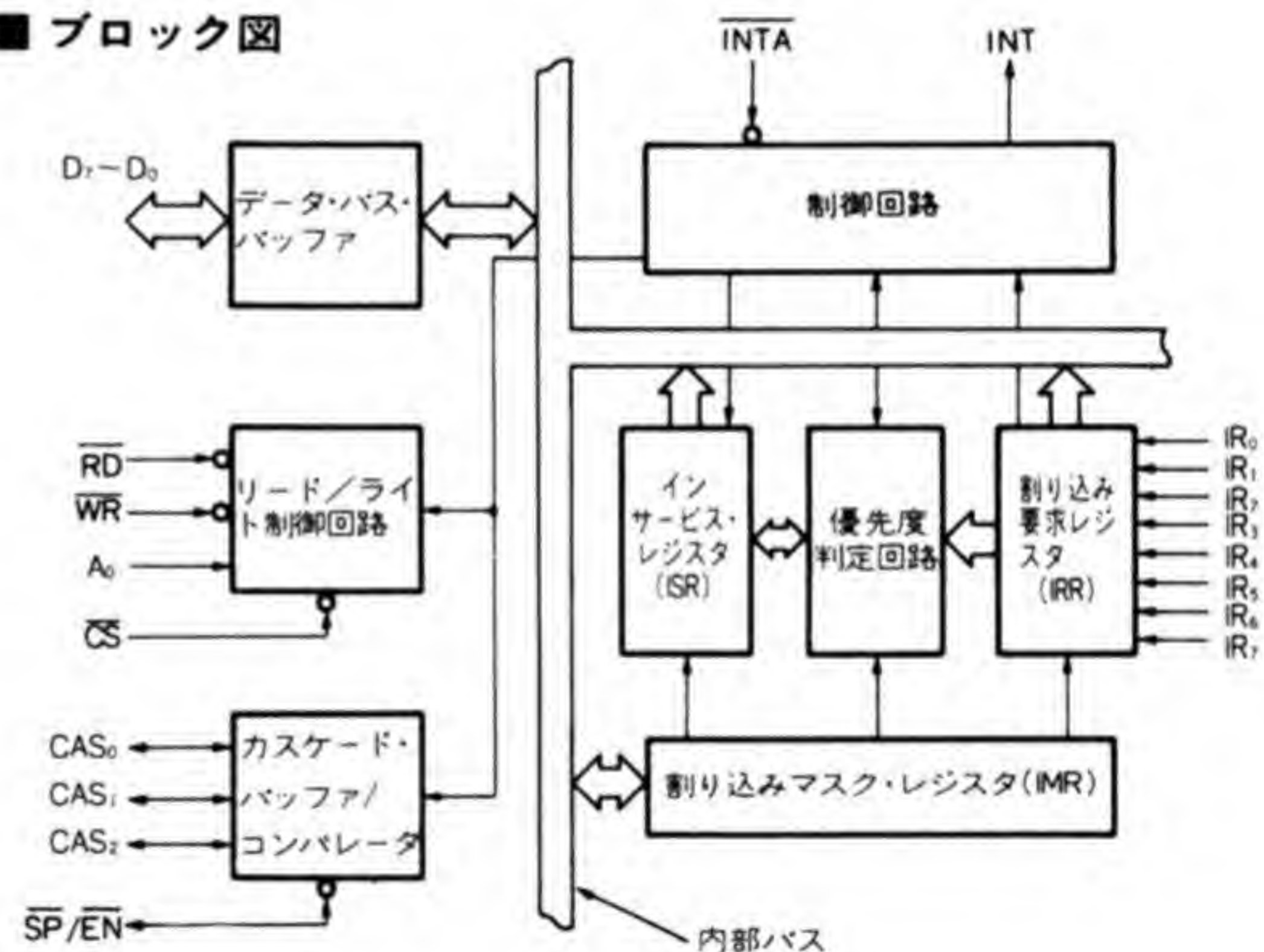
[ $T_a = 0^\circ\text{C} \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$  (8259A-8)]

記号	測定条件	max/min*	単位
$V_{IL}$		0.8/-0.5*	V
$V_{IH}$		$V_{CC} + 0.5\text{V}/2.0^*$	V
$V_{OL}$	$I_{OL} = 2.2\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = -400\mu\text{A}$	2.4*	V
$V_{OH(INT)}$	$I_{OH} = -100\mu\text{A}$	3.5*	V
	$I_{OH} = -400\mu\text{A}$	2.4*	V
$I_{LI}$	$0\text{V} \leq V_{IN} \leq V_{CC}$	+10/-10*	$\mu\text{A}$
$I_{LOL}$	$0.45\text{V} \leq V_{OUT} \leq V_{CC}$	+10/-10*	$\mu\text{A}$
$I_{CC}$		85	$\mu\text{A}$
$I_{LIR}$	$V_{IN} = 0$	-300	$\mu\text{A}$
	$V_{IN} = V_{CC}$	10	$\mu\text{A}$

## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5 ~ +7	V
入力電圧	$V_{IN}$	-0.5 ~ +7	V
出力電圧	$V_{OUT}$	-0.5 ~ +7	V
動作温度	$T_{OPR}$	0 ~ +70	$^\circ\text{C}$
保存温度	$T_{STG}$	-65 ~ +150	$^\circ\text{C}$

## ■ ブロック図





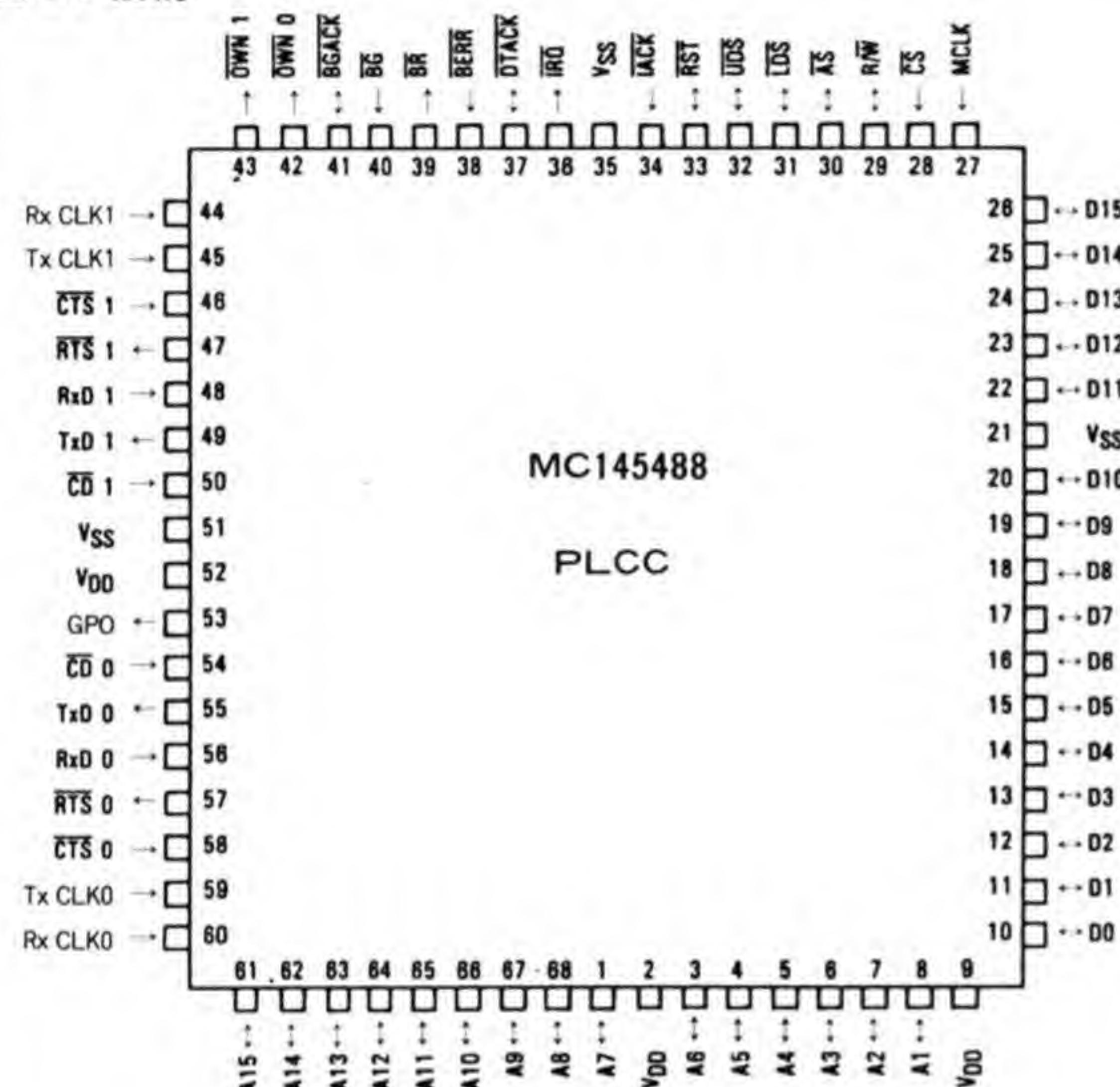
## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
$\overline{CS}$	チップ・セレクト	1	入 力	チップ・セレクト入力。アクティブ“L”。 $\overline{RD}$ , $\overline{WR}$ 制御入力をイネーブルにする。 $\overline{INTA}$ 対しては関係しない
$\overline{WR}$	ライト	2	入 力	書き込み制御入力。 $\overline{CS}$ および $\overline{WR}$ が共に “L” のとき、8259A はデータ・バス上のデータをコマンドとして受け入れる
$\overline{RD}$	リード	3	入 力	読み出し制御入力。 $\overline{CS}$ および $\overline{RD}$ が共に “L” のとき、8259A はデータ・バス上にステータスを出力する
$D_0 \sim D_7$	データ 0 ~ 7	11 ~ 4	入出力	双方向データ・バス。CPU とのステータス、コマンド、割り込みベクタ・アドレスの転送は、この双方向性データ・バスを介して行われる
$CS_0 \sim CA_2$	カラム・アドレス・ストロープ 0 ~ 2	12, 13, 15	入出力	カスケード接続ライン。マスタでは出力、スレーブでは入力となり、マスタはこのラインにより 3 ビットのコードでスレーブを指定する。スレーブはこのライン上のコードを自分の識別コードと比較し、一致すればベクタ・アドレス、データ・バス上に出力する
$\overline{SP/EN}$	スレーブ・プログラム入力/ イネーブル	16	入出力	スレーブ・プログラム入力/イネーブル信号出力。通常モードでは入力となる。 $\overline{SP/EN} = “1”$ でマスタ、 $\overline{SP/EN} = “0”$ でスレーブを指定できる。バッファ・モードでは、8259A が双方向性データ・バスに出力しているとき、この端子は “L” を出力する。このときのマスタ/スレーブの指定はコマンドで行われる
INT	割り込み出力	17	出 力	割り込み要求出力。割り込み要求入力 $IR_0 \sim IR_7$ に割り込みがあり受け付けられると CPU に対し “H” を出力し割り込み要求を出力する
$IR_0 \sim IR_7$	割り込み入力	18 ~ 25	入 力	割り込み要求入力。“H” アクティブの非同期入力である。 エッジ・トリガ・モードでは、立ち上がりエッジおよび最初の $\overline{INTA}$ が入力されるまで “H” の保持が必要。 レベル・トリガ・モードでは立ち上がりエッジは必要ないが、最初の $\overline{INTA}$ が入力されるまで “H” の保持が必要
$\overline{INTA}$	割り込み要求	26	入 力	割り込み応答入力。“L” でアクティブ。CPU からこの入力に $\overline{INTA}$ 出力パルスが入力されることにより、データ・バス上にコール命令コードおよびベクタ・アドレスを出力する
$A_0$	アドレス	27	入 力	$A_0$ アドレス・ライン。コマンドの書き込みまたはステータスの読み出しの場合に $\overline{WR}$ , $\overline{RD}$ と共に用いる。通常アドレス・バスの一つに接続され、8259A の内部レジスタ・アドレッシング・ビットとして使用される



# DDLC(Dual Data Link Controller)

## ■ピン接続



## ■最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~7.0	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-55~150	°C

## ■DC特性

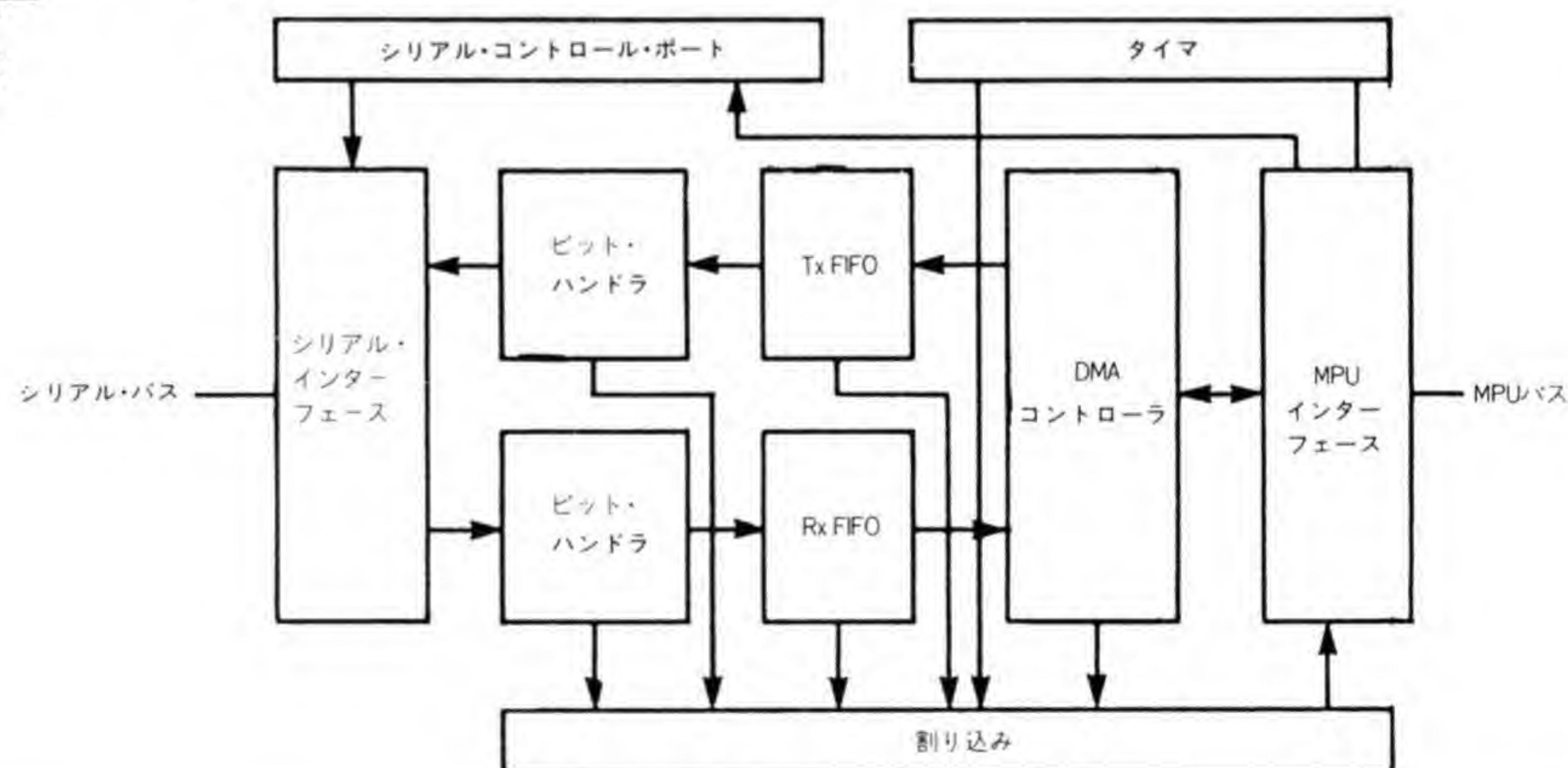
( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=5\text{mA}$	0.5	V
$V_{OH}$	$I_{OH}=400\mu\text{A}$	2.4	V
$I_{IL}$	$V_{IN}=5.5\text{V}$	10	$\mu\text{A}$
$C_{IN}$		20	pF

## ■特徴

- ・2チャンネルのISDN LAPDコントローラ
- ・HDLC, SDLC, X.25, Q.921(LAPD), V.120の各種ビット・オリエンテッド・プロトコルをサポート
- ・4チャンネルのDMAコントローラ内蔵
- ・他のISDNファミリ・デバイス, PBX, モデム等の各種シリアル・インターフェースへの対応可能
- ・TE1/SAPIアドレス比較機能を持つ
- ・ウォッチ・ドッグ・タイマ用の2カウンタ内蔵
- ・68000, 80186バス・コンパチブル

## ■ブロック図





## ■端子機能

端子名	名称	ピン番号	入出力	機能
A1~A15	アドレス・バス	1, 3~8, 61~68	入出力	双方向アドレス・バス。バス・マスタのときは出力端子となる
D0~D15	データ・バス	10~20, 22~26	入出力	双方向データ・バス
R/ $\overline{W}$	リード/ライト	29	入出力	データ・バスのデータ方向を示す。バスのオーナーのときは出力端子となる
$\overline{AS}$	アドレス・ストロープ	30	入出力	バス・オーナーのとき出力となり、アドレス・ストロープ信号を出力する
$\overline{UDS}$	アッパ・データ・ストロープ	22	入出力	"Low" のとき、D8~D15のデータがバスに出力されていることを示す
$\overline{LDS}$	ロウア・データ・ストロープ	31	入出力	"Low" のとき、D0~D7のデータがバスに出力されていることを示す
$\overline{DTACK}$	データ・トランスファ・アクノリッジ	37	入出力	データ転送(リード/ライト)終了信号を出力する。バス・オーナーのときはState4の立ち上がりエッジを検出しウェイト・ステートを挿入する
$\overline{BR}$	バス・リクエスト	39	出力	バス・オーナーに対するバス・リクエスト出力
$\overline{BG}$	バス・グラント	40	入力	"Low" の間、バス・オーナーがこのICに移る
$\overline{BGACK}$	BGアクノリッジ	41	入出力	バス・オーナーのとき"Low" を出力する
$\overline{OWN0}, \overline{OWN1}$	バス・オーナー・チャンネル 0/1	42, 43	出力	"Low" のときチャンネル 0, チャンネル 1 がバス・オーナーであることを示す
$\overline{IRQ}$	割り込みリクエスト	36	出力	"Low" のとき、CPUに対する割り込み要求であることを示す
$\overline{IACK}$	割り込みアクノリッジ	34	入力	割り込み許可信号の入力
MCLK	MPUクロック	27	入力	マスタ・クロック入力
$\overline{BERR}$	バス・エラー	38	入力	バス・オーナーの時、バス・エラー信号が入力されると、DMAチャンネルは割り込みをキューイングする
$\overline{RST}$	リセット	33	入出力	リセット入力。ウォッチ・ドッグ・タイマが働いた時はオープン・ドレイン出力
$\overline{CS}$	チップ・セレクト	28	入力	チップ・セレクト入力
TxCLK0, TxCLK1	送信クロック・チャンネル 0 / 1	59, 45	入力	各チャンネルの送信クロック信号入力。0 ~ MCLK / 2 の周波数の信号を使用する
TxD0, TxD1	送信データ・チャンネル 0 / 1	55, 49	出力	各チャンネルの送信シリアル・データ出力
RxCLK0, RxCLK1	受信クロック・チャンネル 0 / 1	60, 44	入力	各チャンネルの受信クロック信号入力。0 ~ MCLK / 2 の周波数の信号を使用する
RxD0, RxD1	受信データ・チャンネル 0 / 1	56, 48	入力	各チャンネルの受信シリアル・データ入力
$\overline{RTS0}, \overline{RTS1}$	送信要求チャンネル 0 / 1	57, 47	出力	各チャンネルからモデルへの $\overline{RTS}$ 信号出力
$\overline{CTS0}, \overline{CTS1}$	クリア・トゥ・センド・チャンネル 0/1	58, 46	入力	モデルから各チャンネルへの $\overline{CTS}$ 信号入力
$\overline{CD0}, \overline{CD1}$	キャリア検出チャンネル 0 / 1	54, 50	入力	モデルから各チャンネルへのキャリア検出( $\overline{CD}$ )信号入力
GPO	汎用出力	53	出力	汎用の信号出力端子

(注) ピン番号44~60は、モデム・モードの機能について記述。ISDN端末モードのときは、各端子は別の機能をもつ



Pin	Function
1	$D_4$
2	$D_5$
3	$D_6$
4	$D_7$
5	$M_1$
6	$\overline{RD}$
7	$IRQ_1$
8	$IRQ_3$
9	$IRQ_{15}$
10	$\overline{IORQ}$
11	$\overline{IEO}$
12	$\overline{INT}$
13	$\overline{IEI}$
14	GND
15	CLK
16	$\overline{CE}$
17	$\overline{RESET}$
18	C/D
19	$IRQ_7$
20	$IRQ_6$
21	$IRQ_4$
22	$IRQ_2$
23	$IRQ_0$
24	$D_0$
25	$D_1$
26	$D_2$
27	$D_3$
28	$V_{CC}$

項目	記号	定 格	単位
電源電圧	V <sub>cc</sub>	-0.5~+7.0	V
入力電圧	V <sub>IN</sub>	-0.5~V <sub>cc</sub> +0.5	V
動作温度	T <sub>OPR</sub>	-40~+85	°C
保存温度	T <sub>STG</sub>	-65~+150	°C

 $(T_a = -40 \sim 85^{\circ}\text{C}, V_{cc} = 5\text{V} \pm 10\%)$ 

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 5\text{mA}$	0.5	V
$V_{OH}$	$I_{IL} = 5\text{mA}$	2.4*	V
$I_{IL}$		$\pm 1.0$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	6.0	pF

- ・ Z80 用 プログラマブル 割り込み コントローラ
- ・ モード 2 の 割り込み 要因 を 最大 8 レベル まで サポート
- ・ 各 割り込み 要因 の 割り込み マスク、ベクタ アドレス の 指定 が プログラマブル
- ・ 各 割り込み 要因 の 検出 を エッジ（立ち上がり、立ち下がり）で行うか、レベル（H、L）で行うかを選択可能
- ・ 割り込み 要求 入力 の 読み出し が 可能
- ・ デイジーチェーン を 形成 可能 で、多要因 の 割り込み 制御 にも 対応
- ・ 最大 クロック 周波数 8 MHz
- ・ CMOS プロセス 採用 による 低消費電力



■ 端子機能

端子名	ピン番号	入出力	機 能
D0-D7	24-27, 1-4	入出力	8ビット双方向のデータ・バス CPUのデータ・バスに接続し、内部レジスタとのデータ転送に用いる
$\overline{M1}$	5	入力	マシンサイクル1信号、CPUの $\overline{M1}$ に接続する
$\overline{RD}$	6	入力	リード信号、CPUの $\overline{RD}$ に接続する
IRQ0-IRQ7	23, 7, 22, 8, 21, 9, 20, 19	入力	割り込み要求信号入力 優先順位はIRQ0が最上位で、以下IRQ1, IRQ2, IRQ3, IRQ4, IRQ5, IRQ6, IRQ7の順
$\overline{IORQ}$	10	入力	入出力要求信号、CPUの $\overline{IORQ}$ に接続する
IEO	11	出力	割り込み許可信号、デジチェーン形成のために用いる。IEIが"High"レベルでCPUがZEN1020からの割り込みサービスを行っていない時のみ"High"になる
$\overline{INT}$	12	出力	割り込み要求信号、CPUの $\overline{INT}$ に接続する
IEI	13	入力	割り込み許可信号、デジチェーン形成のために用いる。 "High"にすると、条件が成立したときに割り込みを発生することができる
CLK	15	入力	クロック信号入力
$\overline{CE}$	16	入力	チップイネーブル信号
$\overline{RESET}$	17	入力	リセット信号
C/ $\overline{D}$	18	入力	コマンド/データ選択信号、コマンドとデータの切り替えに使用する

■ 割り込み動作

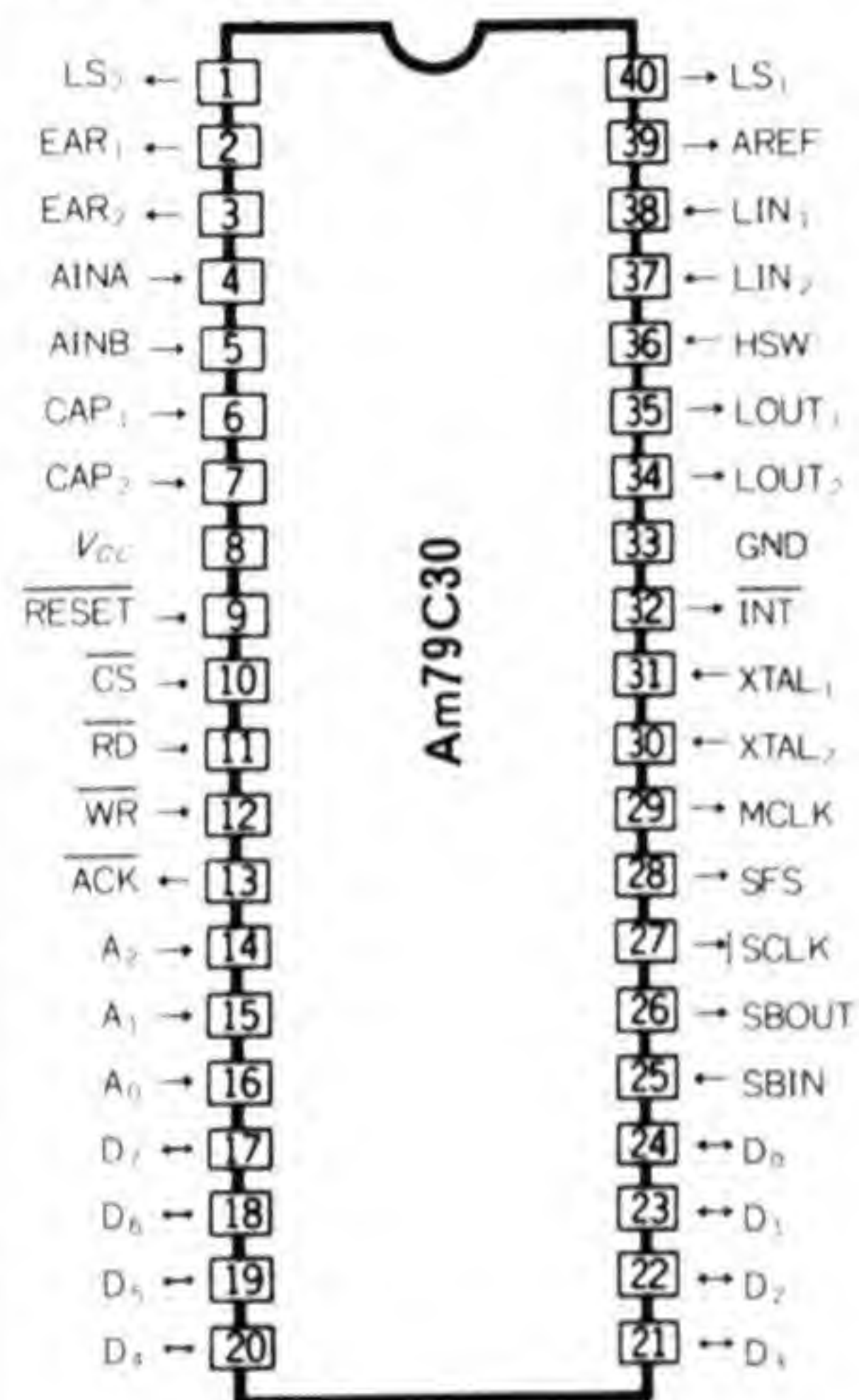
- (1) 1あるいは複数の割り込み要求入力(IRQ)がアクティブになると、それに対応するIRRがセットされる
- (2) この割り込み要求のマスク、デジチェーンの状態を判断しINT信号を出力する
- (3) Z80CPUが割り込みを受け付けると優先度の最も高いIRRをリセットし、対応するISRをセットする。それとともに対応する割り込みベクタを出力する
- (4) 各チャンネルにおいてISRがセットされている期間中は、割り込み要因が発生してもIRRはセットされない
- (5) ISRのリセットは、Z80CPUがRETI命令を実行するかEOIコマンドを実行すると行われる

■ 各レジスタ機能

- (1) 割り込み要求レジスタ(IRR) : 各割り込み要求信号(IRQ)に対してIRRの1ビットが対応する
- (2) 割り込みサービスレジスタ(ISR) : IRRの各1ビットに対してISRの各ビットが対応する
- (3) 割り込みマスクレジスタ(IMR) : IRRの各1ビットに対してIMRの各ビットが対応する
- (4) 割り込みレベルレジスタ(MR1, MR0) : 各割り込み要求信号(IRQ)に対して2ビットあり、割り込みのレベルを選択する
- (5) 割り込みベクタレジスタ(V3, V2V, V1, V0) : 各IRQに対して共通で、CPUの割り込み応答時に出力する割り込みベクタの上位4ビットを表す  
(下位4ビットは割り込み要求入力によって決定される)
- (6) マスク割り込み許可レジスタ(MIE) : 割り込み動作を許可するレジスタ(1ビット)。MIEがリセットされていると $\overline{INT}$ 信号は出力されない
- (7) レジスタ指定用レジスタ(RN1, RN0) : この2ビットの値で読みだし/書き込みするレジスタを選択する



## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	0~7.0	V
入力電圧	V <sub>IN</sub>	-0.5~V <sub>CC</sub> +0.5	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-65~150	°C

## ■ DC特性

(T<sub>a</sub>=0~75°C, V<sub>CC</sub>=5V±5%)

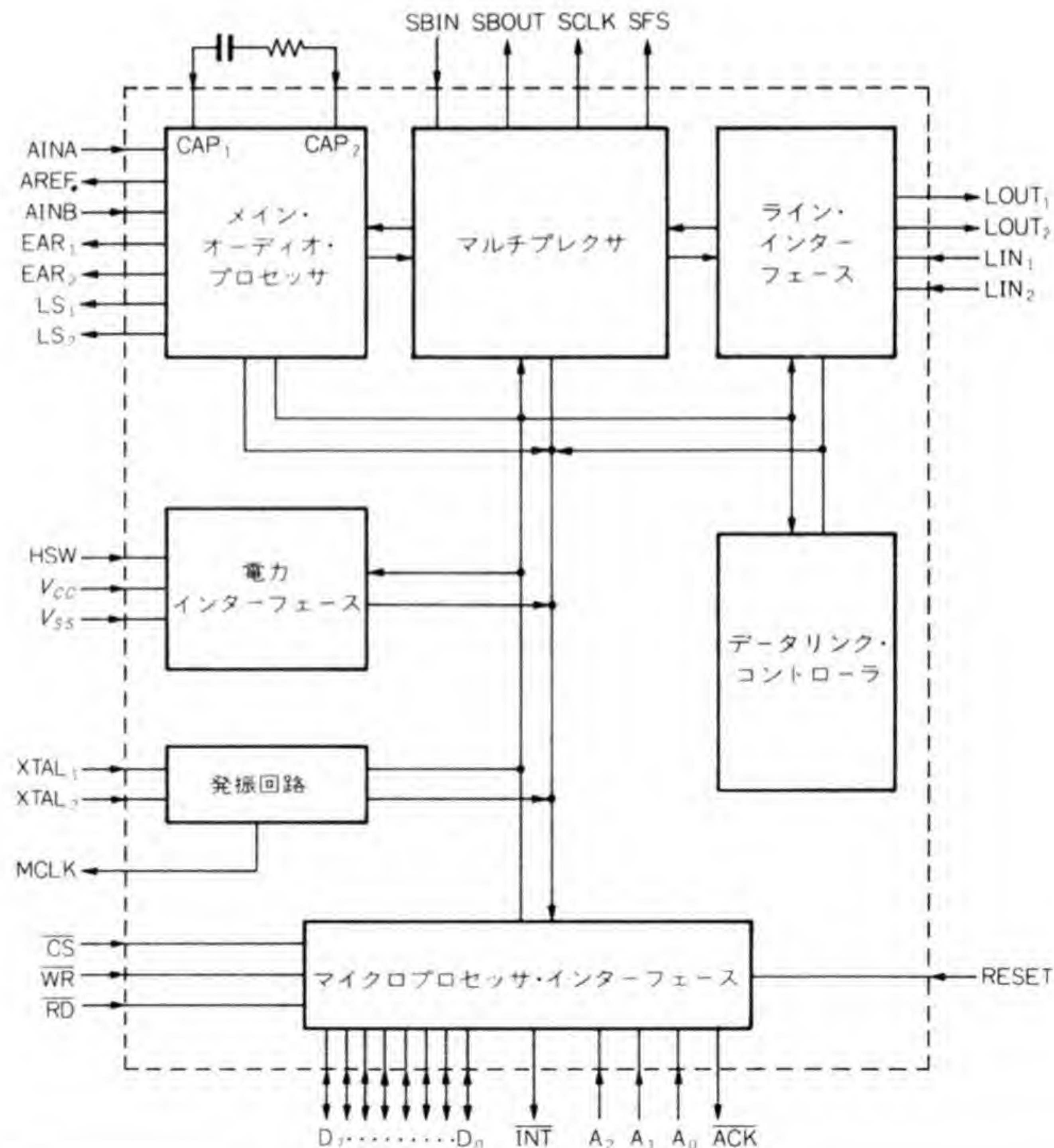
記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> =2.0mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> =400μA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> =0~V <sub>CC</sub>	±10	μA
I <sub>IL</sub>	V <sub>IN</sub> =0~V <sub>CC</sub>	±10	μA
C <sub>IN</sub>	f=1MHz, T <sub>a</sub> =25°C	10	pF

## ■ 特徴

- ・ ISDN用デジタル加入者アクセス・コントローラ
- ・ CCITT S点/T点インターフェース準拠
- ・ 4線式で192Kbpsの全二重デジタル通信路を形成する
- ・ Bチャンネル・シリアル・ポートとDチャンネル・コントロール機能内蔵

- ・ 電話機とデジタル・データ端末の2種類のアプリケーションに使用できる
- ・ 割り込み付きマイクロプロセッサ・インターフェース
- ・ オーディオ・プロセッサを内蔵し、DSPコーデック・フィルタ、DTMFジェネレータ、トーンリングなどの機能をもつ

## ■ ブロック図





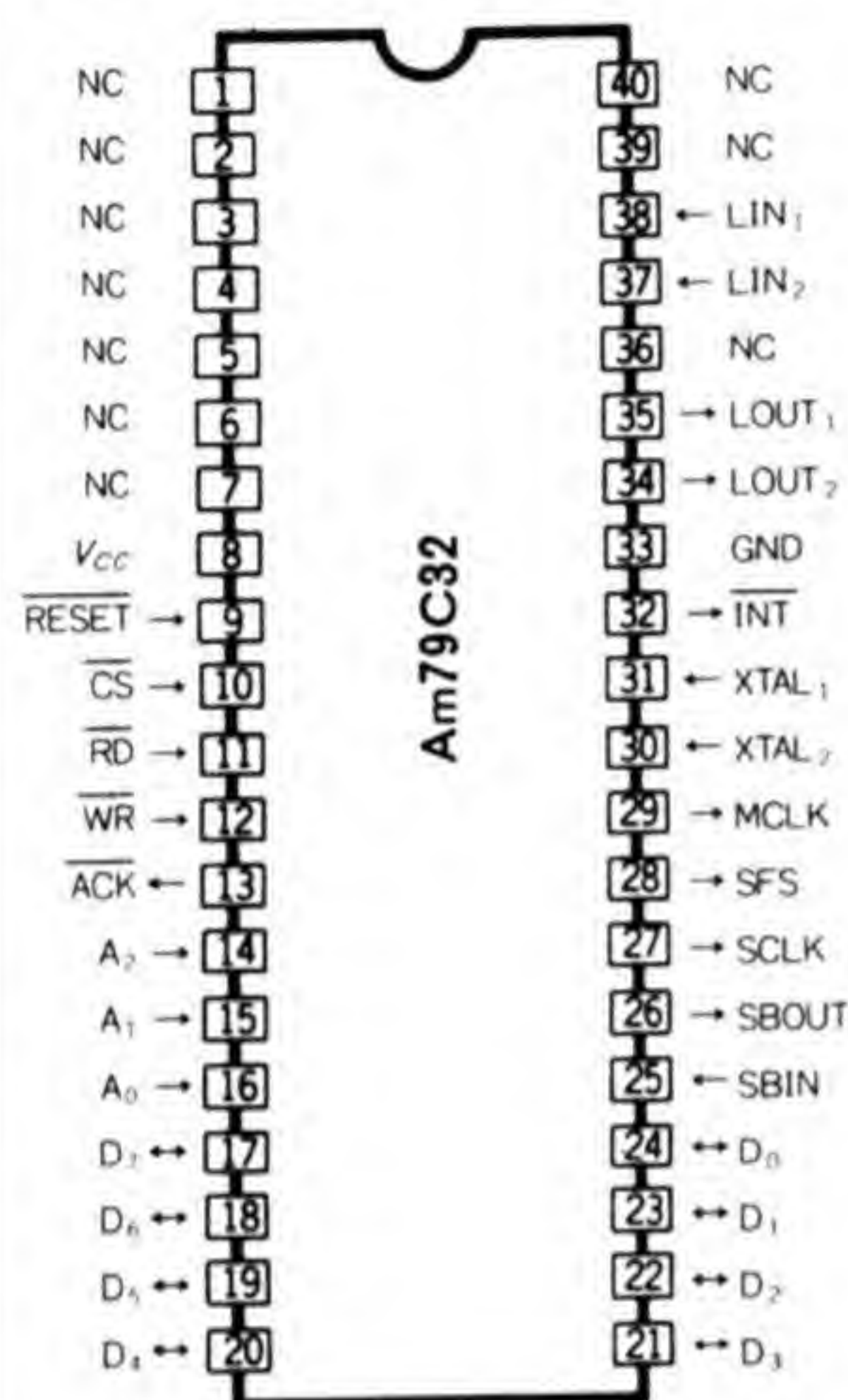
## ■端子機能

端子名	ピン番号	入出力	機能
XTAL <sub>1,2</sub>	31, 30	入力	内蔵の発振器用に、外部水晶と接続する
D <sub>7</sub> ~D <sub>0</sub>	17~24	入出力	8本の双方向データ・バス。CPUとの情報交換を行う。D <sub>0</sub> がLSB、D <sub>7</sub> がMSB
$\overline{\text{RD}}$	11	入力	$\overline{\text{CS}}$ との組み合わせで、内部データがデータ・バスへ送られることを示す
$\overline{\text{WR}}$	12	入力	$\overline{\text{CS}}$ との組み合わせで、データ・バス上のデータが内部バスへ送り込まれることを示す
$\overline{\text{CS}}$	10	入力	書き込み、読み取り操作を行うためのチップ・セレクト信号
MCLK	29	出力	CPUのシステム・クロックに利用できるマスタ・クロック出力
A <sub>2</sub> ~A <sub>0</sub>	14~16	入力	データ・バス上での書き込み/読み取り操作を行う時、A <sub>2</sub> ~A <sub>0</sub> でアドレスを指定する
$\overline{\text{INT}}$	32	出力	CPUへの割り込み要求出力
$\overline{\text{ACK}}$	13	出力	CPUのクロック・サイクルにウェイトを挿入するためのアクノリッジ信号で、アクティブ“L”
RESET	9	入力	リセット入力で、これにより動作を停止し、アイドル状態となる
SBIN	25	入力	データ・レート192kbpsのシリアル入力で、三つの64kbpsシリアル・チャンネルからなる
SBOUT	26	出力	データ・レート192kbpsのシリアル出力で、三つの64kbpsシリアル・チャンネルからなる
SFS	28	出力	フレームの先頭を識別するためのシリアル・チャンネル・フレーム同期信号で、8 kHzのパルス信号
SCLK	27	出力	SBOUTとSBINチャンネルのシリアル・ビットの位置を定義する192kHzの信号
LIN <sub>1,2</sub>	38, 37	入力	加入者線入力で、トランスを介して加入者線(S点)へインターフェースする
LOUT <sub>1,2</sub>	35, 34	出力	加入者線出力で、処理された信号をトランスを介して加入者線(S点)へ送りこむ
HSW	36	入力	フックのオン/オフ状態をAm79C30に知らせる信号入力。機械スイッチ信号を入力するため、ディバウンス回路を備えている
LS <sub>1</sub> , LS <sub>2</sub>	40, 1	出力	50Ωのスピーカを直接ドライブするプッシュ/プル出力のラウドネススピーカ・インターフェース端子
EAR <sub>1</sub> , EAR <sub>2</sub>	2, 3	出力	ハンドセットのイヤーピースに信号を出力するための端子
AINA, AINB	4, 5	入力	二つの独立したアナログ信号入力端子
CAP <sub>1</sub> , CAP <sub>2</sub>	6, 7	入力	A-Dコンバータ用のコンデンサ、抵抗を接続する端子
AREF	39	出力	アナログ信号用の参照出力端子



# ISDN Controller

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	0~7.0	V
入力電圧	$V_{IS}$	-0.5~ $V_{CC}+0.5$	V
動作温度	$T_{OPR}$	0~75	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

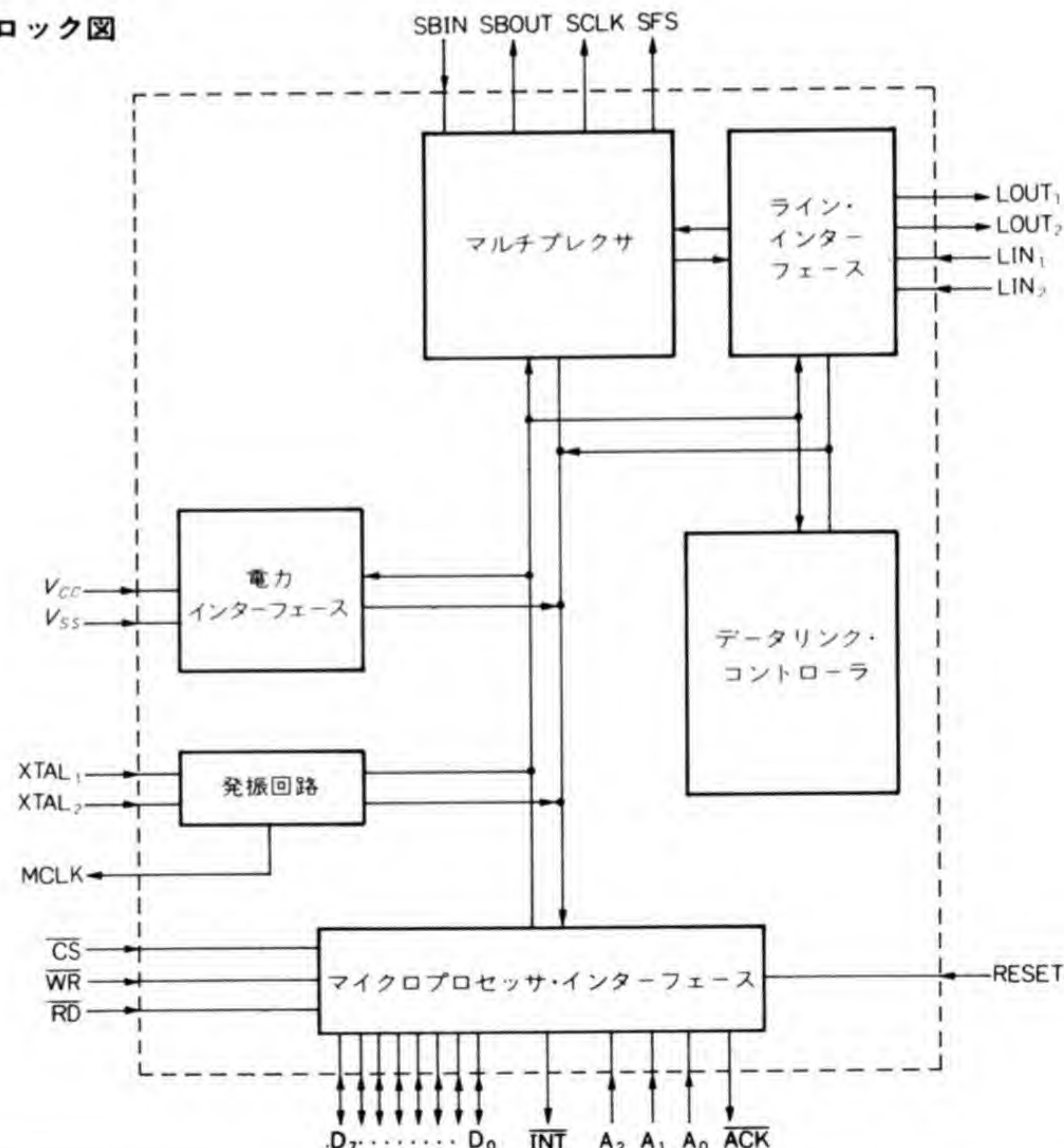
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 2.0\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	10	pF

## ■ 特徴

- ・ ISDN用デジタル加入者アクセス・コントローラ
- ・ CCITT S点/T点インターフェース準拠
- ・ 4線式で192Kbpsの全二重デジタル通信路を形成する

- ・ Bチャンネル・シリアル・ポートとDチャンネル・コントロール機能内蔵
- ・ デジタル・データ端末のアプリケーションに使用できる
- ・ 割り込み付きマイクロプロセッサ・インターフェース

## ■ ブロック図





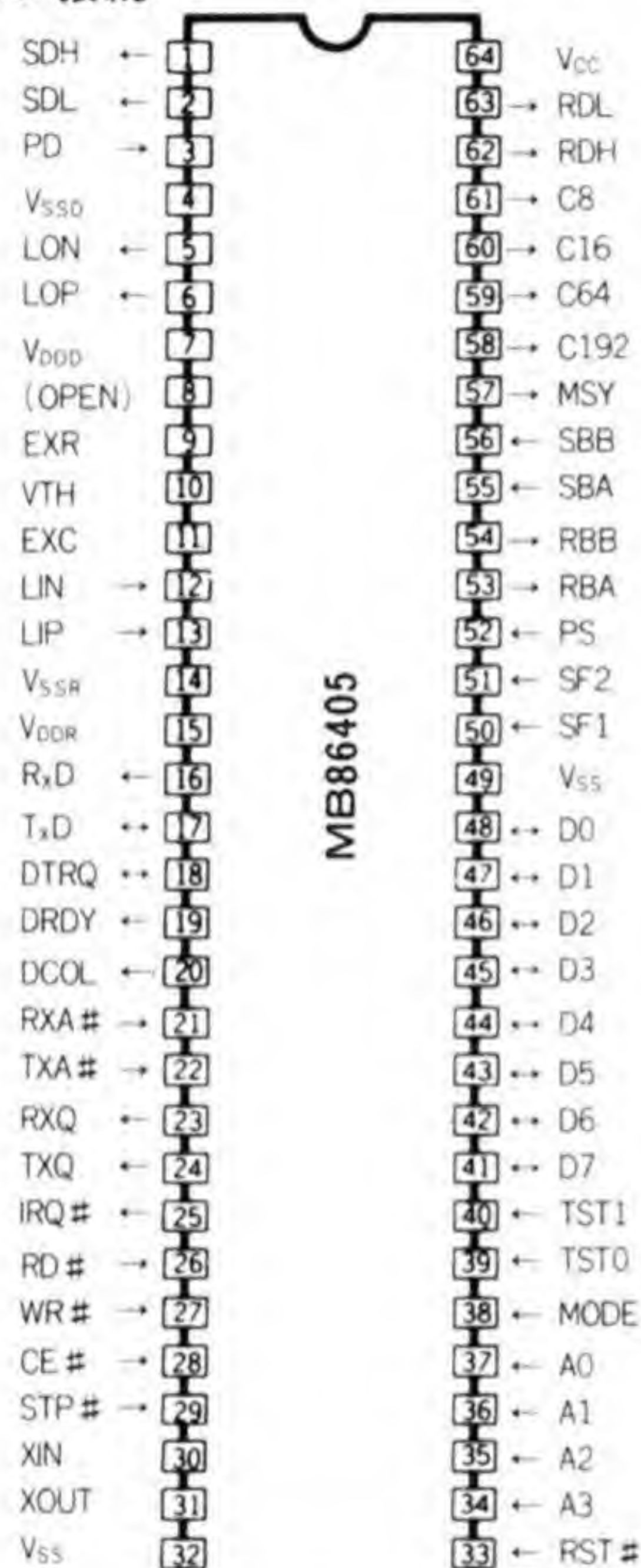
■端子機能

端子名	ピン番号	入出力	機能
XTAL <sub>1,2</sub>	31, 30	入力	内蔵の発振器用に、外部水晶と接続する
D <sub>7</sub> ~D <sub>0</sub>	17~24	入出力	8本の双方向データ・バス。CPUとの情報交換を行う。D <sub>0</sub> がLSB、D <sub>7</sub> がMSB
$\overline{\text{RD}}$	11	入力	$\overline{\text{CS}}$ との組み合わせで、内部データがデータ・バスへ送られることを示す
$\overline{\text{WR}}$	12	入力	$\overline{\text{CS}}$ との組み合わせで、データ・バス上のデータが内部バスへ送り込まれることを示す
$\overline{\text{CS}}$	10	入力	書き込み、読み取り操作を行うためのチップ・セレクト信号
MCLK	29	出力	CPUのシステム・クロックに利用できるマスタ・クロック出力
A <sub>2</sub> ~A <sub>0</sub>	14~16	入力	データ・バス上での書き込み/読み取り操作を行う時、A <sub>2</sub> ~A <sub>0</sub> でアドレスを指定する
$\overline{\text{INT}}$	32	出力	CPUへの割り込み要求出力
$\overline{\text{ACK}}$	13	出力	CPUのクロック・サイクルにウェイトを挿入するためのアクノリッジ信号で、アクティブ“L”
RESET	9	入力	リセット入力で、これにより動作を停止し、アイドル状態となる
SBIN	25	入力	データ・レート192kbpsのシリアル入力で、三つの64kbpsシリアル・チャンネルからなる
SBOUT	26	出力	データ・レート192kbpsのシリアル出力で、三つの64kbpsシリアル・チャンネルからなる
SFS	28	出力	フレームの先頭を識別するためのシリアル・チャンネル・フレーム同期信号で、8 kHzのパルス信号
SCLK	27	出力	SBOUTとSBINチャンネルのシリアル・ビットの位置を定義する192kHzの信号
LIN <sub>1,2</sub>	38, 37	入力	加入者線入力で、トランスを介して加入者線(S点)へインターフェースする
LOUT <sub>1,2</sub>	35, 34	出力	加入者線出力で、処理された信号をトランスを介して加入者線(S点)へ送り込む



# IST(ISDN S-Interface unit for Terminal)

## ■ピン接続



## ■特 徴

- ・ I S D N基本ユーザ・網インターフェースにおける  
端末側レイヤ1, レイヤ2機能および回線ドライバ  
／レシーバ内蔵のコントローラ
- ・ レイヤ1フレーム(48ビット)分解／組立機能
- ・ Bチャンネル・シリアル入出力端子を独立に選択可能
- ・ フレーム送信タイミングの補正端子あり
- ・ L A P Dフレームの分解／組立機能
- ・ D M Aインターフェース機能内蔵
- ・ バイポーラ／ユニポーラ信号相互変換
- ・ レシーバ:自動スレッシュホールド方式
- ・ ドライバ:パワー・ダウン機能あり

## ■ 最大定格

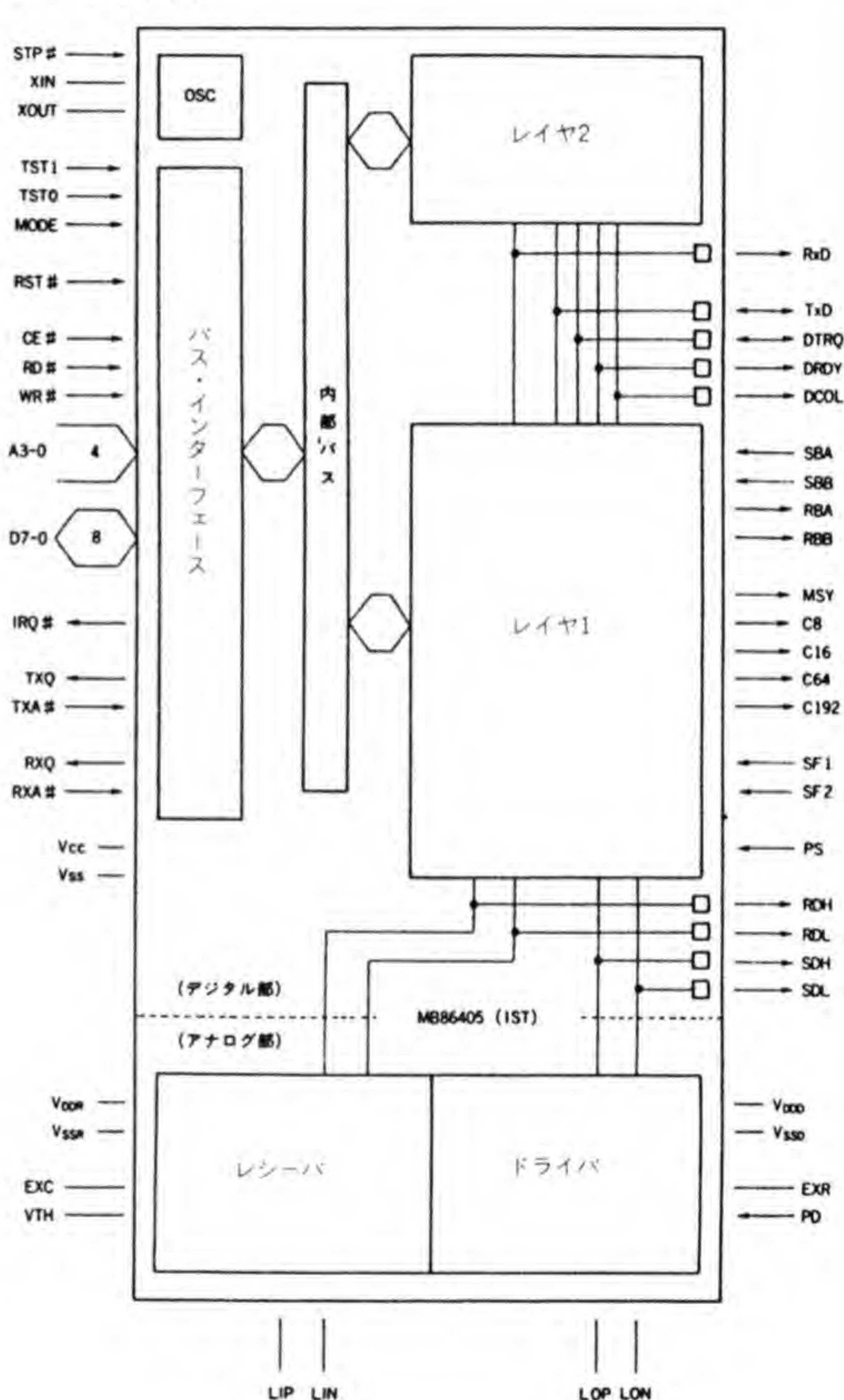
項 目	記号	定 格	単 位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.3$	V
動作温度	$T_{OPR}$	-25~85	°C
保存温度	$T_{STB}$	-40~125	°C

## ■ DC 特性

( $T_a = -25 \sim 85^{\circ}\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 3.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 2.0\text{mA}$	2.4*	V
$I_{IL}$	$V_{IN} = 0.45 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		17	pF

## ■ブロック図





■端子機能

端子名	ピン番号	入出力	機能
XIN, XOUT	30, 31	—	水晶発動子接続用端子
STP#	29	入力	発振停止信号の入力
RST#	33	入力	リセット入力端子
A3~A0	34~37	入力	アドレス入力端子
D7~D0	41~48	入出力	データ入出力端子
IRQ#	25	出力	割り込み信号出力
WR#	27	入力	ライト信号入力
RD#	26	入力	リード信号入力
CE#	28	入力	チップ・イネーブル信号入力
MODE	38	入力	モード指定端子, “H”のとき通常モード, “L”のときレイヤ1モードとなる
TST0,1	39, 40	入力	テスト用端子, “H”に固定する
MSY	57	出力	S点フレームの同期引き込みを示す信号
C192	58	出力	192kHzのクロック出力端子, 受信信号から抽出
C64	59	出力	64kHzのクロック出力端子, Bch用クロック
C16	60	出力	16kHzのクロック出力端子, Dch用クロック
C8	61	出力	8kHzのクロック出力端子, Bchデータのオクテット・タイミング用のクロック
SBA, SBB	55, 56	入力	送信Bチャンネル・データ入力端子
RBA, RBB	53, 54	出力	受信Bチャンネル・データ出力端子
RxA#	21	入力	受信データ転送アクノリッジ信号入力端子
TxA#	22	入力	送信データ転送アクノリッジ信号入力端子
RxQ	23	出力	受信データ転送要求信号出力, 受信DchデータのDMA転送要求信号
TxQ	24	出力	送信データ転送要求信号出力, 送信DchデータのDMA転送要求信号
PS	52	入力	電源検出信号入力
SF1, SF2	50, 51	入力	送信タイミング補正端子
RxD	16	出力	受信Dチャンネル・データ出力端子
TxD	17	入出力	通常モードでは送信Dchデータのモニタ出力, レイヤ1モードでは送信Dchデータの入力端子

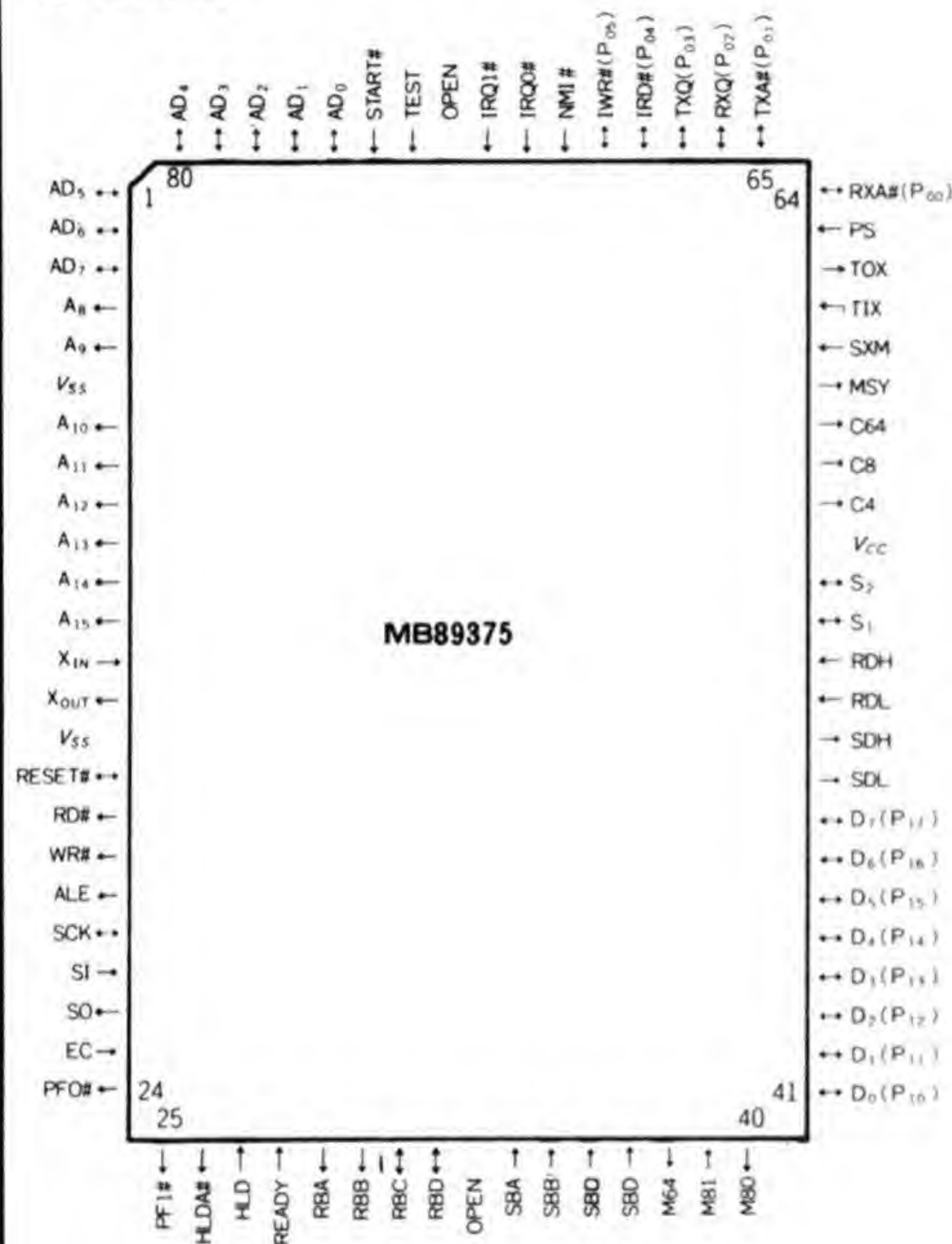
端子名	ピン番号	入出力	機能
DTRQ	18	入出力	通常モードではレイヤ2からの送信要求信号モニタ出力, レイヤ1モードではDチャンネル送信要求信号入力
DRDY	19	出力	Dチャンネル送信許可信号出力
DCOL	20	出力	Dチャンネル衝突検出信号モニタ出力
RDH, RDL	62, 63	出力	受信符号モニタ出力
SDH, SDL	1, 2	出力	送信符号モニタ出力
V <sub>SS</sub>	32, 49	—	ディジタル部グラウンド
V <sub>CC</sub>	64	—	ディジタル部電源
V <sub>DDR</sub>	15	—	レシーバ部電源, V <sub>CC</sub> と同電位にする
V <sub>SSR</sub>	14	—	レシーバ部グラウンド, V <sub>SS</sub> と同電位にする
V <sub>DDI</sub>	7	—	ドライバ部電源, V <sub>CC</sub> と同電位にする
V <sub>SSD</sub>	4	—	ドライバ部グラウンド, V <sub>SS</sub> と同電位にする
VTH	10	—	受信コンパレータのスレッシュホルト電圧のモニタ端子
EXC	11	—	レシーバ用外部コンデンサ接続端子
EXR	9	—	ドライバ用外部抵抗接続端子
LIN	12	入力	受信AMI符号のレシーバ入力 (負極性) 端子
LIP	13	入力	受信AMI符号のレシーバ入力 (正極性) 端子
LON	5	出力	送信AMI符号のドライバ (負極性) 端子
LOP	6	出力	送信AMI符号のドライバ (正極性) 端子
PD	3	入力	ドライバ部パワー・ダウン制御信号入力端子

(注) #の付いた端子は, ロー・アクティブを示す



# ISDN Controller

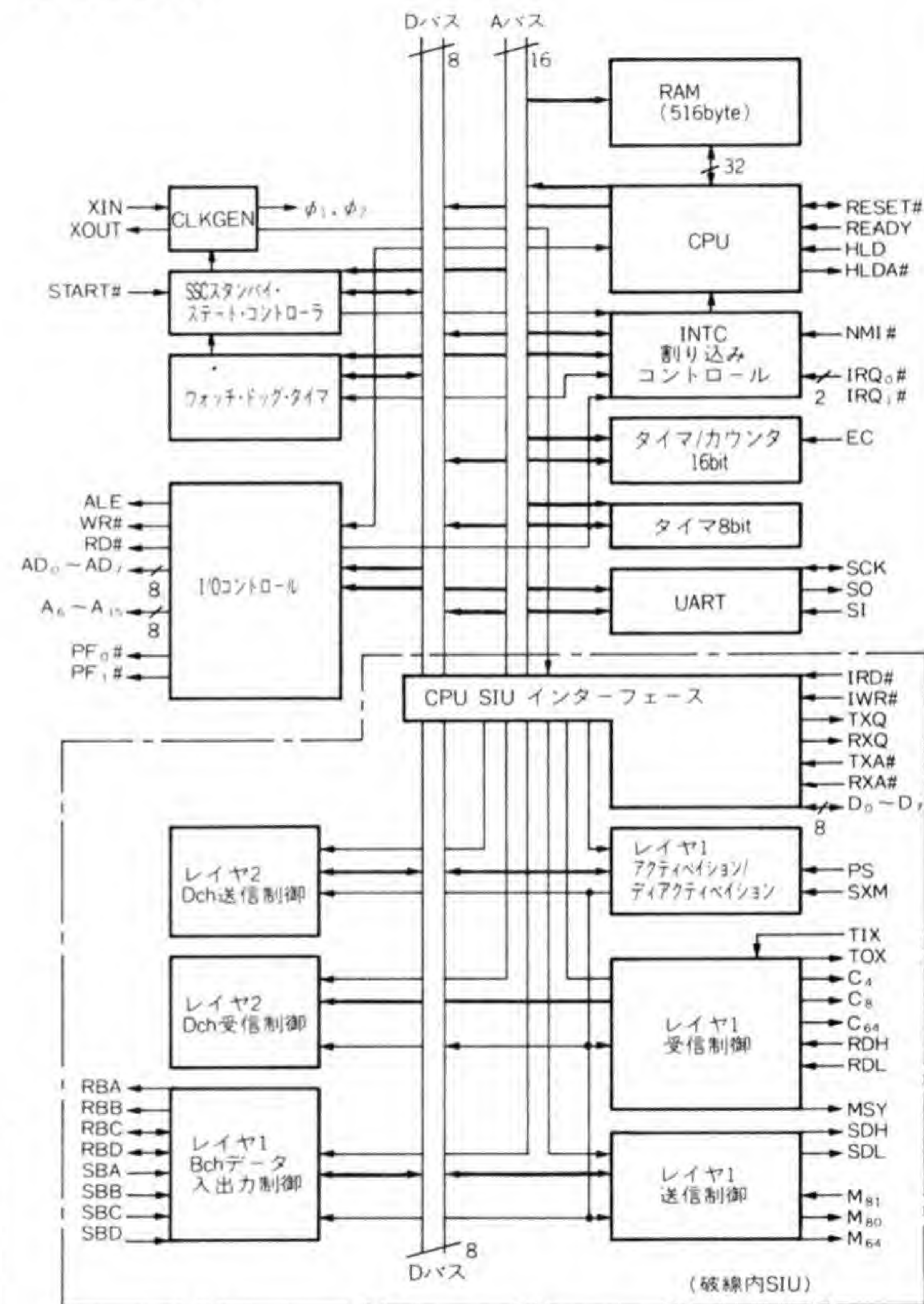
## ■ ピン接続



## ■ 特徴

- ・ ISDN S点インターフェース・コントローラ
- ・ ISDNのベーシック・アクセスに準拠し、レイヤ1/レイヤ2のフォーマット分解、組立機能をもつ
- ・ マスタ/スレーブ・モード共用
- ・ 2種類のバス形態に対応
- ・ Bチャンネルの入出力端子をそれぞれ4端子装備
- ・ 優先度3レベル、9要因の割り込み機能
- ・ 516バイトRAM内蔵
- ・ データ空間128Kバイトまで拡張可能
- ・ 8bitタイマ、16bitタイマ/カウンタ内蔵
- ・ クロック同期/非同期シリアル入出力のUART内蔵

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~7.0	V
消費電力	P <sub>D</sub>	0.6	W
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-55~150	°C

## ■ DC特性

(T<sub>a</sub> = 0~70°C, V<sub>CC</sub> = 5V ± 10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.2*	V
V <sub>OL</sub>	I <sub>OL</sub> = 1.8mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> = 4mA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> = 0.45 ~ V <sub>CC</sub>	± 10	μA
I <sub>IH</sub>	V <sub>IN</sub> = 0.45 ~ V <sub>CC</sub>	± 10	μA
C <sub>IN</sub>	f = 1MHz T <sub>a</sub> = 25°C, V <sub>CC</sub> = 0V	20	pF



■端子機能

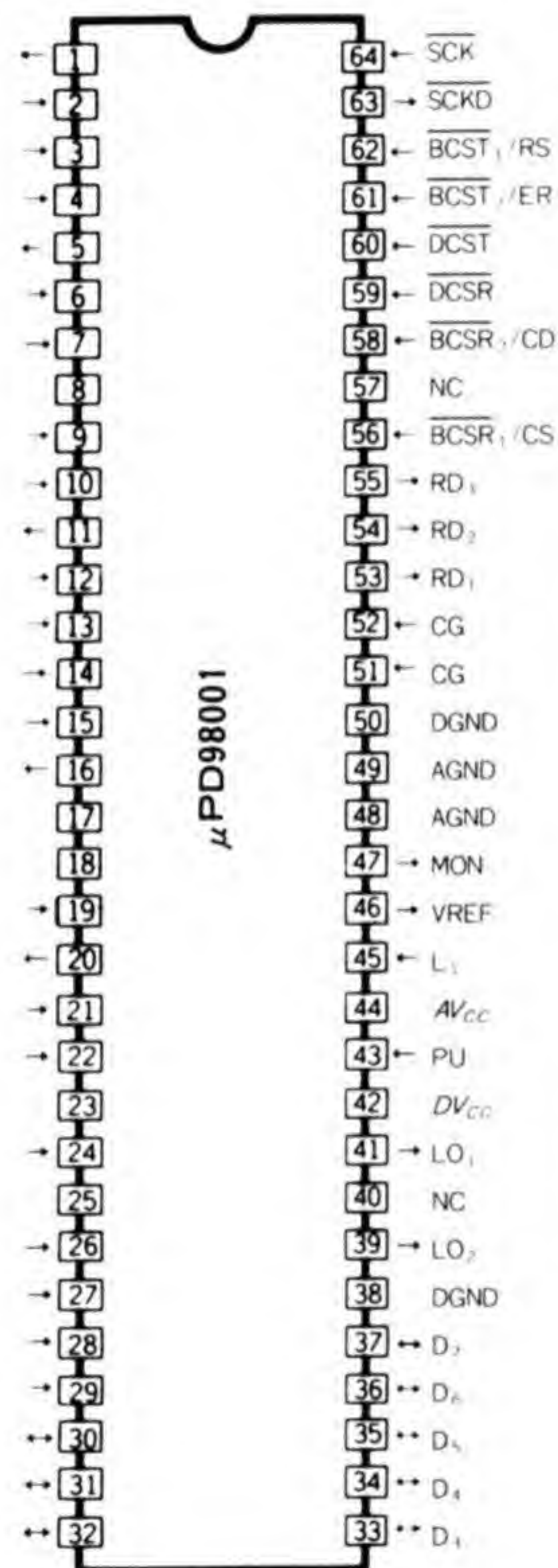
端子名	ピン番号	入出力	機能
ALE	19	出力	アドレス・ラッチ用のストロープ出力
TEST	74	入力	デバイス・テスト用の入力
RESET#	16	入出力	リセット入出力
NMI#	70	入力	ノンマスカブル割り込み要求の入力端子
IRQ <sub>0</sub> #, IRQ <sub>1</sub> #	71, 72	入力	割り込みの要求の入力端子
WR#	18	出力	データ・ライト・ストロープ出力
RD#	17	出力	データ・リード・ストロープ出力
AD <sub>0</sub> ~AD <sub>7</sub>	76~80, 1~3	入出力	アドレス出力とデータ入出力の時分割端子
A <sub>8</sub> ~A <sub>15</sub>	4, 5, 7~12	出力	アドレス出力
HLD	27	入力	ホールド・リクエスト入力
HLDA#	26	出力	ホールド・アクノリッジ出力
PF <sub>0</sub> #, PF <sub>1</sub> #	24, 25	出力	プリフィックス出力
READY	28	入力	レディ入力端子
START#	75	入力	スタート端子
XIN	13	入力	CPUのための水晶発振用入力端子
XOUT	14	出力	CPUのための水晶発振用出力端子
SCK	20	入出力	UART クロック入出力端子
SO	22	出力	UART のシリアル・データ出力端子
SI	21	入力	UART のシリアル・データ入力端子
EC	23	入力	タイマ/カウンタのクロック入力端子
MSY	59	出力	同期の確立されたフレーム受信中のとき“H”レベルを出力する
SXM	60	入力	スレーブ/マスタ・モード切り替え入力
S <sub>1</sub> , S <sub>2</sub>	53, 54	入出力	S <sub>1</sub> , S <sub>2</sub> bit の入出力
SDL	49	出力	送信AMI符号の出力端子
SDH	50		
RDL	51	入力	受信AMI符号の入力端子
RDH	52		

端 子 名	ピン番号	入 出 力	機 能
C64	58	出 力	64kHz クロック出力端子（受信フレームに同期したクロック）
C8	57	出 力	8kHz クロック出力端子（受信フレームに同期したクロック）
C4	56	出 力	4kHz クロック出力端子（受信フレームに同期したクロック）
M64	38	出 力	64kHz クロック出力端子（送信フレームに同期したクロック）
M8O	40	出 力	8kHz クロック出力端子（送信フレームに同期したクロック）
TOX	62	出 力	SIU のための水晶発振用出力
TIX	61	入 力	SIU のための水晶発振用入力
M8I	39	入 力	送信フレーム送出タイミング入力端子
PS	63	入 力	パワー・ソース検出入力端子
P <sub>10</sub> ～P <sub>17</sub>	41～48	入出力	プログラム転送モード。 P <sub>00</sub> ～P <sub>05</sub> とよび P <sub>10</sub> ～P <sub>17</sub> は汎用入出力ポートでビット単位に入出力を指定することができる
P <sub>05</sub> ～P <sub>00</sub>	69～64		
RBA	29	出 力	Bch 入出力ノーマル・モード RBA～RBDは受信した B <sub>1</sub> ch および B <sub>2</sub> ch データの出力端子
RBB	30		
RBC	31	入出力	
RBD	32		
SBA	34	入 力	Bch 入出力ノーマル・モード SBA～SBDは送信する B <sub>1</sub> ch および B <sub>2</sub> ch データの入力端子
SBB	35		
SBC	36		
SBD	37		



# ISDN Controller

## ■ ピン接続



## ■ 特 徴

- ・ 2線式時分割双方向伝送（ピンポン方式）を行う  
コミュニケーション・コントローラ  
通常モード：144Kbps全二重  
拡張モード：160Kbps全二重
- ・ ISDNのベーシック・アクセスに準拠し、2B + Dの伝送が可能
- ・ スイッチト・キャパシタ回路によるアダプティブ線路等化回路内蔵
- ・ 汎用CPUパラレル・インターフェース、多目的シリアル・インターフェース回路内蔵
- ・ マスター／スレーブ・モード共用

## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	V <sub>CC</sub>	-0.5~7.0	V
入力電圧	V <sub>IN</sub>	-0.5~V <sub>CC</sub> +0.5	V
動作温度	T <sub>OPR</sub>	-10~70	°C
保存温度	T <sub>STG</sub>	-65~150	°C

## ■ DC特性

( T<sub>a</sub> = -10~70°C, V<sub>CC</sub> = 5V ± 10% )

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.2*	V
V <sub>OL</sub>	I <sub>OL</sub> = 2.0mA	0.45	V
V <sub>OH</sub>	I <sub>OH</sub> = 400μA	0.7 × V <sub>CC</sub> *	V
I <sub>OL</sub>	V <sub>OUT</sub> = 0V, V <sub>CC</sub>	± 10	μA
I <sub>IH</sub>	V <sub>IN</sub> = 0V, V <sub>CC</sub>	± 10	μA
C <sub>IN</sub>	f = 1MHz T <sub>a</sub> = 25°C, V <sub>CC</sub> = 0V	20	pF







## ISDN Controller

## ■端子機能 &lt;マスタ・スレーブ共通端子&gt;

端子名	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	30~37	入出力	データ・バス 内部レジスタと外部データ・バスとの間のデータ転送のための双方向ポート
$\overline{\text{RD}}$	24	入力	リード・ストロブ端子 アクティブ・ロウで D <sub>0</sub> ~D <sub>7</sub> は出力
$\overline{\text{WR}}$	26	入力	ライト・ストロブ端子 アクティブ・ロウで D <sub>0</sub> ~D <sub>7</sub> は入力
$\overline{\text{CE}}$	27	入力	チップ・イネーブル端子 アクティブ・ロウで D <sub>0</sub> ~D <sub>7</sub> は入出力可能
A <sub>0</sub> A <sub>1</sub>	28 29	入力	アドレス入力端子 内部レジスタ指定のためのアドレス入力端子
M/ $\overline{\text{S}}$	15	入力	マスタ・スレーブ設定端子 マスタ・モード, スレーブ・モードの切り替え入力
LAPDS	7	入力	LAP-D セレクト端子 D チャンネル LAP-D モードの選択入力
DEX	6	入力	D チャンネル拡張モード入力 D チャンネル拡張モードの指定入力
LO <sub>1</sub> LO <sub>2</sub>	41 39	出力	ライン出力端子 伝送ライン送信出力 平衡出力で, 受信時はハイ・インピーダンス
LI	45	入力	ライン入力端子 伝送ライン受信入力 VREF 端子とともに伝送ライン信号を入力
VREF	46	出力	基準電圧出力 伝送ライン受信用基準レベル出力 V <sub>cc</sub> の約 1/2 を出力
RDY	16	出力	レディ出力端子 マスタ・スレーブ間のデータ・バーストの同期状態を示す
DEN	5	出力	D チャンネル・データ・イネーブル出力端子 受信したバースト内の D チャンネル・データの有効・無効を示す
MON	47	出力	モニタ出力端子 伝送ライン受信信号を線路等化器に入力し, その等化結果を出力 (AMI 符号)
$\overline{\text{RESET}}$	14	入力	リセット入力端子 リセット入力 アクティブ・ロウ (2 $\mu$ s 以上のアクティブ幅が必要)

端子名	ピン番号	入出力	機能
PU	43	入力	プルアップ端子
CG	9, 10, 51, 52	入力	コネクタ・グラウンド端子
IC	17	—	内部使用端子

## &lt;マスタ・モード端子&gt;

端子名	ピン番号	入出力	機能
TD <sub>1</sub> TD <sub>2</sub> TD <sub>3</sub>	4 3 2	入力	送信データ入力端子 1, 2, 3 送信データのシリアル入力端子 TD <sub>1</sub> : B <sub>1</sub> チャンネル TD <sub>2</sub> : B <sub>2</sub> チャンネル TD <sub>3</sub> : D チャンネル
$\overline{\text{BCST}}_1$ $\overline{\text{BCST}}_2$	62 61	入力	送信 B <sub>1</sub> , B <sub>2</sub> チャンネル・イネーブル入力端子 TD <sub>1</sub> , TD <sub>2</sub> のイネーブル入力, アクティブ・ロウ, 送信フレーム同期信号を入力. $\overline{\text{BCST}}_1$ : TD <sub>1</sub> (B <sub>1</sub> チャンネル) $\overline{\text{BCST}}_2$ : TD <sub>2</sub> (B <sub>2</sub> チャンネル)
$\overline{\text{DCST}}$	60	入力	送信 D チャンネル・イネーブル入力端子 TD <sub>3</sub> のイネーブル入力
RD <sub>1</sub> RD <sub>2</sub> RD <sub>3</sub>	53 54 55	出力	受信データ出力端子 1, 2, 3 受信データのシリアル出力端子 RD <sub>1</sub> : B <sub>1</sub> チャンネル RD <sub>2</sub> : B <sub>2</sub> チャンネル RD <sub>3</sub> : D チャンネル
$\overline{\text{BCSR}}_1$ $\overline{\text{BCSR}}_2$	56 58	入力	受信 B <sub>1</sub> , B <sub>2</sub> チャンネル・イネーブル入力端子 RD <sub>1</sub> , RD <sub>2</sub> のイネーブル入力, 受信フレーム同期信号を入力. $\overline{\text{BCSR}}_1$ : RD <sub>1</sub> (B <sub>1</sub> チャンネル) $\overline{\text{BCSR}}_2$ : RD <sub>2</sub> (B <sub>2</sub> チャンネル)
$\overline{\text{DCSR}}$	59	入力	受信 D チャンネル・イネーブル入力端子 RD <sub>3</sub> のイネーブル入力
CCLK	19	入力	データ・クロック入力端子 シリアル入出力 (TD <sub>1-2</sub> , RD <sub>1-2</sub> ) のシリアル・データ・クロックとして 2048kHz を入力
FRME	12	入力	バースト位相同期信号入力端子 伝送ラインのデータ・クロック (384kHz) の位相同期信号として, 8kHz を入力

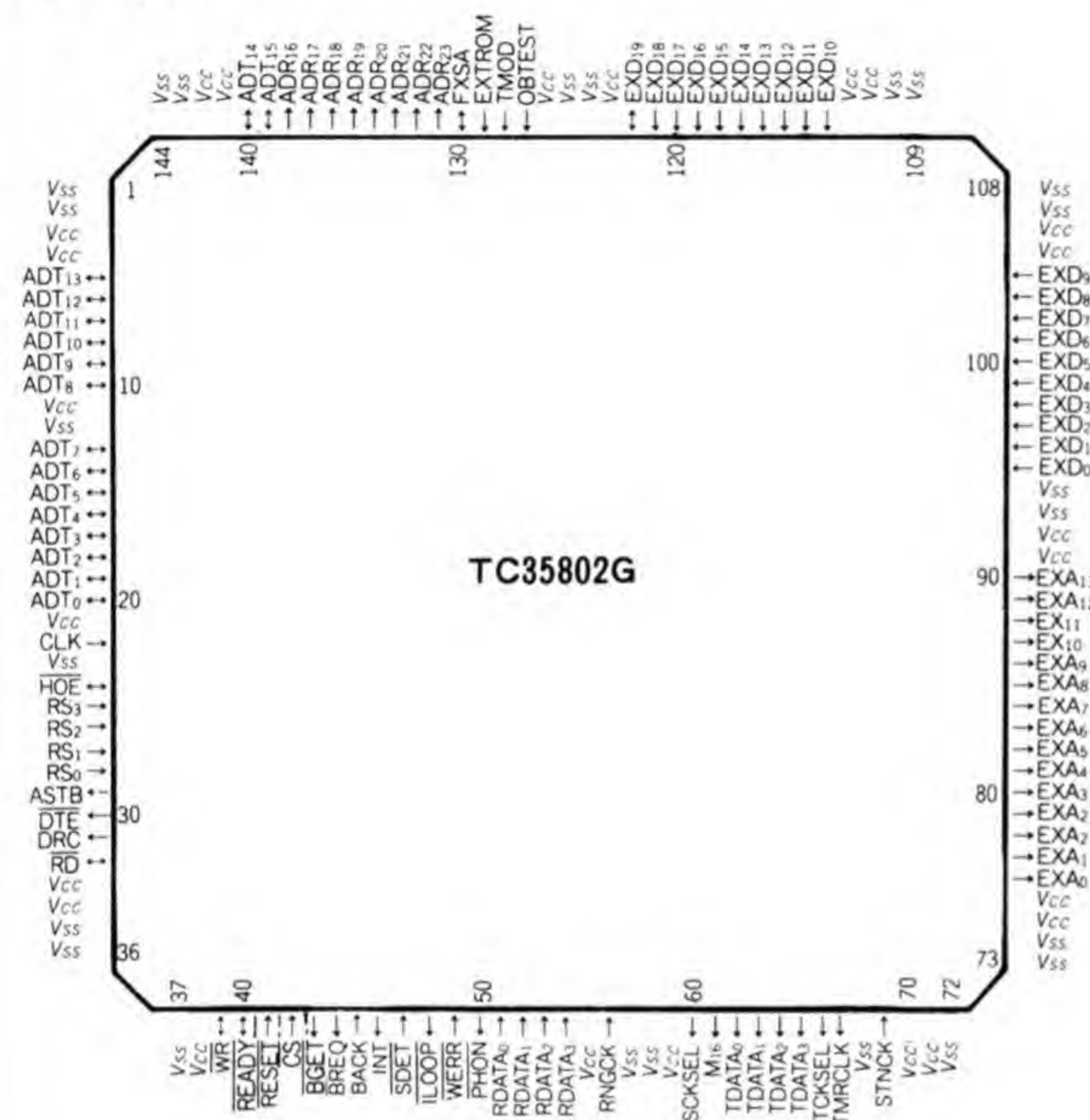


■端子機能

端子名	ピン番号	入出力	機能
BRST	13	入力	バースト信号入力端子 バースト信号として、2kHz を入力。この信号の立ち上がりに同期して、バースト送信を開始
BCLK	20	出力	原発振クロック出力端子 原発振 (12.288MHz) 出力
$\overline{\text{SCKD}}$	63	出力	LAP-D 用シリアル・クロック出力端子 D チャンネルが LAP-D に指定された場合、シリアル・クロックを出力。 DEX 入力ロウ・レベル (16kbps モード) : 16kHz DEX 入力ハイ・レベル (32kbps) : 32kHz
$\overline{\text{SCK}}$	64	入力	D チャンネル・シリアル・クロック入力端子 D チャンネルが、シリアル・インターフェース・モードの時のシリアル・クロック入力端子。パラレルまたは LAP-D インターフェース・モードの時はハイ・レベルに固定
XL <sub>1</sub> XL <sub>2</sub>	21 22	入力	発振子接続端子 水晶発振子接続端子



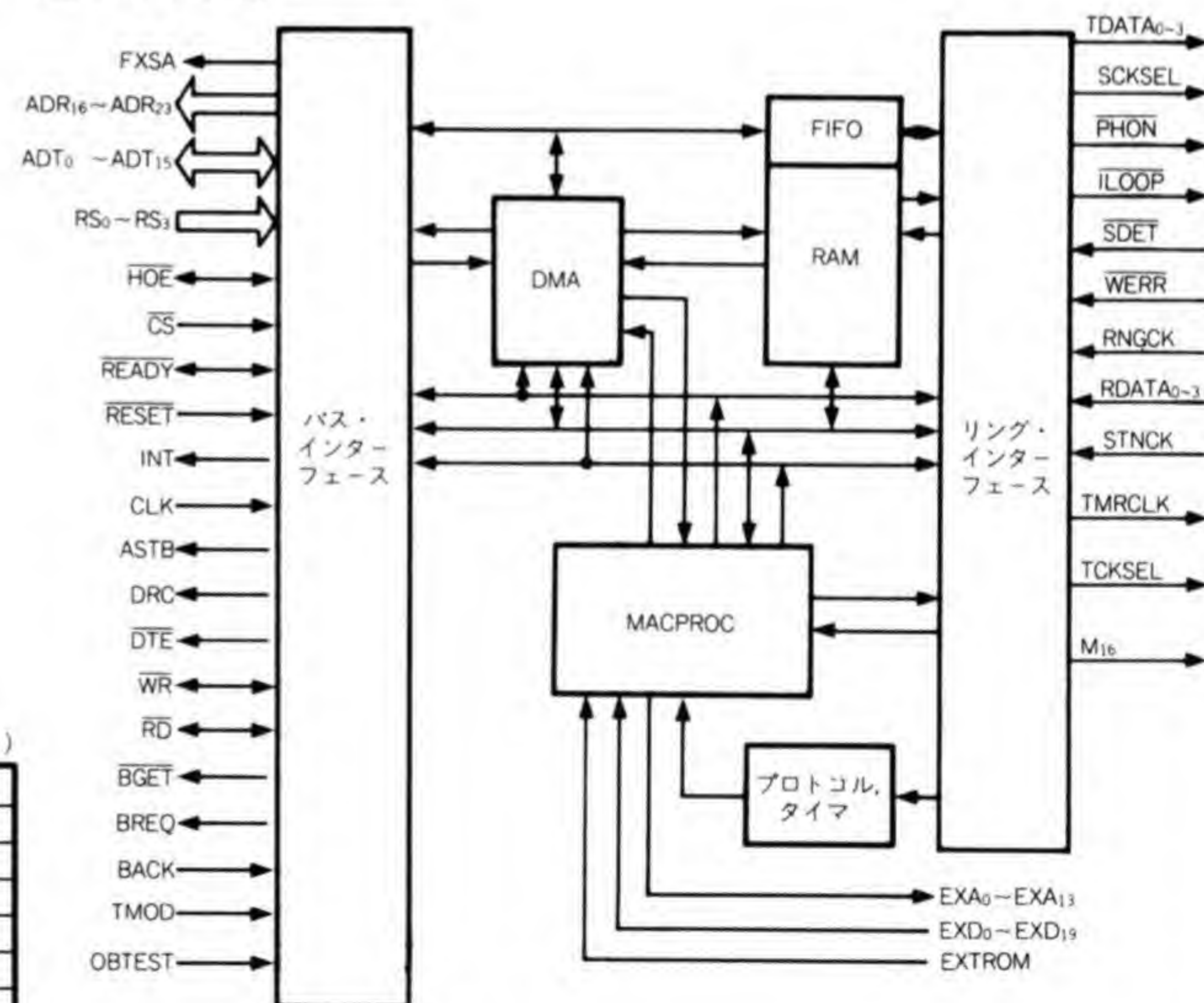
## ■ ピン接続



## ■ 特徴

- ・IEEE802.5に準拠したトークン・リング・プロトコルを実行するコントローラ
- ・アクティブ・モニタおよびスタンバイ・モニタ機能をもつ
- ・リング・エラーの回復機能をもつ
- ・エラー・カウンタを内蔵
- ・自己診断機能（ローブ・メディア・テスト、内部折り返しテスト）を内蔵
- ・ネットワーク・マネージャへの報告機能をもつ
- ・リスト構造のデータを扱うインテリジェントDMA機能をもつ
- ・ブリッジ局のためのルーティング・インフォメーション・フィールド検出とコピーおよび中継フレーム回収機能をもつ
- ・ネットワーク側伝送速度をソフトウェア切り替え可能

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
消費電力	$P_D$	0.95	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性 ( $T_a=0\sim70^\circ\text{C}$ , $V_{CC}=5\text{V}\pm5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2.5\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=2.5\text{mA}$	3.0*	V
$I_{OL}$	$V_{OUT}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	$\pm 1$	$\mu\text{A}$
$C_{IN}$		20	pF



## ■ 端子機能

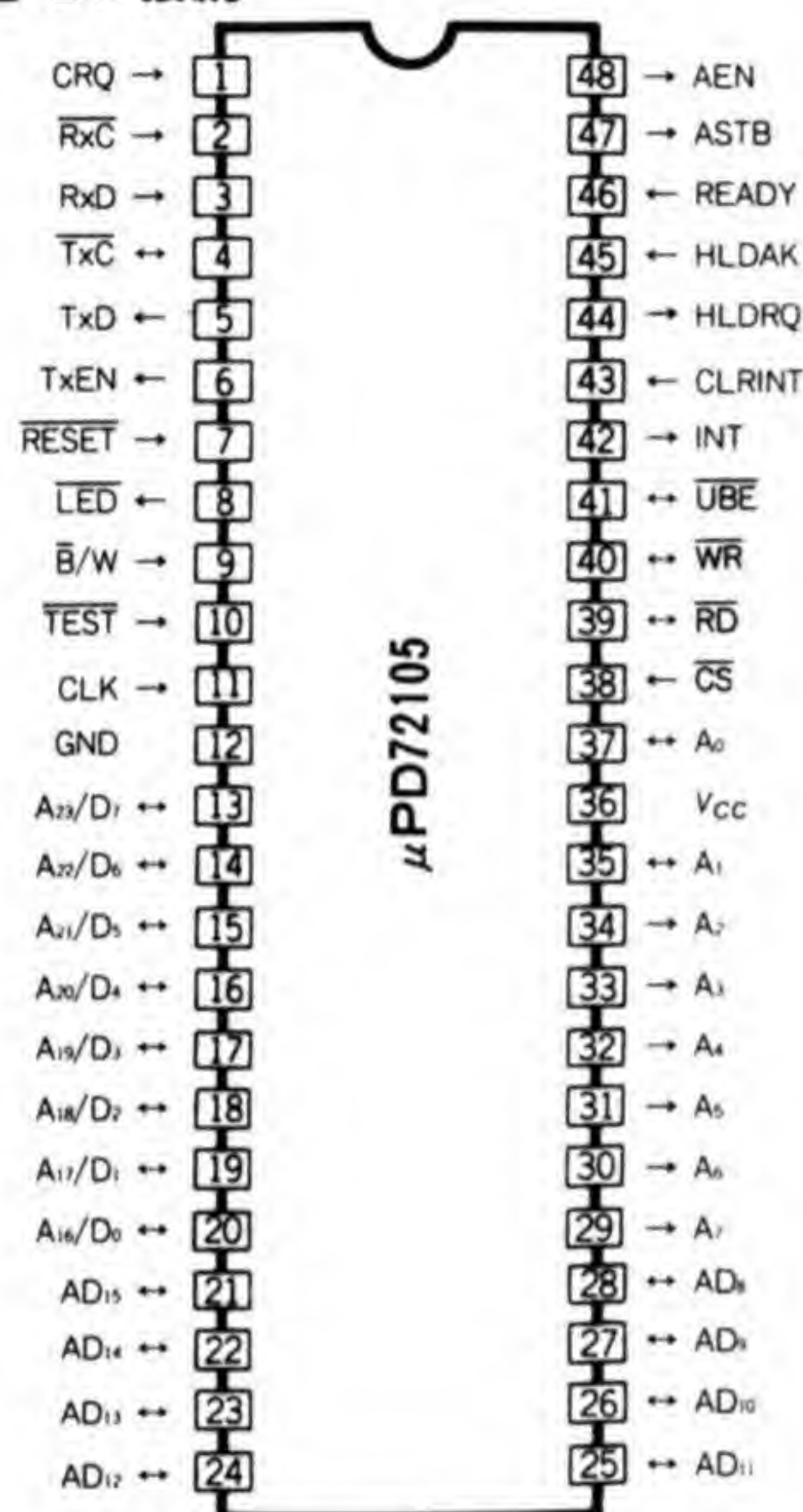
端子名	ピン番号	入出力	機能
ADR <sub>16~23</sub>	138~131	出力	バス・マスタとなって DMA を行う場合、上位 8 ビットのアドレスを出力する
ADT <sub>0~15</sub>	20~13, 10~5, 140~139	入出力	アドレスとデータが時分割されているバス
$\overline{\text{CS}}$	42	入力	I/O レジスタ・アクセス時にアクティブにされる
BREQ	44	出力	DMA を行う場合、バスの管理権を要求していることを示す
BACK	45	入力	ネットワーク・プロセッサは BREQ 要求を受け取ると、そのとき実行中の命令の最終マシン・サイクルの終わりにこの信号を出力する
$\overline{\text{HOE}}$	24	入出力	データの“H”側 ADT <sub>8~15</sub> が有効であることを示す
$\overline{\text{RD}}$	32	入出力	ネットワーク・プロセッサのメモリからデータを読み出す
$\overline{\text{WR}}$	39	入出力	ネットワーク・プロセッサのメモリへデータを書き込む
RS <sub>0~RS<sub>3</sub></sub>	28~25	入力	ネットワーク・プロセッサが I/O レジスタを選択するために使用される
$\overline{\text{BGET}}$	43	出力	バス・マスタとなったことを示す
$\overline{\text{DTE}}$	30	出力	DMA を行う場合、この信号によりデータ・トランシーバの出力イネーブルをコントロールする
DRC	31	出力	DMA を行う場合、データ・トランシーバ上のデータの方向を決定するために使用される
ASTB	29	出力	DMA を行う場合、アドレス・バス上のアドレスを TRC 外部のアドレス・ラッチにラッチするために使用される
$\overline{\text{READY}}$	40	入出力	DMA を行う場合は、メモリからの入力 $\overline{\text{READY}}$ 信号でウェイト・サイクルを挿入するかしないかを制御する
$\overline{\text{RESET}}$	41	入力	内部ロジックをクリアする
FXSA	130	入出力	SET INITIAL PARAMETERS コマンド実行時、固定自局アドレスを読む。このとき FXSA は“H”になる

端子名	ピン番号	入出力	機能
INT	46	出力	割り込み要因が HSR に書き込まれると、IMR で許可されていれば、この信号が出力される
RNGCK	56	入力	データ信号から PLL 回路を通して生成されたクロック信号
$\overline{\text{WERR}}$	49	入力	ツイスト・ペア上でショートあるいは断線が起こった場合にアクティブとなる
$\overline{\text{PHON}}$	50	出力	ファントム・ドライブ回路が動作し、リングへの物理的挿入が達成される
$\overline{\text{SDET}}$	47	入力	ネットワークからの受信信号検出入力端子
RDATA <sub>0~3</sub>	51~54	入力	リングからの受信データ
TDATA <sub>0~3</sub>	62~65	出力	データ出力
$\overline{\text{ILOOP}}$	48	出力	送信データと受信データを内部接続させる
STNCK	69	入力	局がもつクロックの入力端子
SCKSEL	60	出力	局がもつクロックに同期させるモードに設定する
TMRCLK	67	出力	ウォッチドグ・タイマを駆動するクロック
TCKSEL	66	出力	送信クロックとして、自局の水晶発振を用いるか、受信データからの抽出クロックを用いるかを選択する
M <sub>16</sub>	61	出力	“H”のとき、16Mbps、“L”のとき4Mbpsの伝送速度を示す
CLK	22	入力	ネットワーク・プロセッサ・システムのクロック信号
TMOD	128	入力	この信号を“H”にすると、テスト・モードの動作状態になる
OBTEST	127	入力	この信号を“H”にすると、全端子をハイ・インピーダンスにする
EXTROM	129	入力	この信号を“H”にすると、外部にあるプロトコル ROM を読んで実行するモードになる
EXA <sub>0~13</sub>	77~90	出力	外部プロトコル ROM へのアドレス出力
EXD <sub>0~19</sub>	95~104, 113~122	入力	外部プロトコル ROM からのデータ入力



# LAN Controller (CSMA)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5 ~ 7.0	V
入力電圧	$V_{IN}$	-0.5 ~ $V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	-40 ~ 85	°C
保存温度	$T_{STG}$	-40 ~ 125	°C

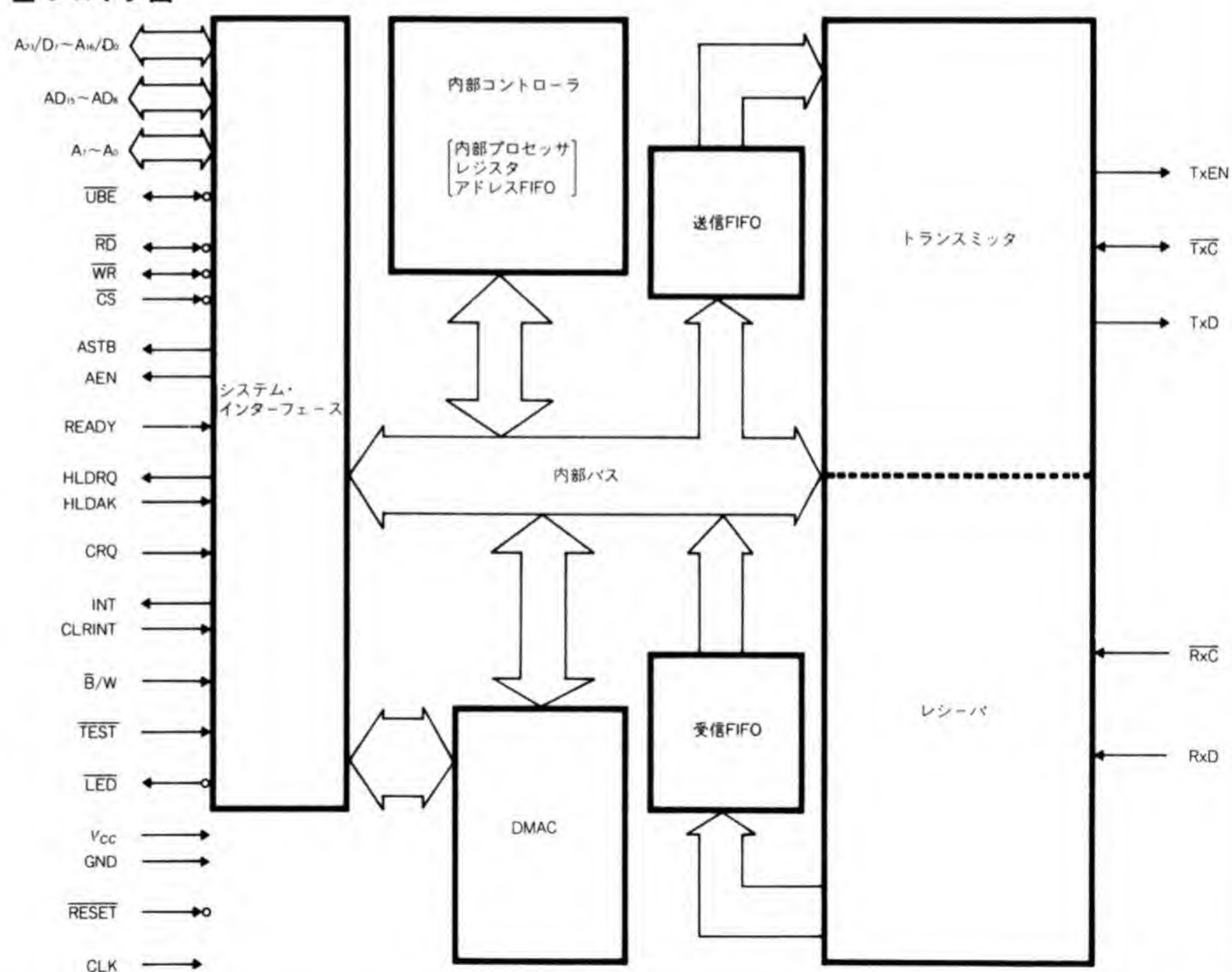
## ■ DC特性 ( $T_a = -40 \sim 85^\circ\text{C}$ , $V_{CC} = 5V \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	$0.7 \times V_{CC}^*$	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		15	pF

## ■ 特徴

- ・ オムニネット LAN プロトコルをサポートする CSMA コントローラ
- ・ 転送速度
  - オムニネット・プロトコル : 1 Mbps
  - オムニネット・プロトコル : 4 Mbps
- ・ コマンド・チェーン機能内蔵
- ・ DMA コントローラ内蔵

## ■ ブロック図





## ■端子機能

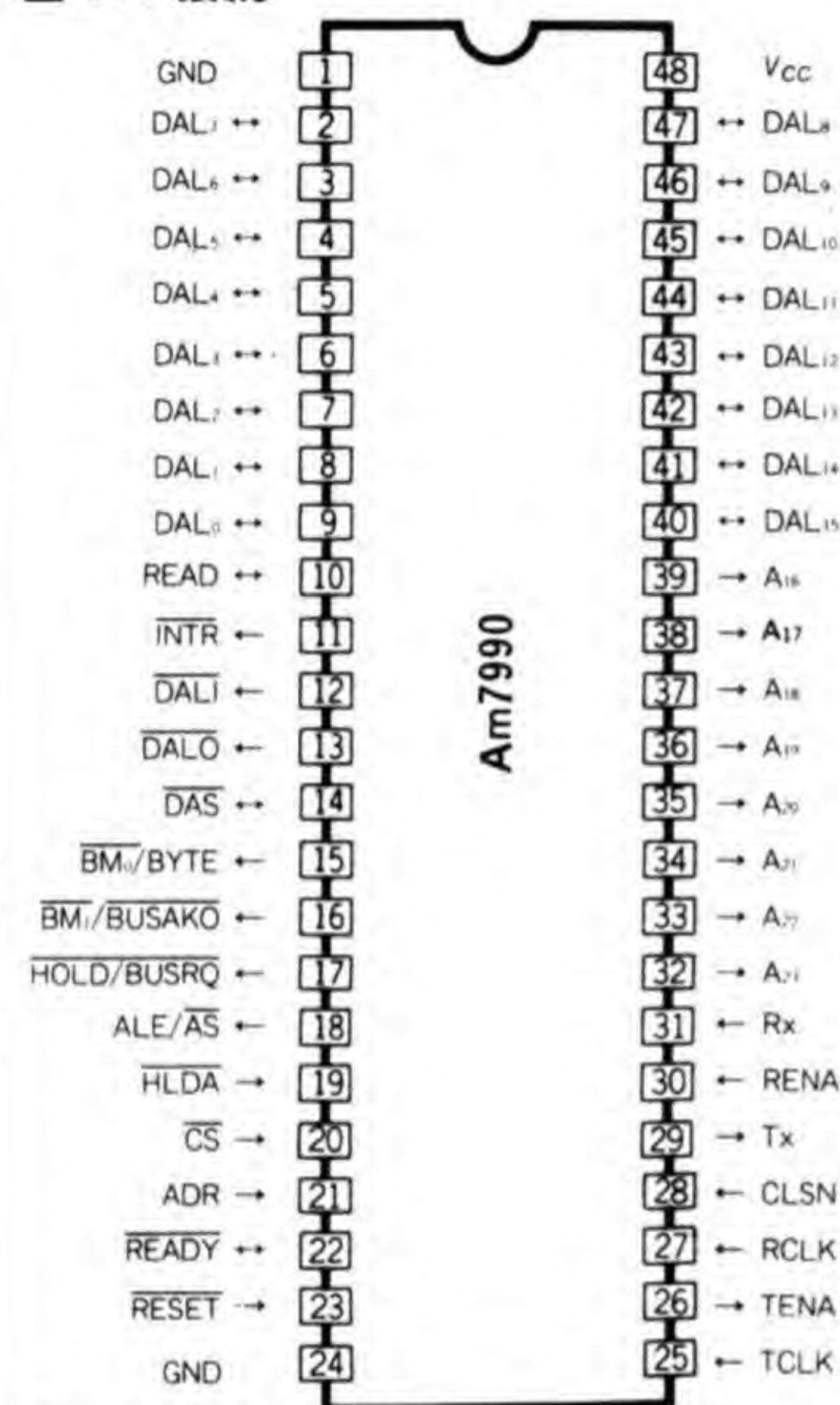
端子名	ピン番号	入出力	機能																				
CLK	11	入力	単相システム・クロック入力																				
TEST	10	入力	テスト端子。通常は“H”レベル																				
RESET	7	入力	チップ内部をクリアする。リセット後 μPD72105 はバス・スレーブになる																				
CS	38	入力	バス・スレーブ時に RD, WR 信号を有効にする																				
RD	39	入出力	3 ステートの制御信号。バス・スレーブ時には入力端子となり、外部プロセッサが μPD72105 の内部レジスタの内容を読み出す。バス・マスタ時には出力端子となり、μPD72105 が外部メモリの内容を読み出す																				
WR	40	入出力	3 ステートの制御信号。バス・スレーブ時には入力端子となり、外部プロセッサが μPD72105 の内部レジスタに書き込みを行う。バス・マスタ時には出力端子となり、μPD72105 が外部メモリに書き込みを行う																				
B/W	9	入力	バス・マスタ時にアクセスするデータ・バスを指定する。 B/W=0 バイト単位 (8 ビット) B/W=1 ワード単位 (16 ビット) 電源投入後、この端子の状態を変化させないこと																				
HLDRQ	44	出力	ホスト・プロセッサに対するホールド・リクエスト信号																				
HLDACK	45	入力	ホスト・プロセッサからのホールド・アクリッジ信号																				
AEN	48	出力	バス・マスタのときに、この信号はラッチした上位アドレスをイネーブルにし、システム・アドレス・バスへ出力させる																				
UBE	41	入出力	3 ステートの制御信号。バス・スレーブ時には入力となり、有効データが A <sub>16</sub> /D <sub>0</sub> ~A <sub>23</sub> /D <sub>7</sub> または AD <sub>8</sub> ~AD <sub>15</sub> のどちらにあるかを示す。 <table border="1"> <thead> <tr> <th>UBE</th><th>A<sub>0</sub></th><th>A<sub>16</sub>/D<sub>0</sub>~A<sub>23</sub>/D<sub>7</sub></th><th>AD<sub>8</sub>~AD<sub>15</sub></th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>○</td><td>×</td></tr> <tr> <td>0</td><td>1</td><td>×</td><td>○</td></tr> <tr> <td>1</td><td>0</td><td>○</td><td>×</td></tr> <tr> <td>1</td><td>1</td><td>○</td><td>×</td></tr> </tbody> </table> <p>バス・マスタ時は B/W 端子の状態によって、この端子の状態が変わる。          ▶ バイト転送モード (B/W=0) では UBE は常にハイ・インピーダンス。          ▶ ワード転送モード (B/W=1) では UBE は出力となり、有効データが A<sub>16</sub>/D<sub>0</sub>~A<sub>23</sub>/D<sub>7</sub> または AD<sub>8</sub>~AD<sub>15</sub> のどちらにあるかを示す</p>	UBE	A <sub>0</sub>	A <sub>16</sub> /D <sub>0</sub> ~A <sub>23</sub> /D <sub>7</sub>	AD <sub>8</sub> ~AD <sub>15</sub>	0	0	○	×	0	1	×	○	1	0	○	×	1	1	○	×
UBE	A <sub>0</sub>	A <sub>16</sub> /D <sub>0</sub> ~A <sub>23</sub> /D <sub>7</sub>	AD <sub>8</sub> ~AD <sub>15</sub>																				
0	0	○	×																				
0	1	×	○																				
1	0	○	×																				
1	1	○	×																				

端子名	ピン番号	入出力	機能
ASTB	47	出力	外部ラッチに上位アドレスをストローブするために用いる
READY	46	入力	メモリのレディ状態を示す。低速のメモリに適用させるために、μPD72105 が出力する RD, WR 信号幅を拡張するウェイト・サイクルでは、インアクティブにする
CRQ	1	入力	ホスト・システムが μPD72105 にコマンド実行を要求する信号
INT	42	出力	μPD72105 がコマンド実行を終了、またはバケットを受信したことを示す
CLRINT	43	入力	μPD72105 が出力する INT 信号をインアクティブにする信号
A <sub>0</sub> , A <sub>1</sub>	37, 35	入出力	双方向 3 ステートのアドレス・ライン。バス・マスタ時には出力となり、メモリ・アドレスの下位 2 ビットを示す。バス・スレーブ時には入力となり、外部プロセッサが μPD72105 にアクセスする I/O アドレスの下位 2 ビットを示す
A <sub>2</sub> ~A <sub>7</sub>	34~29	出力	3 ステートのアドレス・ライン。バス・マスタ時には出力となり、メモリ・アドレスのビット 2 からビット 7 を示す。バス・スレーブ時にはハイ・インピーダンスとなる
AD <sub>8</sub> ~AD <sub>15</sub>	28~21	入出力	双方向 3 ステートのアドレス/データ・バス。アドレスの中位 (ビット 8 からビット 15) とデータの上位 (ビット 8 からビット 15) を兼用する
A <sub>16</sub> /D <sub>0</sub> ~A <sub>23</sub> /D <sub>7</sub>	20~13	入出力	双方向 3 ステートのアドレス/データ・バス。アドレスの上位 (ビット 16 からビット 23) とデータの下位 (ビット 0 からビット 7) を兼用する
LED	8	出力	外部に LED を接続し、μPD72105 が正常に動作していることを示す
TxEN	6	出力	シリアル側の送信ドライバのイネーブル信号
TxC	4	入出力	DPLL モードを選択しているときには出力となり、μPD72105 内部で作られた送信クロックを出力する。DPLL モードを選択していないときには入力となり、外部から送信クロックを入力する
TxD	5	出力	シリアル送信データ
RxC	2	入力	DPLL モードを選択しているときには、DPLL のためのクロック入力となる。DPLL モードを選択していないときには、受信クロック入力となる。この場合は外部 DPLL が出力するクロックを入力する
RxD	3	入力	シリアル受信データ



# LAN Controller (Ethernet)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
消費電力	$P_D$	2.0	W
動作温度	$T_{OPR}$	-25~125	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

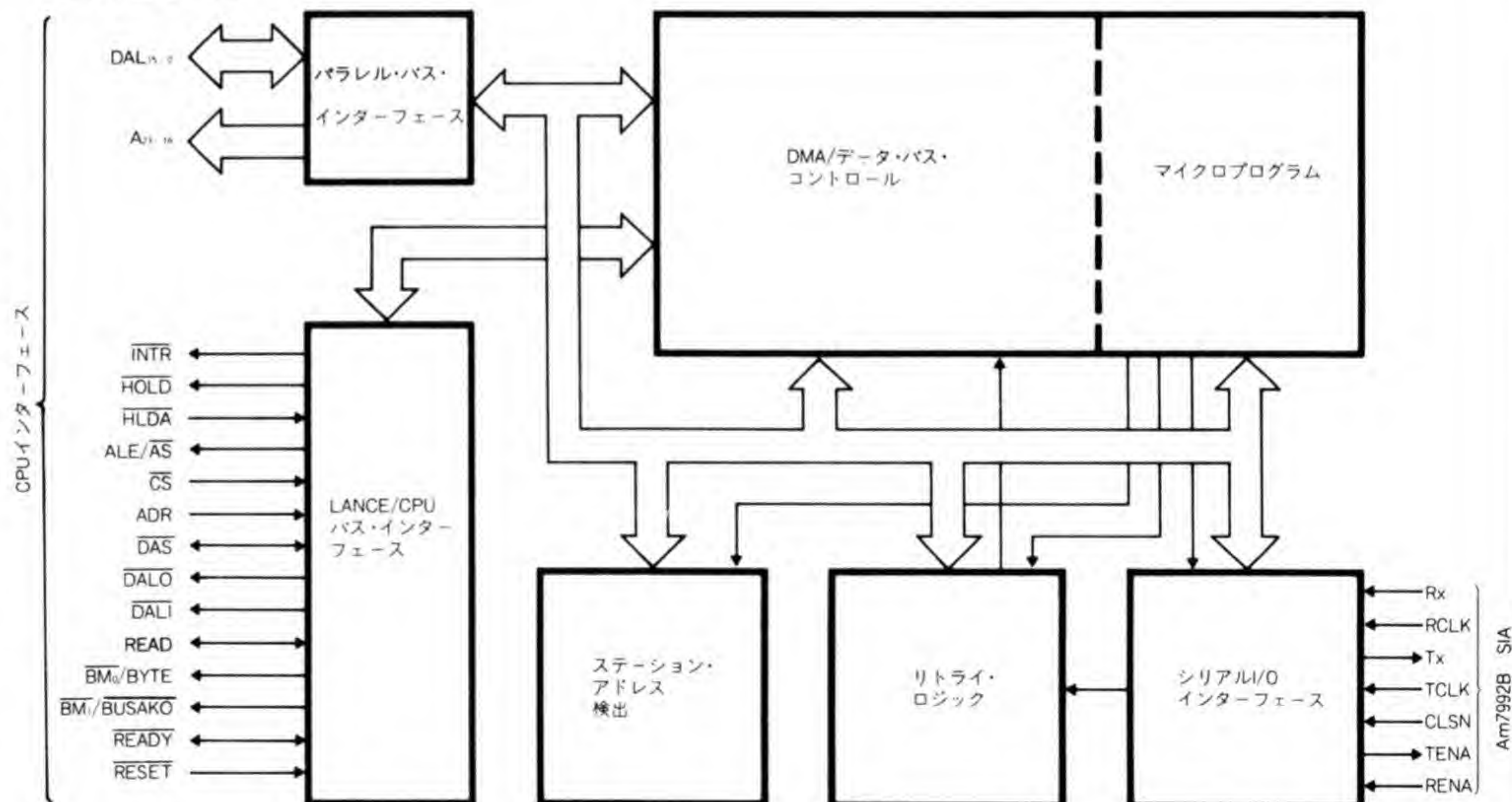
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 3.2\text{mA}$	0.5	V
$V_{OH}$	$I_{OH} = 0.4\text{mA}$	2.4*	V
$I_{IL}$	$V_{IN} = 0.4 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		10	pF

## ■ 特 徴

- ・イーサネットおよびIEEE802.3仕様に準拠したLANコントローラ
- ・オンボードDMAおよびバッファ管理機能内蔵
- ・48バイトFIFO内蔵
- ・バスマスタ・モードで、24ビット・リニア・アドレスリング
- ・ネットワークおよびパケット・エラーのレポート機能内蔵

- ・各種診断機能を内蔵  
CRC論理チェック  
内部/外部ループ・バック  
時間領域リフレクト・メータ
- ・Am7992と直接接続可能

## ■ ブロック図





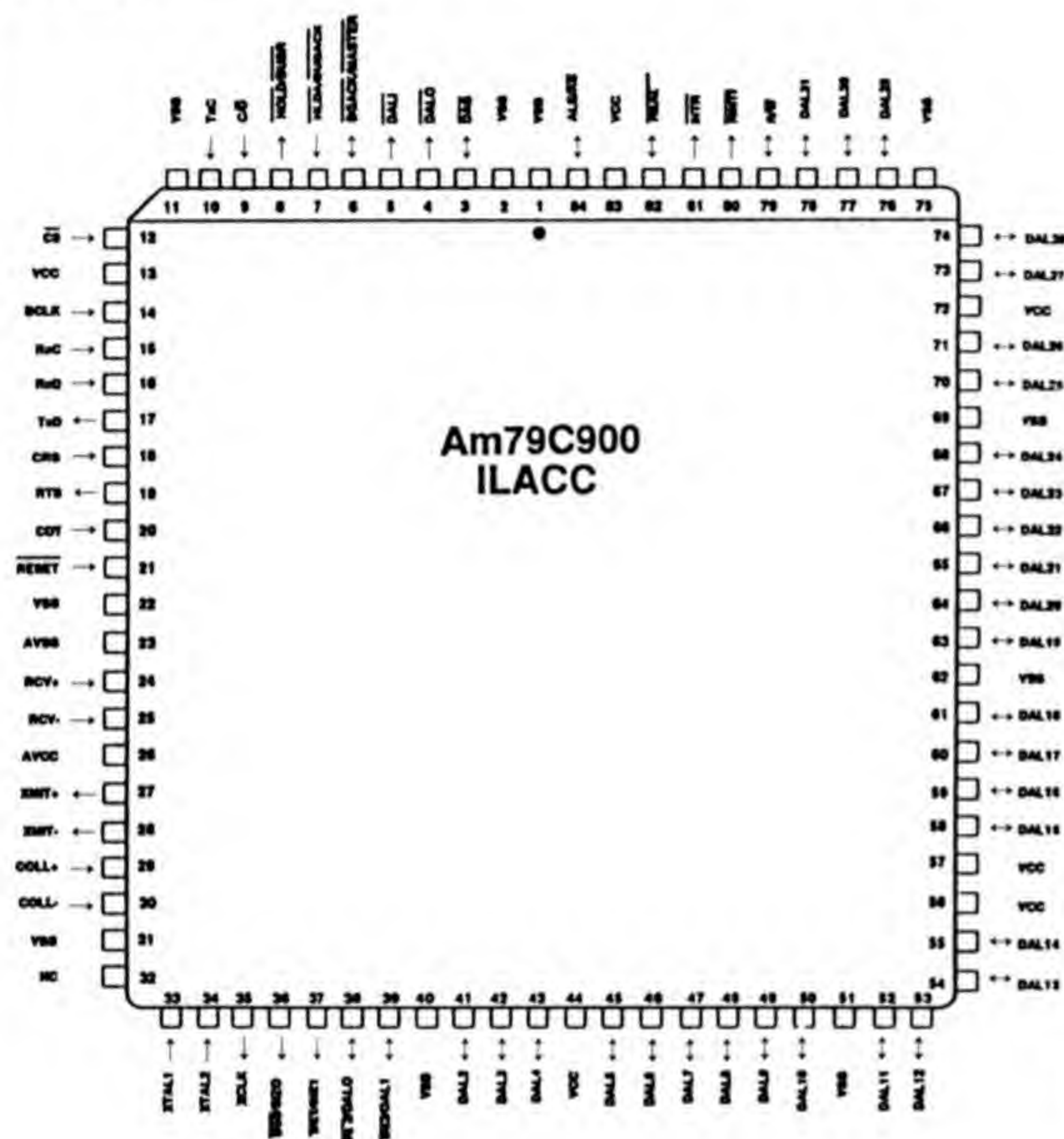
## ■端子機能

端子名	名称	ピン番号	入出力	機能
DAL <sub>0</sub> ~ DAL <sub>15</sub>	データ/アドレス・ライン	9~2, 47~40	入出力	多重アドレス/データ・バス
A <sub>16</sub> ~A <sub>23</sub>	上位アドレス・バス	39~32	出力	24ビット・アドレスをアクセスするために、DAL ラインを拡張するのに必要な追加アドレス・ビット
READ	リード	10	入出力	バス・サイクルでのオペレーションの種類を示す。この信号は Am7990 がバス・マスタのときは出力
$\overline{\text{BM}}_0/\text{BYTE}$ $\overline{\text{BM}}_1/\text{BUSAKO}$	バイト・マスク <sub>0</sub> /バイト バイト・マスク <sub>1</sub> /バス・リクエスト・デジィ・チェーン	15, 16	出力	ステータス・レジスタでプログラムされる。バイト・マスク設定時は、BM <sub>0</sub> 、BM <sub>1</sub> が DAL 上のバイトの状態を示す。バイト設定時は、バイト状態とデジィ・チェーン出力となる
$\overline{\text{CS}}$	チップ・セレクト	20	入力	$\overline{\text{CS}}$ が与えられたとき、Am7990 がデータ転送のスレーブ・デバイスであることを示す
ADR	レジスタ・アドレス・ポート・セレクト	21	入力	LANCE がスレーブのとき、二つのレジスタ・ポートのどれが指定されているかを示す。“L”はレジスタ・データ・ポートを指定、“H”がレジスタ・アドレス・ポートを指定
ALE/AS	アドレス・ラッチ・イネーブル	18	出力	DAL ラインをマルチプレクスし、バス・サイクルのアドレス期間を指定。このピンは CSR <sub>3</sub> のビット(01)を介してプログラム可能
$\overline{\text{DAS}}$	データ・ストローブ	14	入出力	バス・トランザクションのデータ期間を指定
$\overline{\text{DALO}}$	データ/アドレス・ライン・アウト	13	出力	外部バス・トランシーバ・コントロール・ライン $\overline{\text{DALO}}$ は、Am7990 が DAL ラインを使用するときに出される
$\overline{\text{DALI}}$	データ/アドレス・ライン・イン	12	出力	外部バス・トランシーバ・コントロール・ライン。Am7990 が DAL ラインから READ を行うときに出力される
$\overline{\text{HOLD}}/\text{BUSRQ}$	バス・ホールド要求	17	出力	Am7990 がメモリへアクセスするときに出される。このピンの機能は CSR <sub>3</sub> のビット 0 を通じてプログラムされる
$\overline{\text{HLDA}}$	バス・ホールド応答	19	入力	HOLD に対する応答
$\overline{\text{INTR}}$	割り込み	11	出力	要求信号で、アクティブのとき CSR <sub>0</sub> ステータス・フラグのひとつまたは複数がセットされていることを示す信号
Rx	受信	31	入力	受信ビット・ストリーム入力
Tx	送信	29	出力	送信ビット・ストリーム出力
TENA	送信イネーブル	26	出力	送信ビット・ストリーム出力イネーブル、出力時は有効な送信出力(Tx)をイネーブルにする
RCLK	受信クロック	27	入力	受信データに同期化された 10 MHz クロックで、入力ビット・ストリームを受信中にのみアクティブになる
CLSN	コリジョン	28	入力	チャンネル上で衝突が発生していることを示す論理入力
RENA	受信イネーブル	30	入力	チャンネル上にキャリアがあることを示す論理入力
TCLK	送信クロック	25	入力	10 MHz クロック入力
$\overline{\text{READY}}$	レディ	22	入出力	Am7990 がバス・マスタのとき、WRITE サイクルでのデータ受け取り、あるいは READ サイクルの DAL ラインにデータを出したことを示すバス・メモリからの非同期応答信号
$\overline{\text{RESET}}$	リセット	23	入力	リセット信号



# ILACC(Integrated Local Area Communication Controller)

## ■ピン接続



## ■特徴

- ・IEEE 802.3 (CSMA/CD) 規格準拠のデータリンク・コントローラ
- ・10BASE-5, 10BASE-2, 10BASE-T, 10BASE-FのLAN対応
- ・シリアル・インターフェース・エンコーダ/デコーダ内蔵
- ・32ビットCPUとインターフェース可能
- ・48バイトFIFO, DMAコントローラ, バッファ・マネージメント機構内蔵

## ■最大定格

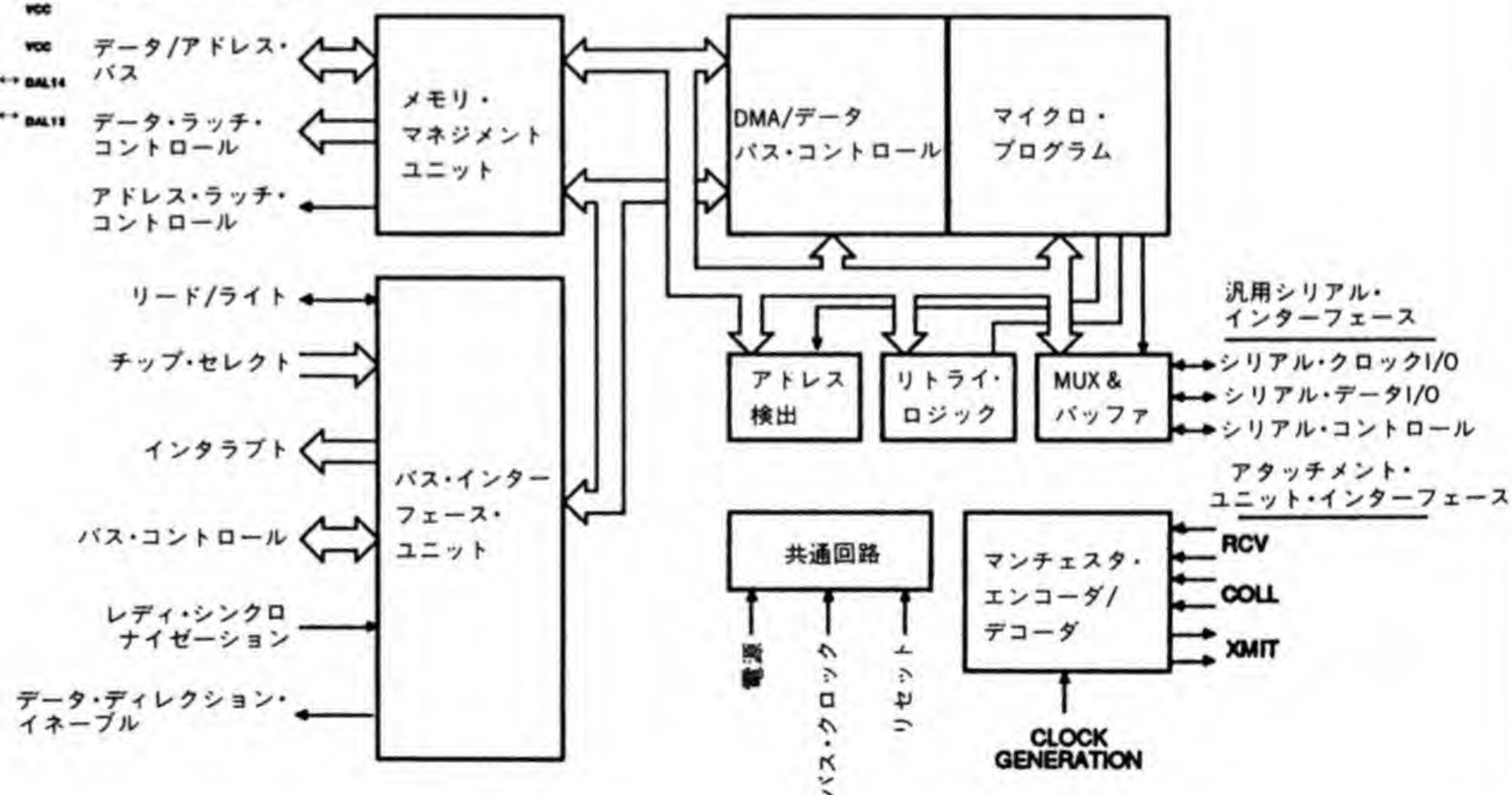
項目	記号	定格	単位
電源電圧	$V_{CC}$		V
入力電圧	$V_{IN}$		V
消費電力	$P_D$	1.0	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■DC特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=4\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=0.4\text{mA}$	2.4*	V
$I_{OFL}$	$V_{OUT}=0.4\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		10	pF

## ■ブロック図





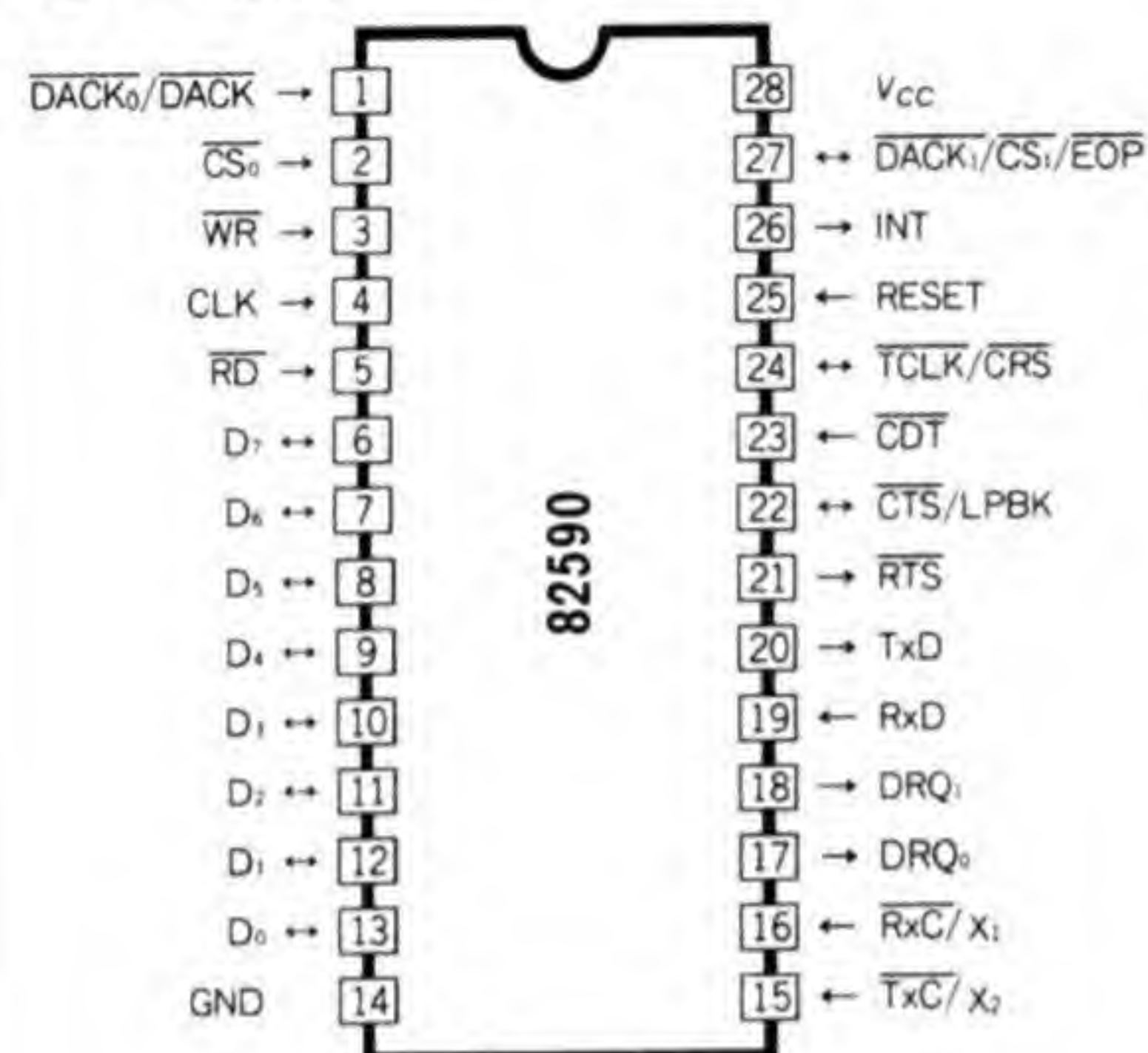
■端子機能

端子名	ピン番号	入出力	機能
ALE/ $\overline{AS}$	84	入出力	アドレス・ラッチ・イネーブル／アドレス・ストロブ信号で、極性は内部レジスタでプログラマブル
BCLK	14	入力	CPUインターフェース用のバス・クロック信号入力
$\overline{BGACK}/$ MASTER	6	入出力	680×0ファミリのCPU接続に用い、バス・マスタとなった時に“L”を出力する
C/ $\overline{D}$	9	入力	“L”のときデータ・ポート選択, “H”のときレジスタ・アドレス・ポート選択
CDT	20	入力	衝突検出 (Collision Detect) 信号入力, 汎用のシリアル入力インターフェースで使用
COLL+, COLL-	29, 30	入力	イーサネット用の衝突検出信号入力, 汎用のシリアル入力インターフェース用途ではGND接続
CRS	18	入力	外部トランシーバを介してデータを入力する時に使用するキャリア・センス信号入力
$\overline{CS}$	12	入力	内部レジスタへのアクセス時に使用するチップ・セレクト信号入力
$\overline{BE2}/DAL0,$ $\overline{BE3}/DAL1$	38, 39	入出力	データ・アドレス, バイト・イネーブル信号, 80×86ではメモリ・バンク・セレクト信号 $\overline{BE2}$ , $\overline{BE3}$ として使用される, データ入出力バスDAL0, DAL1としても使用される
DAL2~DAL31	41~78	入出力	データ入出力バス
$\overline{DALI}, \overline{DALO}$	5, 4	出力	外部バス・トランシーバ用のコントロール信号
$\overline{DAS}$	3	入出力	データ・ストロブ信号
$\overline{HLDA}/\overline{BUSACK}$	7	入力	80×86CPUのHOLD ACK, 680×0 CPUのBUS ACK信号入力
$\overline{HOLD}/\overline{BUSR}$	8	出力	80×86CPUのHOLD, 680×0 CPUのBUS Request信号
$\overline{INTR}$	81	出力	割り込み要求信号出力
RCV+, RCV-	24, 25	入力	ネットワークからのマンチェスタ信号入力端子
R/ $\overline{W}$	79	入出力	リード／ライト信号
$\overline{READYL}$	82	入出力	バス・スレーブの時はウェイト要求出力, バス・マスタの時はターゲット・メモリからのACK入力
$\overline{RESET}$	21	入力	システム・リセット入力
$\overline{RINTR}$	80	出力	割り込みレシーブを示す出力信号
RTS	19	出力	送信要求 (リクエスト・トゥ・SEND) 信号
RxC	15	入力	レシーブ・データ用のクロック信号入力
RxD	16	入力	シリアル・レシーブ・データ入力
TxC	10	入力	トランスミット・データ用のクロック信号入力
TxD	17	出力	シリアル・トランスミット・データ出力
$\overline{BE0}/SIZ0,$ $\overline{BE1}/SIZ1$	36, 37	出力	サイズ, バイト・イネーブル信号, 680×0, Am29000ではSIZ0, SIZ1出力, 80×86では $\overline{BE0}$ , $\overline{BE1}$ として使用される
XCLK	35	出力	水晶発振子の生成クロック信号出力で, BCLKへの入力に使用できる
XTAL1, XTAL2	33, 34	入力	水晶発振回路
XMIT+, XMIT-	27, 28	出力	ネットワークへのマンチェスタ信号出力端子



# LAN Controller (CSMA/CD)

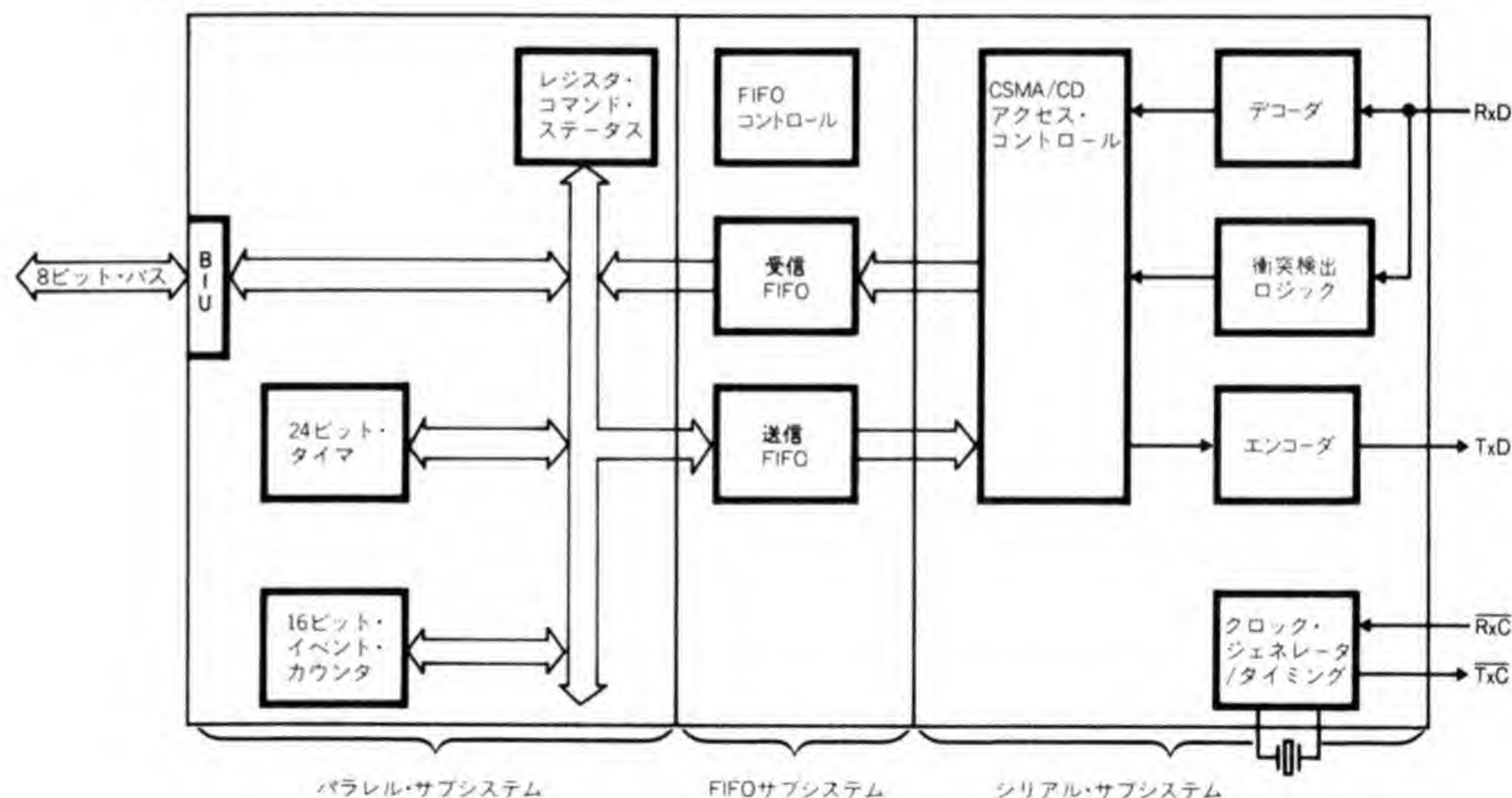
## ■ ピン接続



## ■ 特 徴

- ・ StarLAN, Ethernet用のCSMA/CD機能内蔵のLANコントローラ
- ・ マンチェスタ, ディファレンシャル・マンチェスタ, NRZ I 符号エンコーディング/デコーディング機能内蔵
- ・ データ転送速度は動作モードにより異なる。  
内部エンコーダ/デコーダ使用: 4Mbps  
外部エンコーダ/デコーダ使用: 20Mbps
- ・ ローカル/リモート・パワーダウン・モード内蔵
- ・ 24ビットの汎用タイマを内蔵
- ・ 82588とピン/ソフト・コンパチブル

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-1.0~7.0	V
入力電圧	$V_{IN}$	-1.0~7.0	V
消費電力	$P_D$	0.55	W
動作温度	$T_{OPR}$	0~85	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a = 0 \sim 85^{\circ}\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 2.0\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0.45 \sim V_{CC} - 0.45$	$\pm 10$	$\mu\text{A}$
$I_{IH}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		10	pF



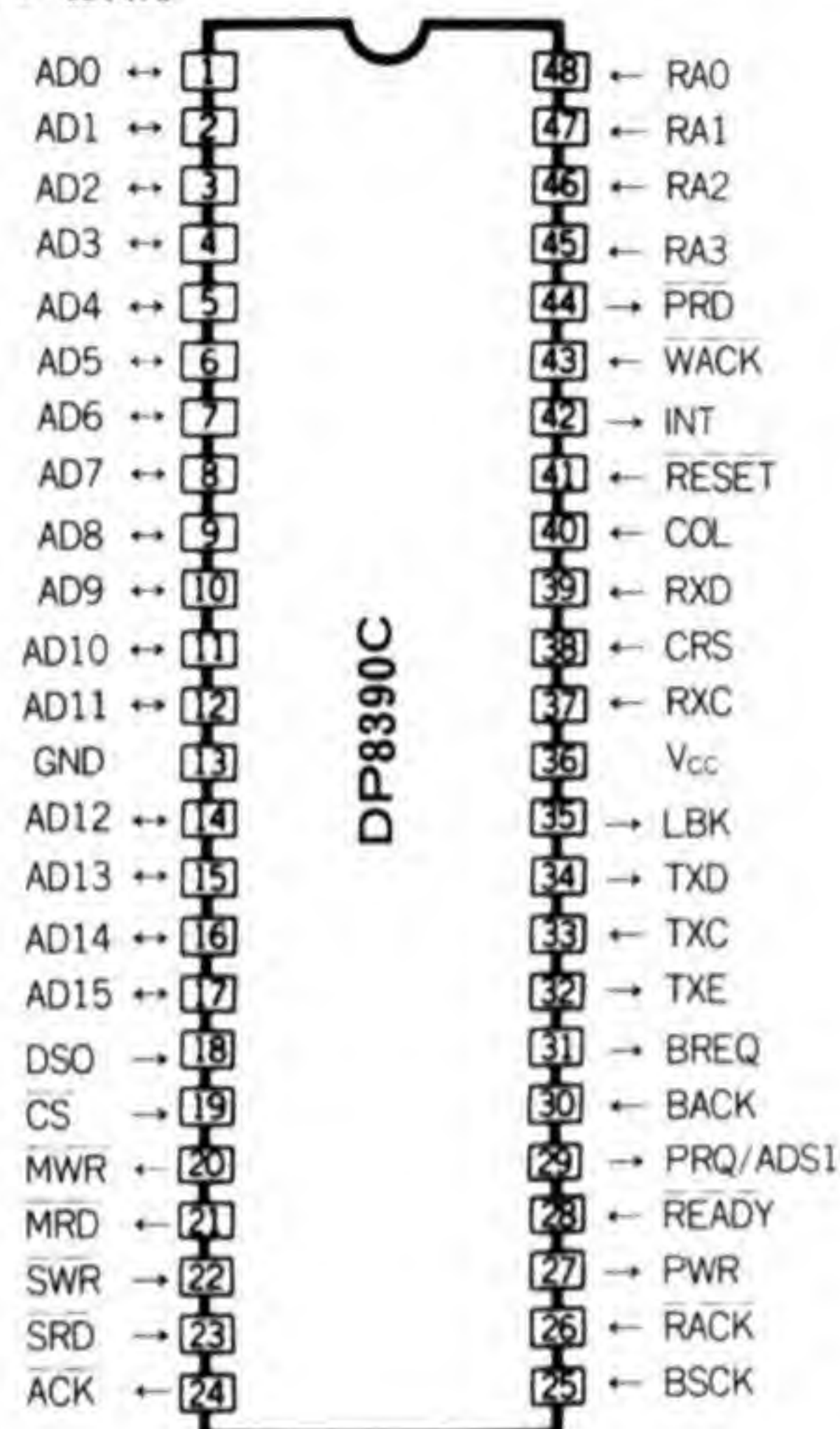
■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
D <sub>7</sub> ~D <sub>0</sub>	データ・バス	6~13	入出力	CPU とのデータ、コマンド、ステータスのやりとりを行うデータ・バス
$\overline{\text{RD}}$	リード	5	入 力	データ、ステータスを読み出すためのリード制御信号
$\overline{\text{WR}}$	ライト	3	入 力	データ、コマンドを書き込むためのライト制御信号
$\overline{\text{CS}}_0$	ポート 0 のチップ・セレクト	2	入 力	ポート 0 のチップ・セレクト信号。"L" アクティブ
RESET	リセット	25	入 力	リセット信号。内部クロック同期のため、リセット時は 4 クロック以上 "H" に保つ
INT	インタラプト	26	出 力	割り込み信号の出力端子
DRQ <sub>0</sub> DRQ <sub>1</sub>	DMA リクエスト(チャンネル 0) DMA リクエスト(チャンネル 1)	17, 18	出 力	チャンネル 0, 1 の DMA 要求信号出力。DMA コントローラと接続した場合は、 $\overline{\text{EOP}}$ と共に使用し、送受信状態のやりとりを行う。
$\overline{\text{DACK}}_0$ / $\overline{\text{DACK}}$	DMA アクノリッジ(チャンネル 0)/ DMA アクノリッジ	1	入 力	チャンネル 0 の DMA アクノリッジ入力。 $\overline{\text{DACK}}_1$ / $\overline{\text{CS}}_1$ / $\overline{\text{EOP}}$ 端子が、 $\overline{\text{CS}}_1$ / $\overline{\text{EOP}}$ にプログラムされているときは、チャンネル 0, 1 の DMA アクノリッジ信号となる
$\overline{\text{DACK}}_1$ / $\overline{\text{CS}}_1$ / $\overline{\text{EOP}}$	DMA アクノリッジ(チャンネル 1)/ チップ・セレクト/プロセス・エンド	27	入出力	$\overline{\text{DACK}}_1$ または $\overline{\text{CS}}_1$ / $\overline{\text{EOP}}$ にプログラム可能な多重機能端子。 $\overline{\text{DACK}}_1$ はチャンネル 1 の DMA アクノリッジ入力。 $\overline{\text{CS}}_1$ / $\overline{\text{EOP}}$ は、ポート 1 のチップ・セレクト入力、および DMA サービス終了出力
CLK	クロック	4	入 力	システム・クロック入力端子
X <sub>1</sub> , X <sub>2</sub>	水晶接続	15, 16	入 力	内部クロック用水晶振動子接続端子(高集積モード)
$\overline{\text{TxC}}$	送信クロック	15	入 力	TxD データ送信のための同期クロック入力(高速モード)
$\overline{\text{RxC}}$	受信クロック	16	入 力	RxD データ受信のための同期クロック入力(高速モード)
$\overline{\text{TCLK}}$ / $\overline{\text{CRS}}$	送信クロック/キャリア・センス	24	入出力	高集積モードでは、送信クロック出力となる。高速モードでは、キャリア・センス信号入力となる
$\overline{\text{CDT}}$	コリジョン・ディテクト	23	入 力	衝突検出を知らせるための入力端子
RxD	受信データ	19	入 力	シリアル受信データ入力
TxD	送信データ	20	出 力	シリアル送信データ出力
$\overline{\text{RTS}}$	リクエスト・センド	21	出 力	送信要求出力。"L" アクティブ
$\overline{\text{CTS}}$ / LPBK	クリア・ツゥ・センド/ ループバック	22	入出力	送信可能入力。"L" アクティブで、データ送信を開始する。また、外部デバイスに対するループバック出力としても使用できる



# NIC(Network Interface Controller)

## ■ピン接続



## ■最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■DC特性

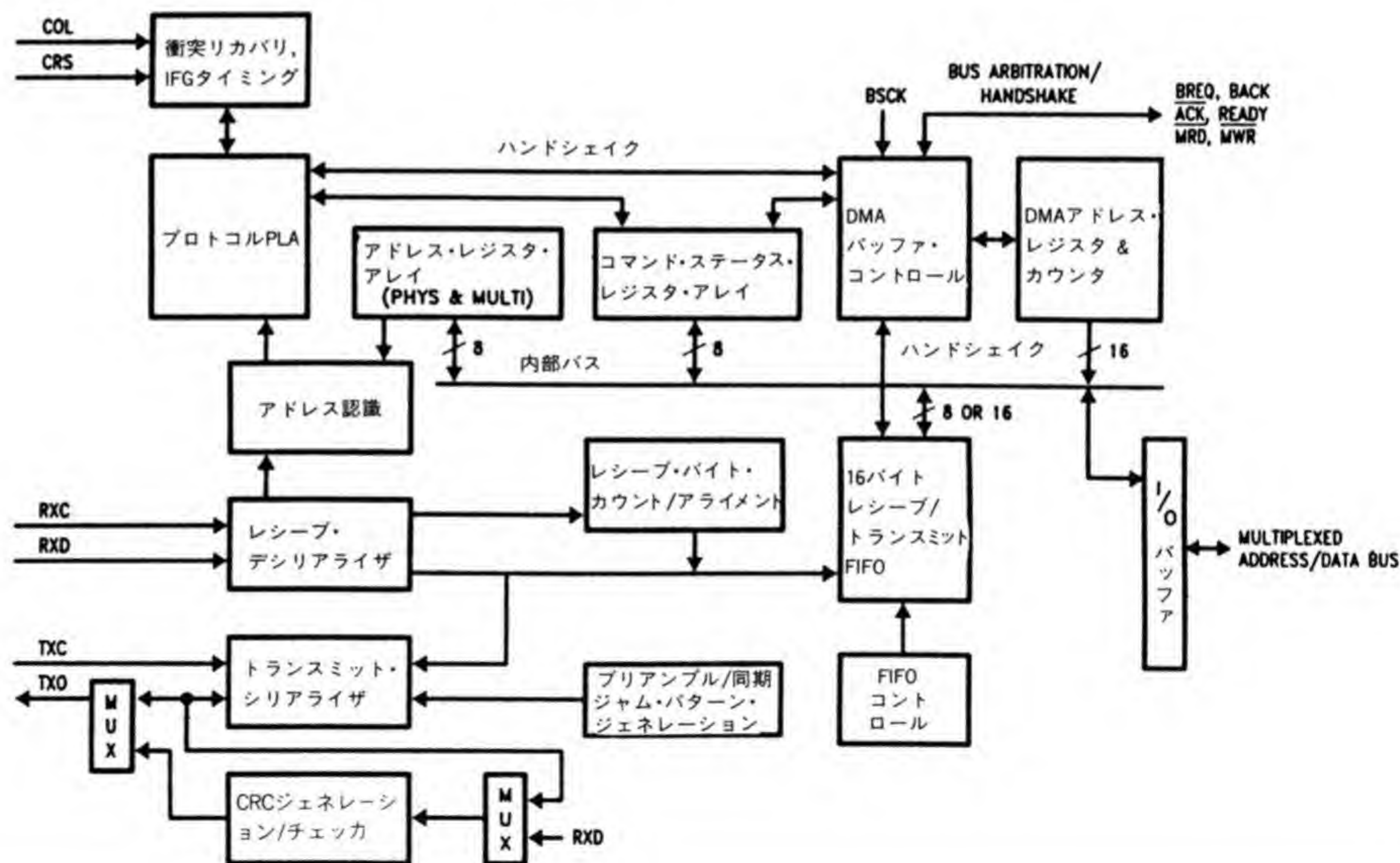
( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=2\text{mA}$	3.5*	V
$I_{OFL}$	$V_{OUT}=0$ , $V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0$ , $V_{CC}$	$\pm 1.0$	$\mu\text{A}$

## ■特徴

- IEEE 802.3 (CSMA/CD) 規格準拠のデータリンク・コントローラ
- Ethernet, Thin-Ethernet, StarLANコンパチブル
- 8/16/32ビットのCPUと接続可能
- 二つの16ビットDMAチャネル内蔵
- プログラマブルなスレッシュホールドをもった16バイトの内部FIFO
- ネットワークの統計情報記録機能内蔵
- フィジカル・アドレス, マルチキャスト・アドレス, およびブロードキャスト・アドレスのフィルタリング機能内蔵
- 互いに独立したシステム・クロックとネットワーク・クロックを利用可能

## ■ブロック図



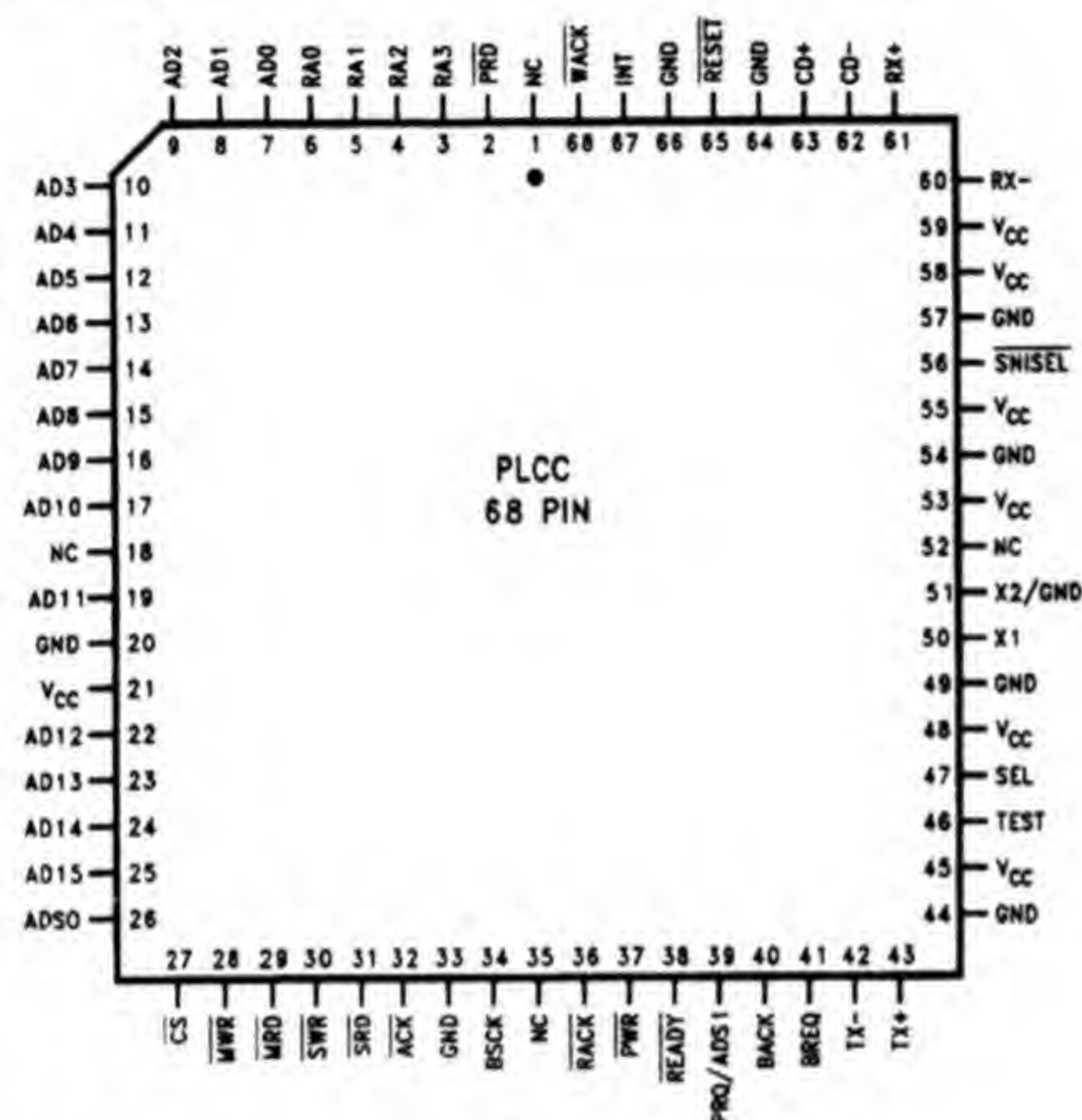


## ■端子機能

端子名	名称	ピン番号	入出力	機能
AI0~AD15	アドレス/データ0~15	1~12, 14~17	入出力	アドレス/データ用のマルチプレクス・バス
DS0	アドレス・ストロープ0	18	入力	DMAがアクティブでないときRA0~RA3のラッチ用信号入力、バス・マスタのときA0~A15のラッチ用信号出力
$\overline{CS}$	チップ・セレクト	19	入力	内部レジスタをアクセスするためのチップ・セレクト
$\overline{MWR}$	マスタ・ライト・ストロープ	20	出力	DMA転送のためのストロープ信号で、メモリへの書き込みサイクルの間アクティブ・ローとなる
$\overline{MRD}$	マスタ・リード・ストロープ	21	出力	DMA転送のためのストロープ信号で、メモリからの読み出しサイクルの間アクティブ・ローとなる
$\overline{SWR}$	スレーブ・ライト・ストロープ	22	入力	RA0~3で選ばれた内部レジスタへ書き込むためのCPUからのストロープ
$\overline{SRD}$	スレーブ・リード・ストロープ	23	入力	RA0~3で選ばれた内部レジスタから読み取るためのCPUからのストロープ
$\overline{ACK}$	アクノリッジ	24	出力	DP8390がCPUにアクセス許可をしたときにアクティブ・ローとなる
RA0~RA3	レジスタ・アドレス	45~48	入力	内部レジスタの選択のためのアドレス入力
$\overline{PRD}$	ポート・リード	44	出力	ローカル・メモリへのメモリ書き込みサイクルのとき、外部ラッチからローカル・バスへデータをイネーブルする
$\overline{WACK}$	ライト・アクノリッジ	43	入力	データが外部ラッチへ書き込まれたことを示すために、システムからDP8390Cへ伝達される
INT	インタラプト	42	出力	送受信あるいはDMA転送終了後、CPUの応答を要求する割り込み要求出力
$\overline{RESET}$	リセット	41	入力	システム・リセット入力
$\overline{BREQ}$	バス・リクエスト	31	出力	DMA転送のために、バス要求に使われる信号、アクティブ・ハイ
BACK	バス・アクノリッジ	30	入力	CPUがDP8390Cへバスを譲ったことを示す、アクティブ・ハイ
PRQ/ADS1	ポート・リクエスト/アドレス・ストロープ1	29	出力	32ビット・モードでは、A16~A31を外部へラッチするためのストロープ信号、16ビット・モードでは、リモートDMA転送に使われる
$\overline{READY}$	レディ	28	入力	DMA転送のときウェイト・ステートを挿入するためにセットされる
$\overline{PWR}$	ポート・ライト	27	出力	リモート・リード転送のとき、ホスト・メモリへの転送のためデータを外部へラッチするために使われるストロープ信号
$\overline{RACK}$	リード・アクノリッジ	26	入力	システムのDMAあるいはCPUが外部ラッチに置かれたデータを読み終わったことを示す
BSCK	バス・クロック	25	入力	DMAメモリ・サイクル期間を定めるのに使われるバス・クロック
COL	衝突検出	40	入力	同軸ケーブル上で衝突が検出されたときアクティブになる
RXD	レシーブ・データ	39	入力	シリアルNRZ入力データ
CRS	キャリア・センス	38	入力	DP8391からの入力で、同軸ケーブル上にキャリアが存在することを示す
RXC	レシーブ・クロック	37	入力	DP8391からの再同期をとったクロック入力、RXDの入力同期に使われる
LBK	ループ・バック	35	出力	DP8391を通してループ・バックを行うようにプログラムされているときハイになる
TXD	トランスミット・データ	34	出力	シリアルNRZ出力データ
TXC	トランスミット・クロック	33	入力	送信データ用のクロック
TXE	トランスミット・イネーブル	32	出力	パケットの最初のビットがTXD上で有効となったときハイとなり、最後のビットがTXDから出力された後ローとなる



## ■ピン接続



## ■最大定格

項目	記号	定 格	単位
電源電圧	V <sub>CC</sub>	-0.5~+7.0	V
入力電圧	V <sub>IN</sub>	-0.5~V <sub>CC</sub> +0.5	V
動作温度	T <sub>OPR</sub>	0~+70	℃
保存温度	T <sub>STG</sub>	-65~+150	℃

### ■ DC 特性

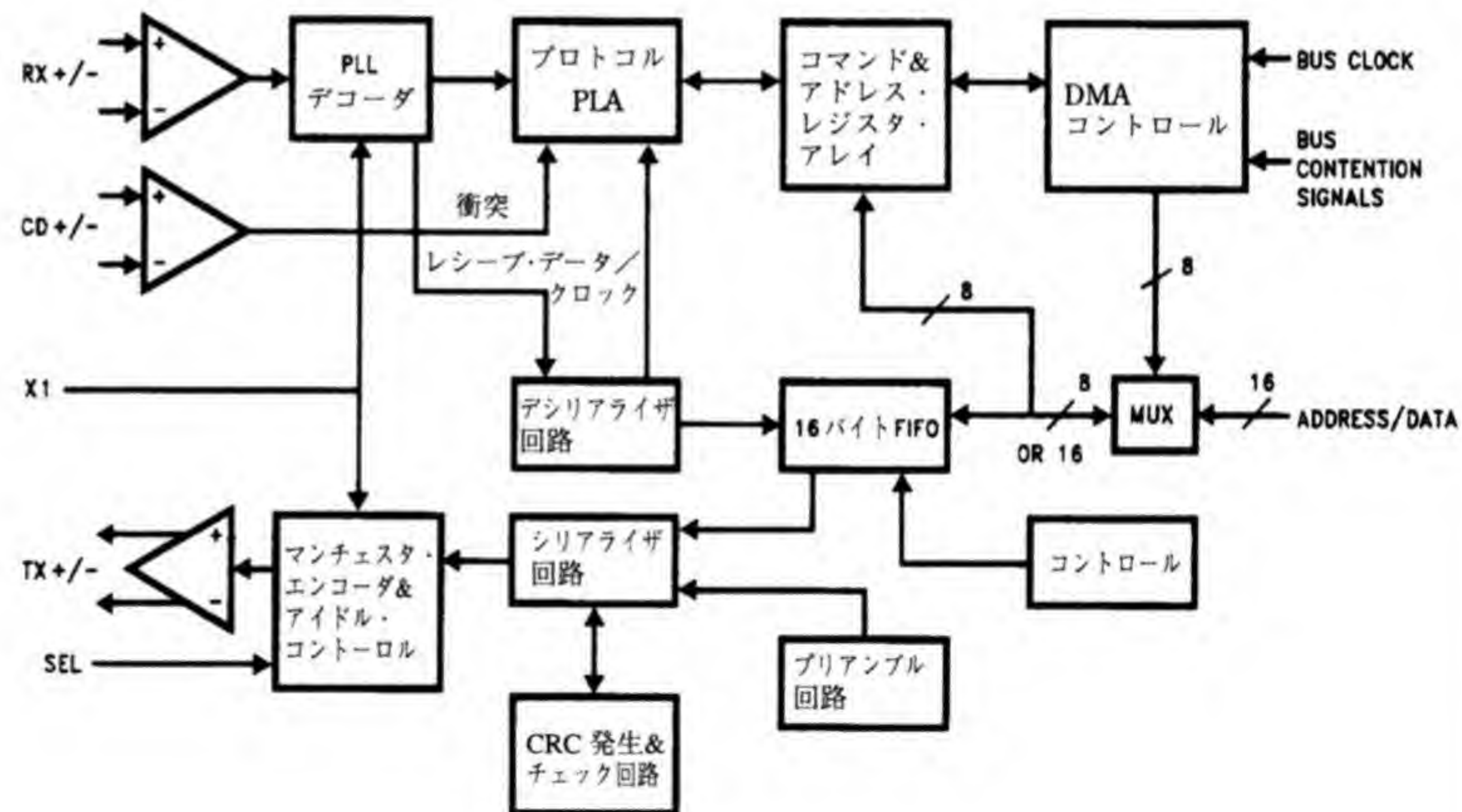
 $(T_a = 0 \sim 70^\circ\text{C}, V_{cc} = 5\text{V} \pm 5\%)$ 

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2mA$	0.4	V
$V_{OH}$	$I_{IL}=2mA$	3.5*	V
$I_{OL}$	$V_{OUT}=0, V_{CC}$	$\pm 10$	$\mu A$
$I_{IL}$	$V_{IN}=0, V_{CC}$	$\pm 1$	$\mu A$
$C_{IN}$	$Ta=25^{\circ}C, f=1MHz$	7	pF

## ■特 徴

- ・ IEEE802.3 に準拠し 10BASE5, 10BASE2, 10BASE-T 用のネットワーク・コントローラ
- ・ 二つの 16 バイト DMA チャンネル内蔵
- ・ 二つの 16 バイト FIFO 内蔵
- ・ 物理アドレス、マルチキャスト・アドレス、ブロードキャスト・アドレスのフィルタリングが可能
- ・ 10Mbps のマンチェスター・エンコーダ／デコーダとクロック・リカバリ機能内蔵
- ・ 3 レベルのループバック診断が可能
- ・ 独立したシステム・クロックとネットワーク・クロックを使用

## ■ブロック図





## ■端子機能

## バス・インターフェース

端子名	ピン番号	入出力	機能
PRD	2	出力	ホスト・リッド・システム・メモリからローカル・メモリへの非同期データ転送用信号
RA0-RA3	3-6	入力	レジスタ・アドレス選択端子
AD0-AD15	7-17, 19 22-25	入出力	アドレス/データ・バス
ADS0	26	入出力	アドレス・ストロブ・0信号
CS	27	出力	チップ・セレクト信号
MWR	28	出力	DMA転送時のマスタ・ライト・ストロブ・信号
MRD	29	出力	DMA転送時のマスタ・リッド・ストロブ・信号
SWR	30	入力	CPUから内部レジスタへの書き込み時のスレーブ・ライト・ストロブ・信号
SRD	31	入力	CPUから内部レジスタの読み出し時のスレーブ・リッド・ストロブ・信号
ACK	32	出力	CPUへのアクセスが可能なことを示すアクリッジ信号で、WAIT期間の挿入に使用する
BSCK	34	入力	バス・クロック信号で、DMAメモリ・サイクルの構成用に使用する
RACK	36	入力	リッド・アクリッジ信号。DMAあるいはCPUがSNICの外部ラッチ・データを読みとったことを示す
PWR	37	出力	SNICから外部ラッチへのストロブ・信号として使用されるホスト・ライト信号
READY	38	入力	DMA転送時のレディ信号
PRQ/ADS1	39	出力	ホスト・リクエスト/アドレス・ストロブ・1信号 32ビット・モードではA16-31のラッチ用ストロブ・信号 16ビット・モードではDMA転送用のホスト・リクエスト
BACK	40	入力	CPUからのバス・アクリッジ信号
BREQ	41	出力	DMA転送のためのバス・リクエスト信号

端子名	ピン番号	入出力	機能
RESET	65	入力	ハード・リセット信号
INT	67	出力	SNICからCPUへの割り込み要求信号
WACK	68	入力	データが外部ラッチに書き込まれたことを示すライト・アクリッジ信号の入力端子

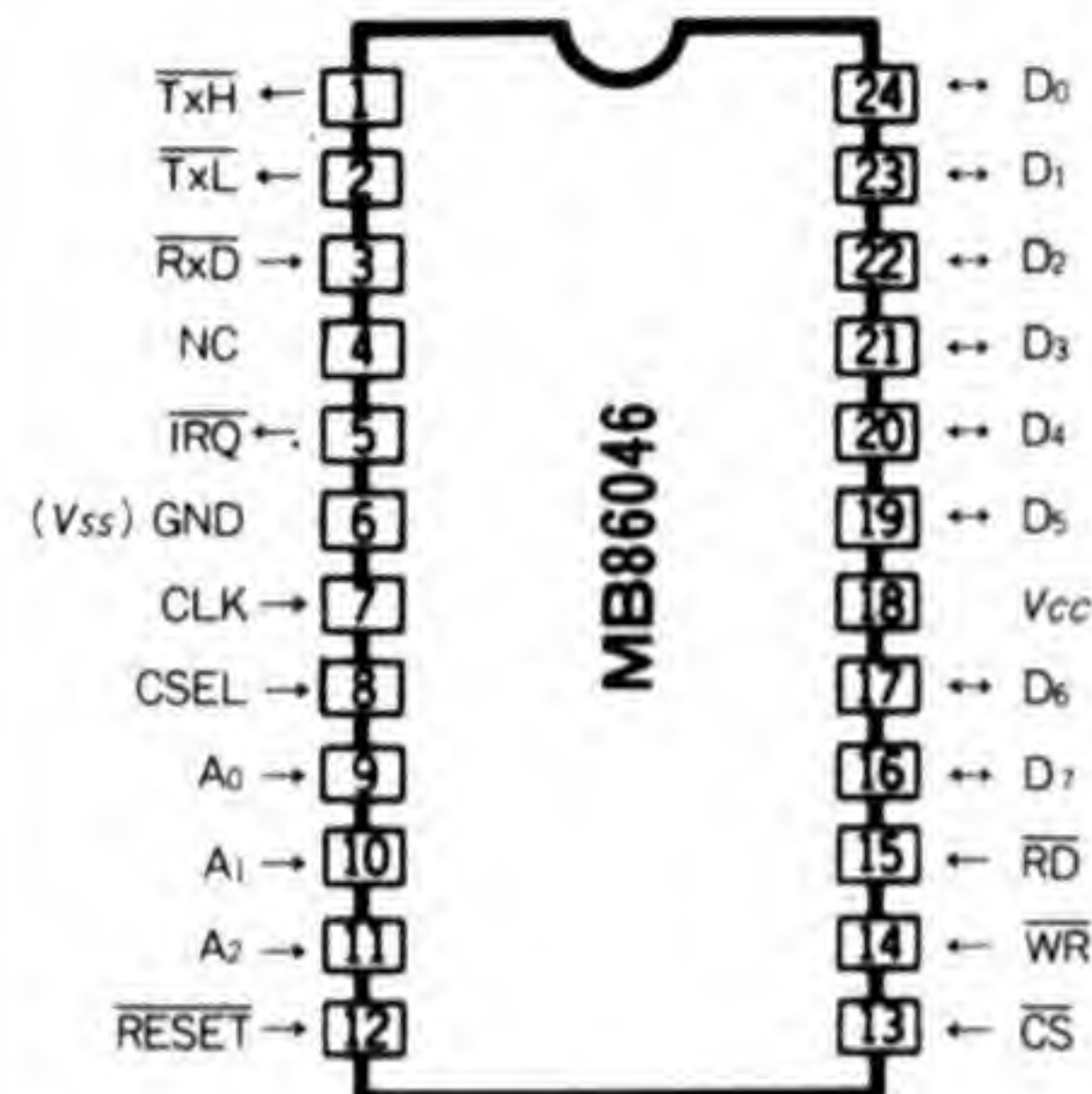
## ネットワーク・インターフェース

端子名	ピン番号	入出力	機能
TX- TX+	42 43	出力	トランスミッタへの送信データ出力 (AUI送信-とAUI送信+)
TEST	46	入力	テスト端子(通常時はプル・ダウンにする)
SEL	47	入力	モード・セレクト信号 H: TX-とTX+がアイドル状態で同一電圧 L: アイドル時、TX+がTX-よりポジティブ
X1	50	入力	外部オシレータ信号入力
GND/X2	51	出力	通常はGND
SNISEL	56	入力	テスト端子(通常時はプル・アップにする)
RX- RX+	60 61	入力	トランスミッタからの受信データ入力 (AUI受信-とAUI受信+)
CD- CD+	62 63	入力	トランスミッタからのコリジョン検出信号入力 (AUIコリジョン-とAUIコリジョン+)



# Home Bus Controller

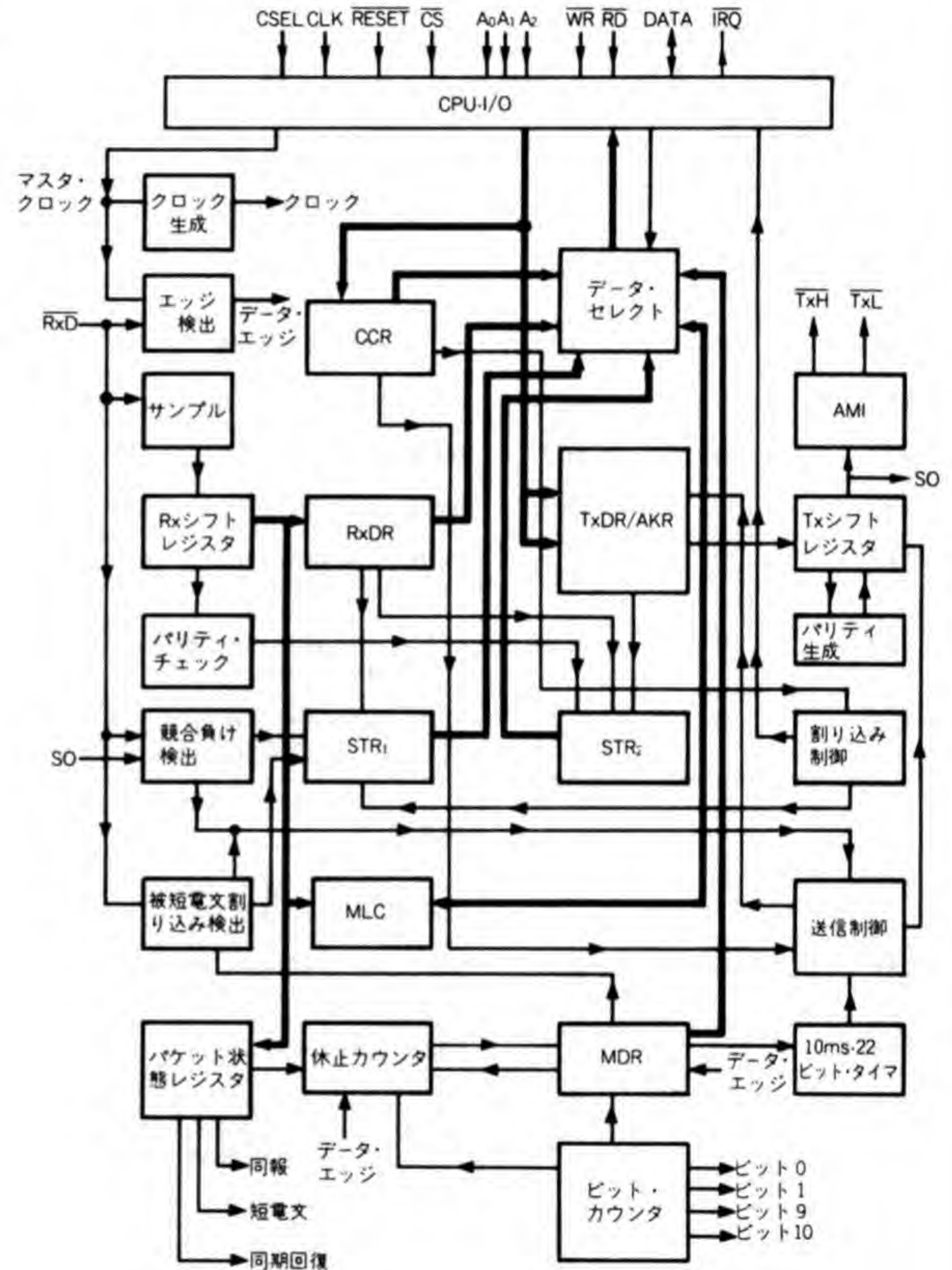
## ■ ピン接続



## ■ 特徴

- ・ E I A J のホーム・バス・システム規格準拠のプロトコル・コントローラで、レイヤ1と2をサポート
- ・ ホーム・バス規格のパケット構造や複雑な時間タイミングを判定して動作する
- ・ スタート・ビットの位置/幅検出によるノイズ・ガード機能を内蔵
- ・ カウンタ/レジスタ方式による状態モニタ機能
- ・ ACK/NAK送信専用レジスタ内蔵
- ・ 異常時における自動同期回復機能をもつ
- ・ 各種エラー検出機能をもつ

## ■ ブロック図



## ■ 最大定格

項 目	記号	測定条件	定 格		単 位
			min	max	
電源電圧	$V_{CC}$	$V_{SS}=0V$	$V_{SS}-0.5$	+6.0	V
入力電圧	$V_I$	$V_{SS}=0V$	$V_{SS}-0.5$	$V_{CC}+0.5$	V
出力電圧	$V_O$	$V_{SS}=0V$	$V_{SS}-0.5$	$V_{CC}+0.5$	V
出力電流(注)	$I_{OS}$	$V_O = V_{CC}$	—	+70	mA
		$V_O = 0V$	—	-40	mA
動作温度	$T_{OPR}$	$V_O = 0V$	-25	+85	°C
保存温度	$T_{STG}$		-40	+125	°C

(注)  $V_{CC}=6.0V$ , 1端子1秒間の場合

## ■ DC特性

( $T_a = -20 \sim 70^\circ C$ ,  $V_{CC} = 5V \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.6*	V
$V_{OL}$	$I_{OL} = 3.2mA$	0.4	V
$V_{OH}$	$I_{OH} = 0.4mA$	4.0*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu A$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu A$
$C_{IN}$		9	pF



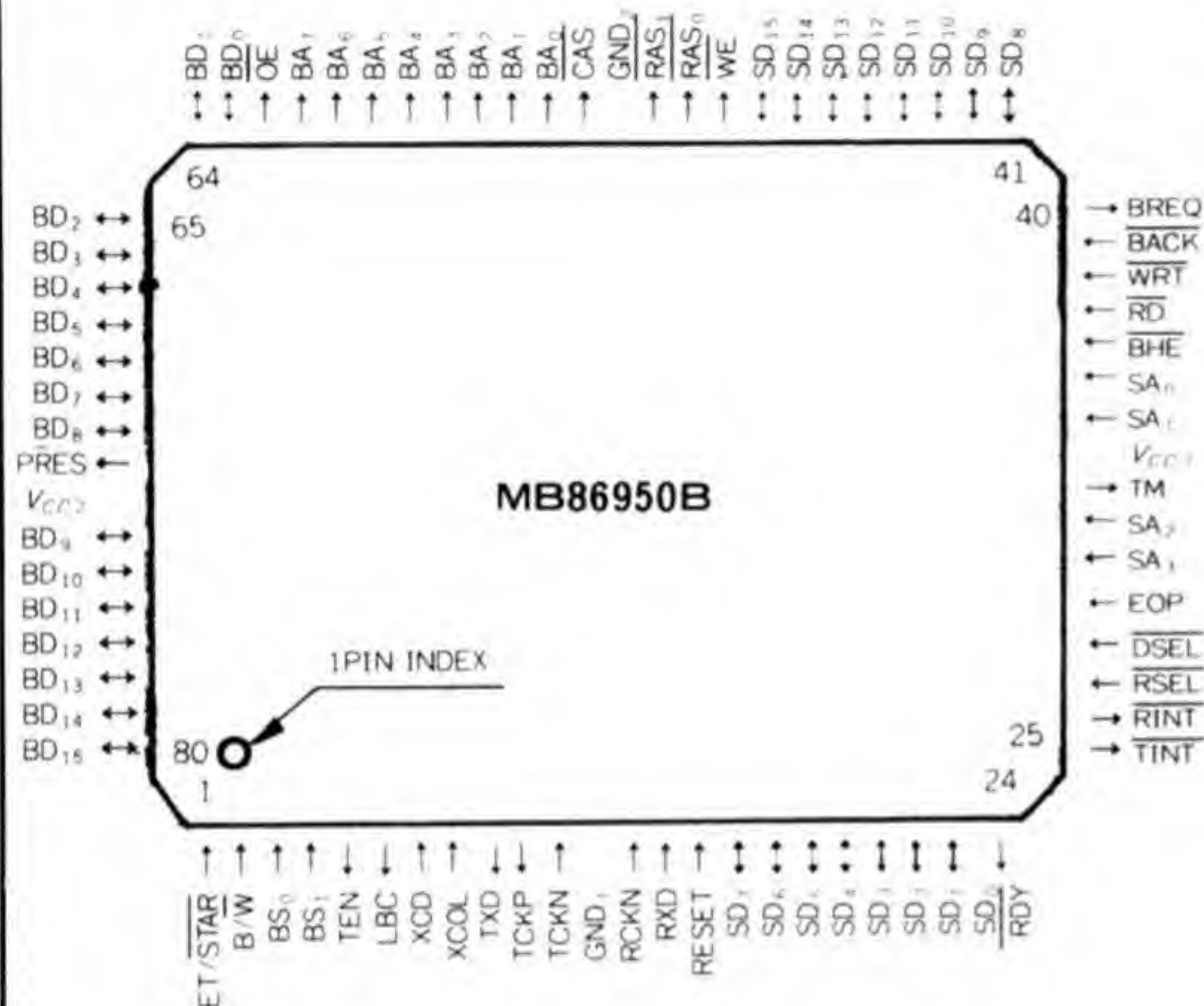
## ■ 端子機能

端子名	名 称	ピン番号	入 出 力	機 能
$\overline{\text{RxD}}$	HB データ入力	3	入 力	ホーム・バスの制御信号入力端子
$\overline{\text{TxH}}$	HB データ(+)方向	1	出 力	ホーム・バスの制御信号出力端子。 (+)方向データが出力される。 スタート・ビットは必ずこの端子から出力される
$\overline{\text{TxL}}$	HB データ(-)方向	2	出 力	ホーム・バスの制御信号出力端子。 (-)方向データが出力される
$\text{A}_0 \sim \text{A}_2$	レジスタ・アドレス	9 ~ 11	入 力	内部レジスタ選択端子。 $\text{A}_2, \text{A}_1, \text{A}_0$ により, $\text{TxDR}, \text{RxDR}, \text{AKR}, \text{CCR}, \text{STR}_1, \text{STR}_2, \text{MDR}, \text{MLC}$ のいずれかが選択される
$\overline{\text{WR}}$	ライト	14	入 力	$\overline{\text{CS}} = "L"$ の状態で $\overline{\text{WR}}$ を "L" にすると, CPU から本 IC へデータを書き込むことができる
$\overline{\text{RD}}$	リード	15	入 力	$\overline{\text{CS}} = "L"$ の状態で $\overline{\text{RD}}$ を "L" にすると, 本 IC のデータが CPU のデータ・バスに出力される
$\overline{\text{CS}}$	チップ・セレクト	13	入 力	チップ選択信号の端子。 $\overline{\text{CS}} = "L"$ のとき, CPU とのデータ転送が可能となる
$\overline{\text{RESET}}$	リセット	12	入 力	$\overline{\text{RESET}} = "L"$ にすると, すべての送受信動作が停止する。リセット期間は, $3.2\mu\text{s}$ 以上保持する必要がある
$\text{D}_0 \sim \text{D}_5$ $\text{D}_6 \sim \text{D}_7$	データ入出力	24 ~ 19 17 ~ 16	入出力	8ビットの双方向性3ステートの入出力端子。 $\overline{\text{CS}} = "H"$ のとき, この端子はハイ・インピーダンス状態となる
$\overline{\text{IRQ}}$	割り込み	5	出 力	CPU への割り込み要求端子。 割り込みが発生したときに "L" になる
CLK	クロック入力	7	入 力	基本クロック入力端子。 4.9152MHz か 614.4kHz のクロックを入力できる
CSEL	クロック・セレクト	8	入 力	基本クロック入力のセレクト端子。 $\text{CSEL} = "L"$ のとき 4.9152MHz が, $\text{CSEL} = "H"$ のとき 614.4kHz が選択される



# LAN [Controller]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3~6.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.3$	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-40~125	°C

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

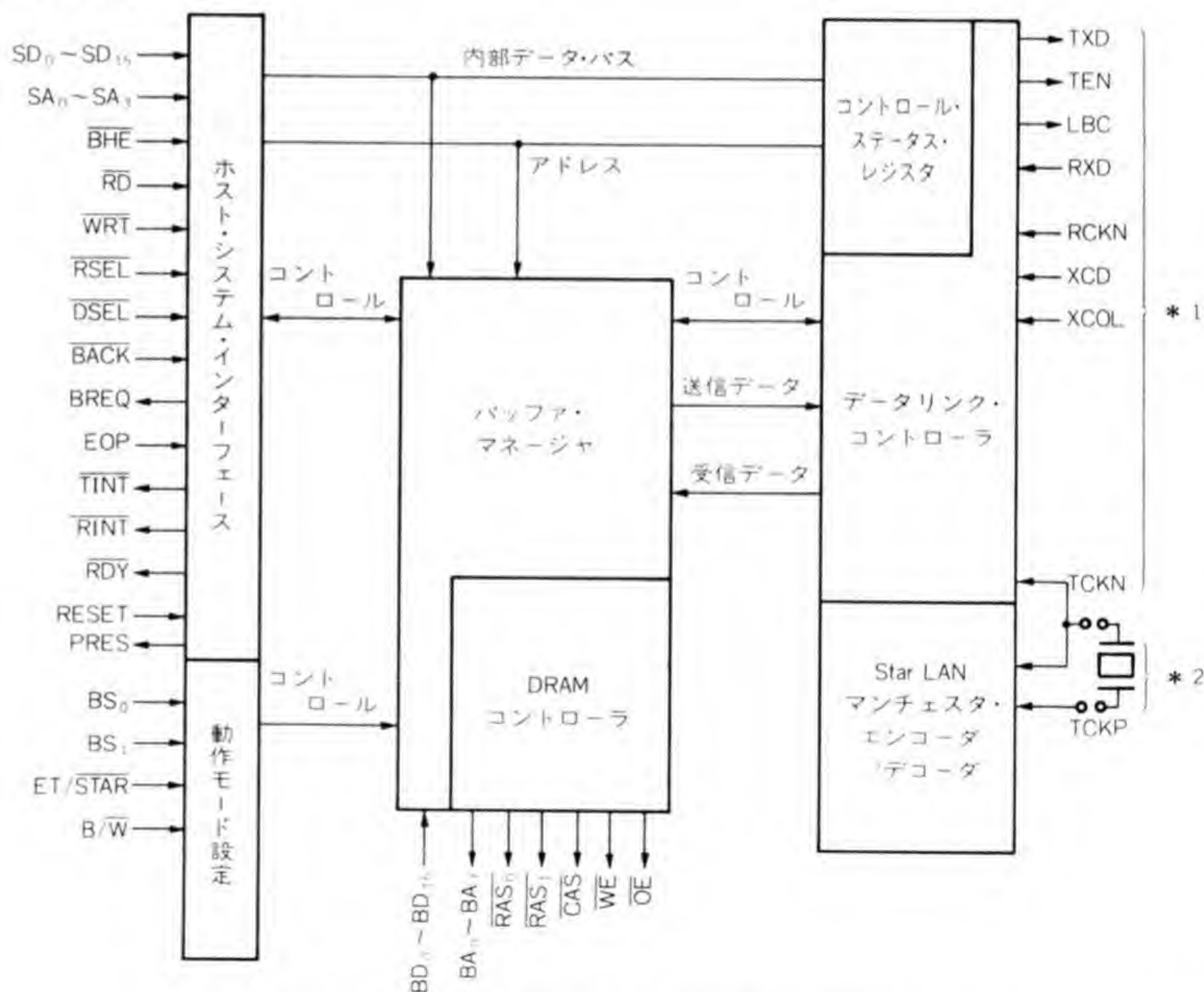
記号	測定条件	max/min*	単位
$V_{IH}$		0.8	V
$V_{IL}$		2.2*	V
$V_{OL}$	$I_{OL} = 3.2\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 0.4\text{mA}$	4.2*	V
$I_{IL}$	$V_{IS} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$V_{CC} = V_I = 0\text{V}$ $f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	9	pF

## ■ 特徴

- ・ IEEE 802.3 (CSMA/CD) 規格準拠のデータリンク・コントローラ
- ・ 内蔵バッファ・メモリ・コントローラが、すべてのバッファ・メモリの転送とバッファ・データ・エリアの割当を管理する
- ・ 専用DRAMバッファ・メモリ・サイズは 8K, 16K, 32K, 64K バイトから選択可能

- ・ データ・バス幅は、8/16ビット選択可能
- ・ StarLAN用に 1Mbps のマンチェスタ・エンコーダ・デコーダを内蔵
- ・ DMA転送をサポート
- ・ 内部レジスタはホストCPUから直接アクセス可能
- ・ システム・バスに対して、3.3Mワード/秒までのデータ転送をサポート

## ■ ブロック図



\* 1 MB502A Ethernet エンコーダ/デコーダまたは、Star LAN用ライン・ドライバ/レシーバに接続

\* 2 Star LAN時、10MHzのX'tal を接続



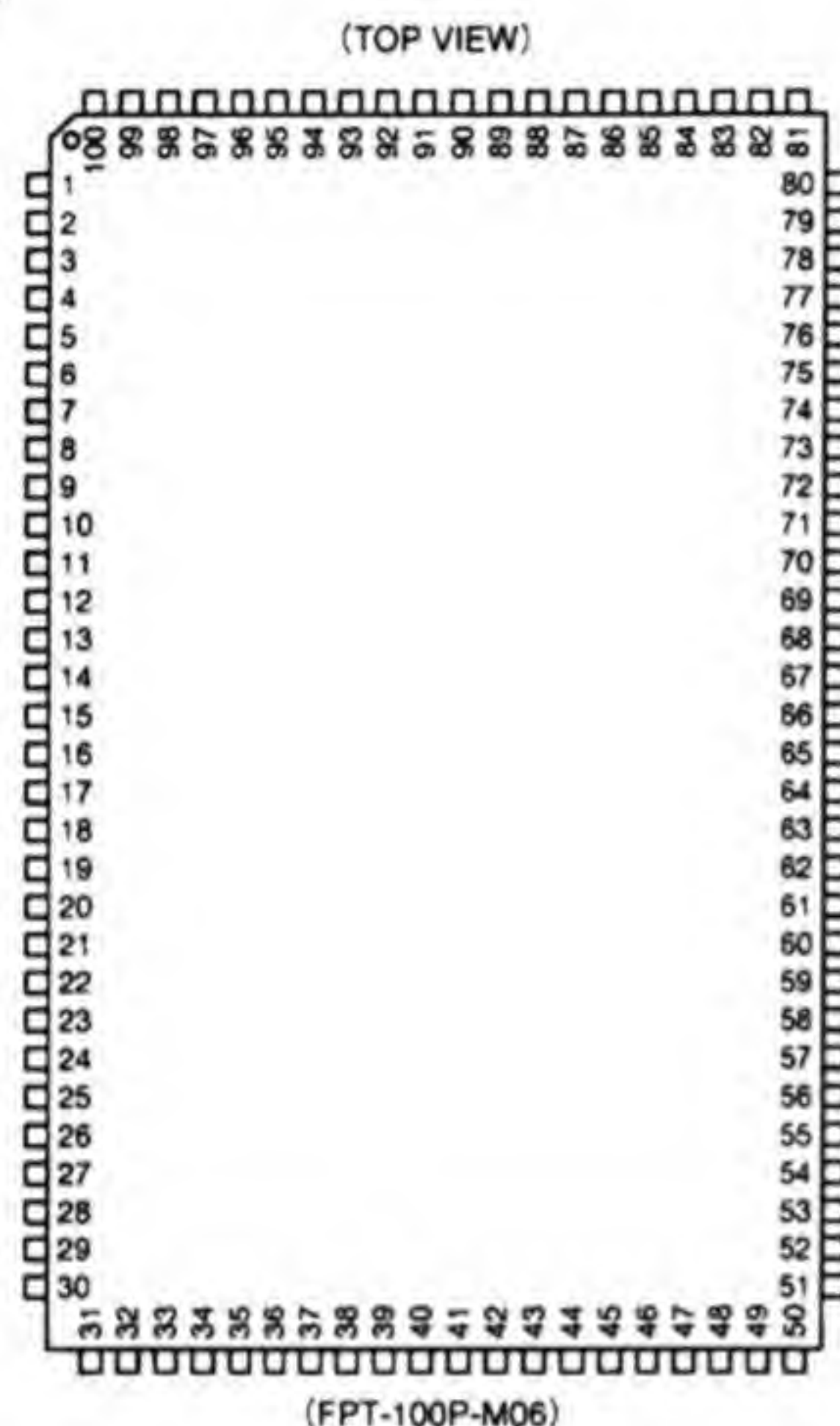
## ■端子機能

端子名	ピン番号	入出力	機能
ET/STAR	1	入力	動作モードを選択する端子
B/W	2	入力	データ・バス幅を選択する端子
BS <sub>0</sub> , BS <sub>1</sub>	3, 4	入力	バッファサイズ選択用端子
TEN	5	出力	有効なバケットの最初のビットが出力された時にアクティブになり、TxD ピンからデータが転送されている間はその状態が保持される
LBC	6	出力	ループ・バックの制御を行う
XCD	7	入力	ネットワーク上でのキャリア信号の検出を示す
XCOL	8	入力	ネットワーク上で衝突が検出された時にアクティブにする
TxD	9	出力	データ出力端子
TCKD	10		Star LAN 用として使用する場合のみ有効となる端子で、水晶振動子を接続する
TCKN	11	入力	転送クロックの入力端子
RCKN	13	入力	入力データ同期用クロック入力端子
RxD	14	入力	受信データ入力用の端子
RESET	15	入力	ハードウェア・リセットの端子
SD <sub>15</sub> ~SD <sub>8</sub> SD <sub>7</sub> ~SD <sub>0</sub>	48~41 16~23	入出力	システム・データ・バス
RDY	24	出力	ホスト・システムとのハンドシェイクにおいて READY を示す出力端子
TINT	25	出力	正常に送信終了した場合または送信中にエラーが発生した場合の割り込み要求
RINT	26	出力	正常にバケットの受信を終了した、または受信中になんらかのエラーが発生した場合の割り込み要求
RSEL	27	入力	レジスタに対してリード/ライトを行う時にアクティブにする
DSEL	28	入力	バッファ・メモリ間でのデータのリード/ライトを行う時にアクティブにする
EOP	29	入力	バッファ・メモリとホスト・システム間で DMA 転送が終了した事示すための入力
SA <sub>3</sub> , SA <sub>2</sub> SA <sub>1</sub> , SA <sub>0</sub>	30, 31 34, 35	入力	レジスタやデータ・ポートを選択するのに使用する
TM	32	出力	汎用ポートとして使用すること、外部ハードウェアを制御することが可能
BHE	36	入力	バイト/ワードを制御する

端子名	ピン番号	入出力	機能
RD	37	入力	レジスタまたはバッファ・メモリのリード時にアクティブにする
WRT	38	入力	レジスタまたはバッファ・メモリのライト時にアクティブにする
BACK	39	入力	DMAC のアクノリッジ信号を接続する
BREQ	40	出力	DMAC に対しての DMA 転送要求信号
PRES	72	出力	0900H の特殊データ・バケットを受信したことを示す
WE	49	出力	DRAM のバッファ・メモリにライトする時にアクティブになる
RAS <sub>0</sub> RAS <sub>1</sub>	50 51	出力	ロウ・アドレス・ストロープ
CAS	53	出力	DRAM バッファ・メモリのカラム・アドレス・ストロープ信号
BA <sub>7</sub> ~BA <sub>0</sub>	61~54	出力	本端子により DRAM バッファ・メモリの 64k バイトをアドレスすることができる
OE	62	出力	リードの際にバッファ・メモリをイネーブルするために使用する
BD <sub>15</sub> ~BD <sub>9</sub> BD <sub>8</sub> ~BD <sub>0</sub>	80~74 71~63	入出力	DRAM バッファ・メモリと本 LSI 間のデータ・バス



## ■ピン接続



## ■最大定格

項目	記号	定 格	単位
電源電圧	$V_{DD}$	-0.5 ~ +6.0	V
入力電圧	$V_{IN}$	-0.5 ~ $V_{DD} + 0.5$	V
動作温度	$T_{OPR}$	-25 ~ +85	℃
保存温度	$T_{STG}$	-40 ~ +125	℃

## ■DC 特性

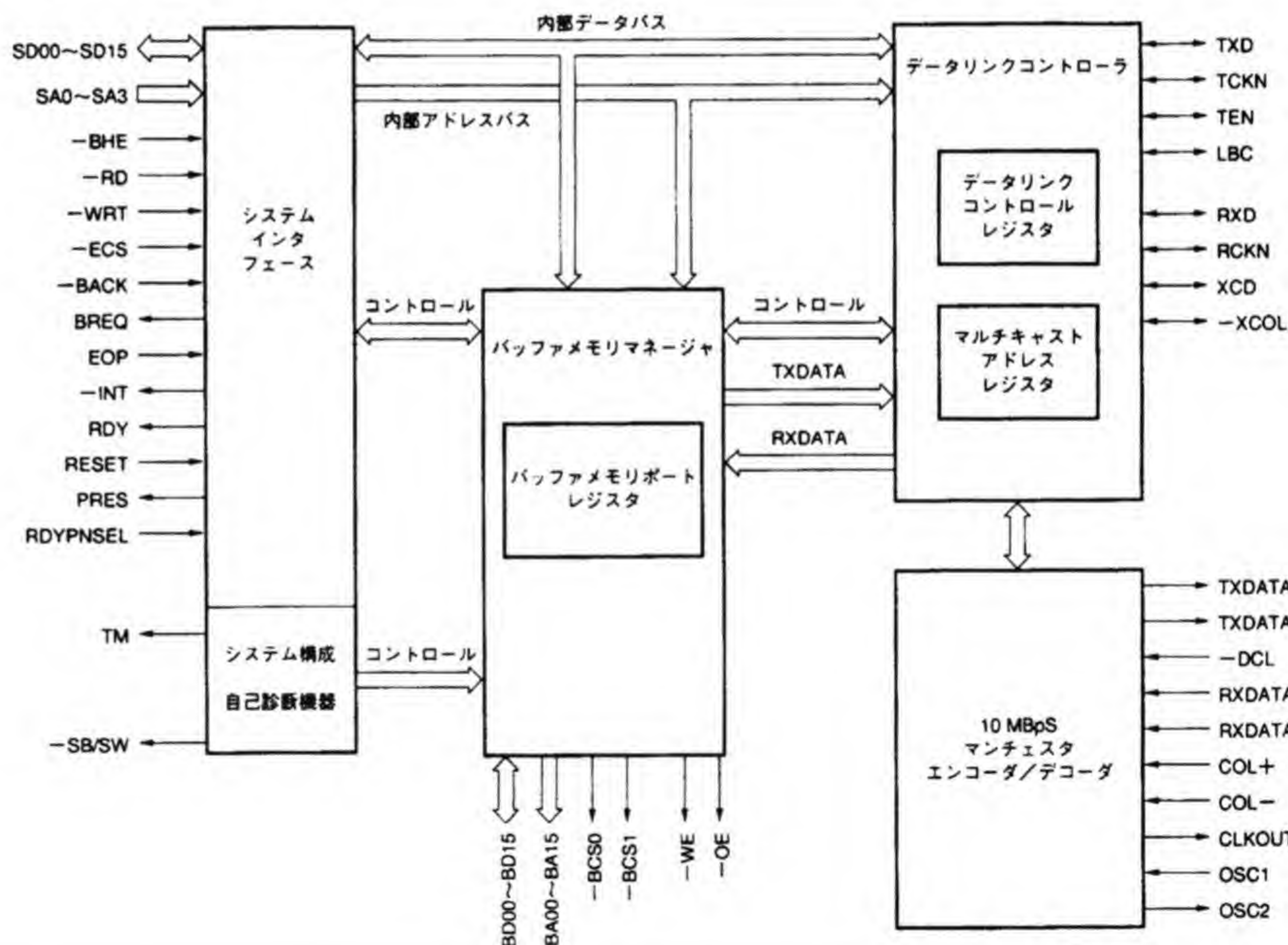
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{DD} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 3.2\text{mA}$	0.4	V
$V_{OH}$	$I_{IH} = 2\text{mA}$	4.2*	V
$I_L$	$V_{IN} = 0 \sim V_{DD}$	$\pm 10$	$\mu\text{A}$

## ■特 徴

- ・ IEEE802.3 準拠で、マンチェスタ・エンコーダ/デコーダとバッファ・マネージメント・ユニットを内蔵した LAN コントローラ
- ・ システム・バス・データ転送速度は 20M バイト/秒
- ・ 最大 64K バイトの外付け SRAM のアービトレーション、バッファ管理機能を内蔵
- ・ 高速バースト DMA 転送およびシングル DMA 転送をサポート
- ・ 16 ビットおよび 8 ビットの標準 CPU にバス接続可能
- ・ ホスト CPU に合わせてワード・データのバイト・オーダ切り替え可能
- ・ プログラムで設定可能な 2 バンク送信バッファとリンク型受信バッファ
- ・ 64 グループのマルチキャスト・アドレス・フィルタ機能内蔵

## ■ブロック図





■ 端子機能

システム、バッファメモリ・インターフェース

端子名	ピン番号	入出力	機能
RESET	31	入力	ハードウェアリセット入力
RDY(-RDY)	14	出力	ホストとのハンドシェイクに使用するREADY出力信号
RDYPNSEL	94	入力	RDY信号の極性を変えるための選択端子 H:RDYはアクティブ High, L:RDYはアクティブ Low
-WRT	30	入力	内部レジスタ、バッファへの書き込み信号
-RD	29	入力	内部レジスタ、バッファからの読み出し信号
-ECS	7	入力	アクティブ Lowのチップ・セレクト信号
-BHE	8	入力	バイト/ワード制御信号
-SB/SW	9	出力	システムバス幅を示す出力 L:8ビットバス, H:16ビットバス
-INT	25	出力	割り込み要求信号出力
EOP(-EOP)	24	入力	DMA転送終了通知信号
TM	95	出力	内部レジスタDLCR4のビット2の反転出力
PRES	96	出力	内部レジスタDLCR4のビット4出力で、データ長フィールドが0900Hパケットを受信したことを示す
BREQ	26	出力	DMAコントローラに対するDMA転送要求信号
-BACK	27	入力	DMAコントローラからのアクリッジ信号入力
SA3~SA0	10~13	入力	内部レジスタやデータ・ポート選択アドレス入力
SD0~7, 8, 9 SD10, 11 SD12~15	16~23, 6, 5 2, 1 100~97	入出力	ホストとのデータ信号線でDMA転送にも使用 8ビットバスモードではSD0~SD7のみを使用
-BCS0, 1	51, 52	出力	RAMバッファのチップ・セレクト信号
-OE	49	出力	リードの際バッファ・メモリをイネーブルにする
-WE	50	出力	ライトの際バッファ・メモリをイネーブルにする
BD0~BD7 BD8~BD15	32~39 41~48	入出力	SRAMバッファ・メモリとのデータバス。8または16ビットバスとして使用できる
BA0~BA10 BA11~BA15	54~64 66~70	出力	本端子により最大64KBの付外付けSRAMバッファ・メモリをアドレスできる

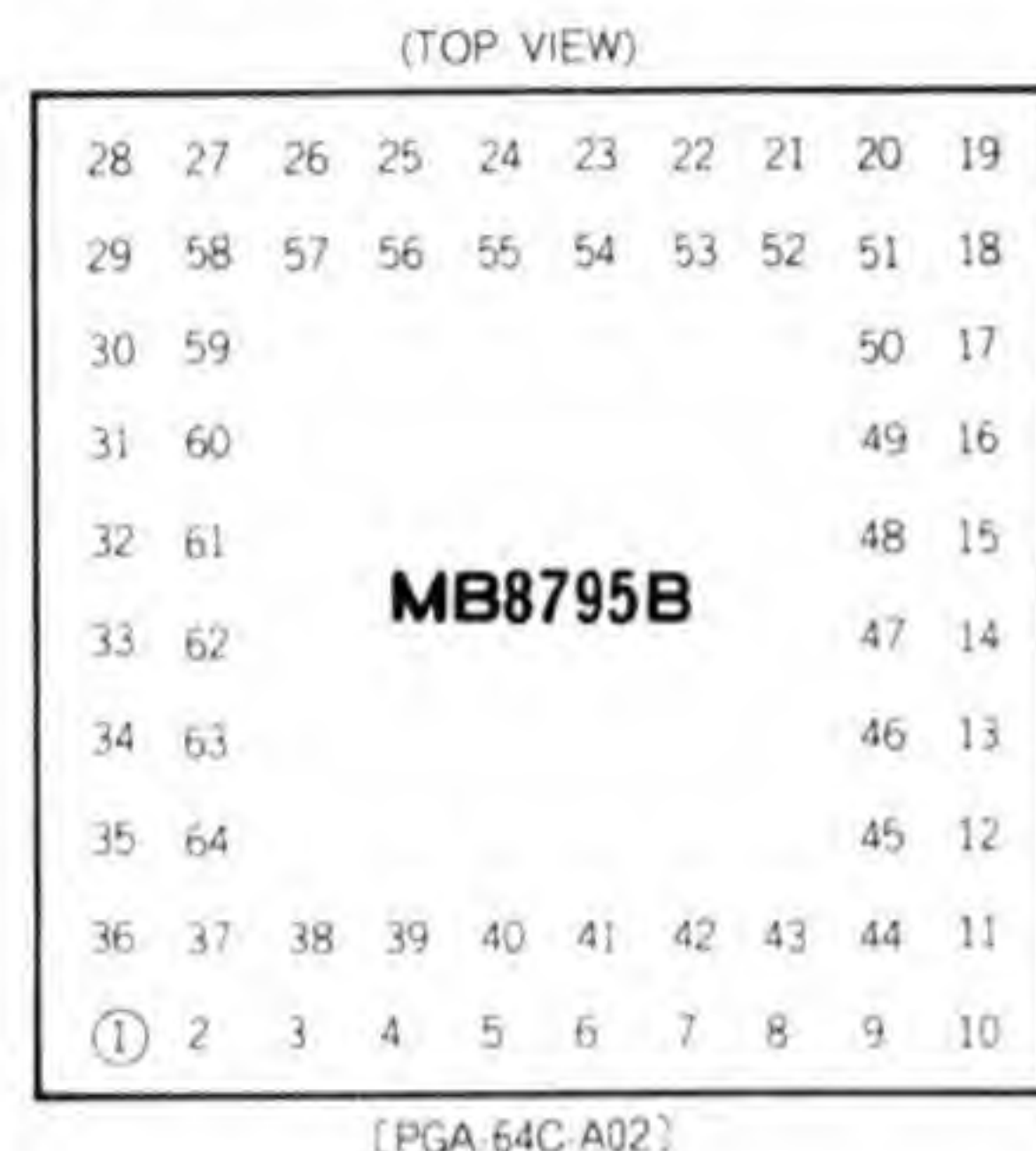
バス・インターフェース

端子名	ピン番号	入出力	機能
TXDATA+ TXDATA-	75 74	出力	マスタへ送信信号出力。エンコーダでマンチェスタ信号に変換された信号をトランシーバに出力する
RXDATA+ RXDATA-	82 81	入力	マスタへ受信信号入力。トランシーバから出力されるマンチェスタ・デコードされた信号を入力する
COL+ COL-	84 83	入力	トランシーバからのコリジョン検出信号を入力する
-DCL	87	入力	トランシーバ接続をDC/AC結合いずれにする選択
OSC1 OSC2	76 77	入力 出力	20MHz水晶振動子接続端子
CLKOUT	89	出力	20MHzクロック出力
TXD	72	出力	通常モードでは未使用
TCKN	80	入出力	通常モードでは未使用
TEN	71	出力	通常モードでは未使用
LBC	86	出力	通常モードでは未使用
RXD	91	入出力	通常モードでは未使用
RCKN	88	入出力	通常モードでは未使用
XCD	93	入出力	通常モードでは未使用
-XCOL	92	入出力	通常モードでは未使用

端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O
1	SD11	B	16	SD0	B	31	RESET	I	46	BD13	B	61	BA7	O	76	OSC1	I	91	RXD	B
2	SD10	B	17	SD1	B	32	BD0	B	47	BD14	B	62	BA8	O	77	OSC2	O	92	-XCOL	B
3	VDD	-	18	SD2	B	33	BD1	B	48	BD15	B	63	BA9	O	78	AVDD	-	93	XCD	B
4	GND	-	19	SD3	B	34	BD2	B	49	-OE	O	64	BA10	O	79	AGND	-	94	RDYPNSEL	I
5	SD9	B	20	SD4	B	35	BD3	B	50	-WE	O	65	GND	-	80	TCKN	B	95	TM	O
6	SD8	B	21	SD5	B	36	BD4	B	51	-BCS0	O	66	BA11	O	81	TXDATA-	I	96	PRES	O
7	-ECS	I	22	SD6	B	37	BD5	B	52	-BSC1	O	67	BA12	O	82	RXDATA+	I	97	SD15	B
8	-BHE	I	23	SD7	B	38	BD6	B	53	VDD	-	68	BA13	O	83	COL-	I	98	SD14	B
9	-SB/SW	O	24	EOP	I	39	BD7	B	54	BA0	O	69	BA14	O	84	COL+	I	99	SD13	B
10	SA0	I	25	-INT	O	40	GND	-	55	BA1	O	70	BA15	O	85	EVDD	-	100	SD12	B
11	SA1	I	26	BREQ	O	41	BD8	B	56	BA2	O	71	TEN	B	86	LBC	B			
12	SA2	I	27	-BACK	I	42	BD9	B	57	BA3	O	72	TXD	B	87	-DCL	I			
13	SA3	I	28	VDD	-	43	BD10	B	58	BA4	O	73	EGND	-	88	RCKN	B			
14	RDY	O	29	-RD	I	44	BD11	B	59	BA5	O	74	TXDATA-	O	89	CLKOUT	O			
15	GND	-	30	-WRT	I	45	BD12	B	60	BA6	O	75	TXDATA+	O	90	GND	-			



## ■ ピン接続



## ■ 最大定格

項目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

## ■ DC特性 ( $T_a = 0 \sim 70^\circ\text{C}$ , $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 0.4\text{mA}$	4.0*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 40$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		8	pF

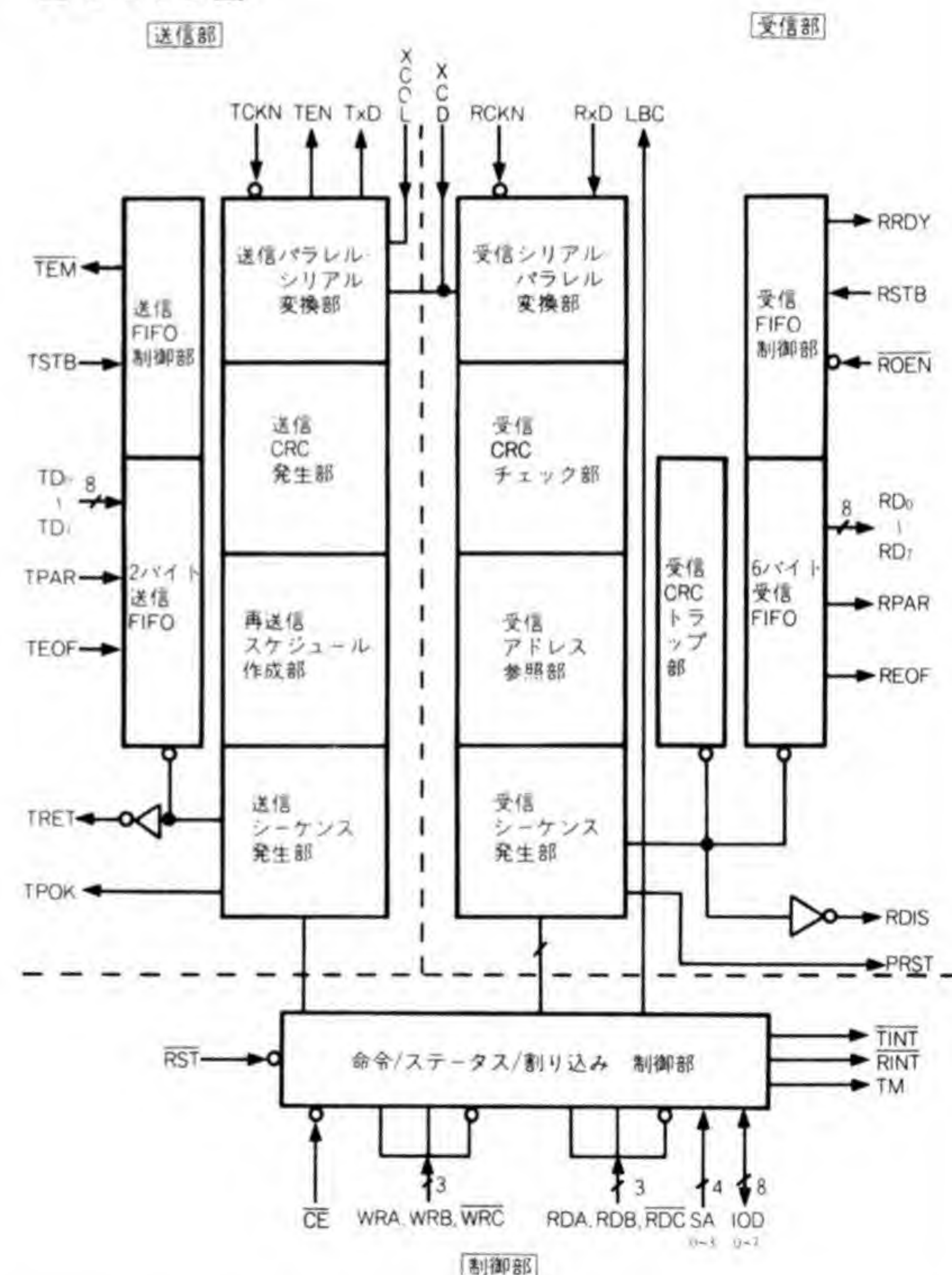
## ■ 特 徴

- ・イーサネット仕様準拠のLANデータリンク・コントローラ
- ・プリアンプル/CRCの自動発生, 自動除去を行う
- ・シリアル-パラレル変換機能
- ・4種類のアドレス・モードをもつ
- ・衝突後の処理用に2進指数バックオフ・アルゴリズムをもつ

端子	シンボル	端子	シンボル
1	$\overline{\text{TEM}}$	33	$\text{TD}_2$
2	$\text{RRDY}$	34	$\text{TD}_0$
3	$\text{RSTB}$	35	$\text{TPOK}$
4	$\text{RD}_0$	36	$\text{TSTB}$
5	$\text{RD}_2$	37	$\text{RDIS}$
6	$\text{RD}_3$	38	$\overline{\text{ROEN}}$
7	$\text{RD}_5$	39	$\text{RD}_1$
8	$\text{RD}_7$	40	GND
9	$\text{RPAR}$	41	$\text{RD}_4$
10	$\text{SA}_1$	42	$\text{RD}_6$
11	$\text{SA}_3$	43	$\text{REOF}$
12	$\text{IOD}_0$	44	$\text{SA}_0$
13	$\text{IOD}_2$	45	$\text{SA}_2$
14	$\text{IOD}_3$	46	$\text{IOD}_1$
15	$\text{IOD}_5$	47	$V_{CC}$
16	$\text{IOD}_7$	48	$\text{IOD}_4$
17	$\overline{\text{WRC}}$	49	$\text{IOD}_6$
18	$\text{WRB}$	50	$\text{RDA}$
19	$\overline{\text{CE}}$	51	$\text{RDB}$
20	$\text{WRA}$	52	$\overline{\text{RDC}}$
21	$\overline{\text{TINT}}$	53	$\overline{\text{RST}}$
22	$\overline{\text{RINT}}$	54	GND
23	$\text{PRST}$	55	$\text{RCKN}$
24	$\text{TM}$	56	$\text{XCOL}$
25	$\text{RxD}$	57	$\text{XCD}$
26	$\text{TCKN}$	58	$\text{LBC}$
27	$\text{TxD}$	59	$\text{TEOF}$
28	$\text{TEN}$	60	$\text{TD}_6$
29	$\text{TPAR}$	61	$V_{CC}$
30	$\text{TD}_7$	62	$\text{TD}_3$
31	$\text{TD}_5$	63	$\text{TD}_1$
32	$\text{TD}_4$	64	$\text{TRET}$

- ・三つのパラレル・データ・ポート (送信, 受信, 制御) をもつ
- ・ホストとの通信データ用に, オプショナル奇数パリティの発生とチェック機能をもつ

## ■ ブロック図





■ 端子機能

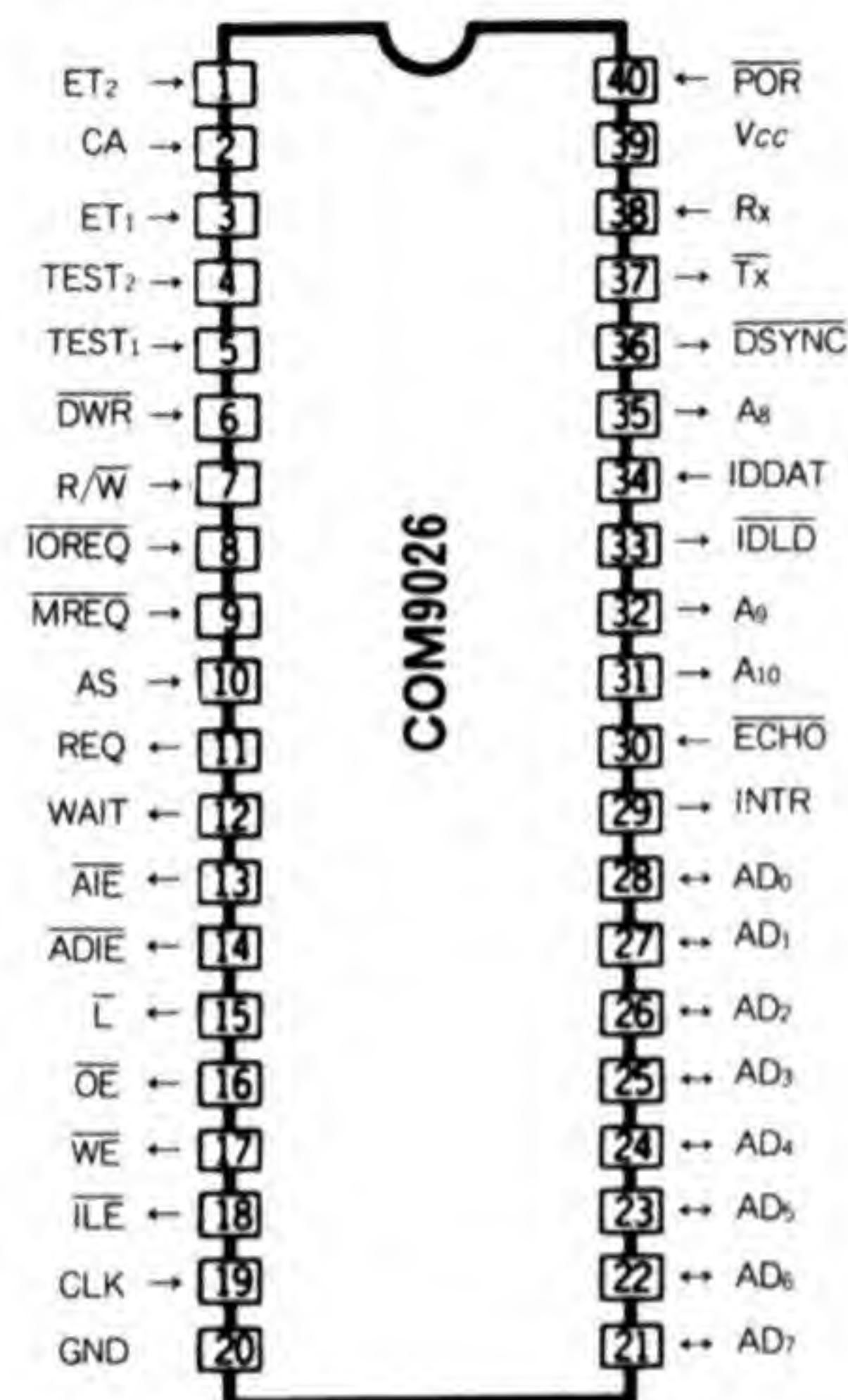
端子名	ピン番号	入出力	機能
$\overline{\text{CE}}$	19	入力	チップ・イネーブルの入力端子
$\text{RDA}, \text{RDB}, \text{RDC}$	50, 51, 52	入力	これらの信号は、データをホスト側が読み出すときのコントロール端子。これらの信号のうちのひとつを読み出しストロープとして使用できる
$\text{WRA}, \text{WRB}, \text{WRC}$	20, 18, 17	入力	これらの信号は、ホスト側からデータを書き込むときのコントロール端子。これらの信号のうちのひとつを書き込みストロープとして使用できる
$\text{SA}_0, \text{SA}_1, \text{SA}_2, \text{SA}_3$	44, 10, 45, 11	入力	これらの信号は、内部の15のレジスタを選択するためのアドレスの入力端子。SA <sub>0</sub> がLSB
$\text{IOD}_0 \sim \text{IOD}_7$	12, 46, 13, 14, 48, 15, 49, 16	入出力	これら入出力端子は双方向性で、内部レジスタに対するデータ端子
$\text{TD}_0 \sim \text{TD}_7$	34, 63, 33, 62, 32, 31, 60, 30	入力	送信パラレル・データ用のデータ入力端子
TPAR	29	入力	送信パラレル・データに伴う奇数パリティ入力端子
TEOF	59	入力	送信データの最後を表す信号を入力する端子で、この端子を“H”状態にして入力されたデータの送信が終わるとCRCが送信される
$\overline{\text{TEM}}$	1	出力	2ワードFIFOに、データを入力できるスペースがあることを示す信号端子
TSTB	36	入力	2ワードFIFOに、データを入力するためのポジティブ・エッジ・トリガのストロープ信号
TRET	64	出力	衝突が起こり、エラーのあったパケットを再送信しなければならないことを表す信号端子
TPOK	35	出力	パケットの送信準備ができていることを表す。しかし、この信号は、常に送信の成功を意味するとはかぎらない。なぜなら16回の衝突の後やパリティ・エラー、アンダフロー・エラーのときも“H”状態になるので
$\text{RD}_0 \sim \text{RD}_7$	4, 39, 5, 6, 41, 7, 42, 8	出力	受信パラレル・データ用出力端子
RPAR	9	出力	受信パラレル・データに伴う奇数パリティの出力端子
REOF	43	出力	受信データの最後を表す出力端子で、受信に成功したときのみ出力される

端子名	ピン番号	入出力	機能
$\overline{\text{ROEN}}$	38	入力	パラレル・データ端子の3ステート・イネーブルの入力端子
RRDY	2	出力	6ワードFIFOの出力準備ができたことを表す出力端子
RSTB	3	入力	ホスト・システムに6ワードFIFOから受信データを送信するためのポジティブ・エッジ・トリガのストロープ信号の入力端子
RDIS	37	出力	アドレス不一致、パケット長エラー、オーバーフロー・エラー、CRC不一致などが起こり受信を中断したことを表す信号の出力端子
RCKN	55	入力	この信号は受信用のビット・クロックの入力端子。[RxD]のストロープ信号に使用される
RxD	25	入力	受信シリアル・バイナリ・データの入力端子
TCKN	26	入力	送信クロックの入力端子。[TxD]のストロープ信号に使用される
TEN	28	出力	エンコード・イネーブル信号の出力端子で、TxDと同タイミングで出力される
TxD	27	出力	送信シリアル・バイナリ・データを送信する端子
XCD	57	入力	キャリア検出信号で、送信時には送信不可信号として、また受信時には受信要求信号として用いられる信号の入力端子
XCOL	56	入力	同軸ケーブル上で衝突が起こったことを表す信号入力端子
LBC	58	出力	外部からコントロールできるラッチの出力端子で、エンコード/デコードをループ・バック・モードにするために使用される
PRST	23	出力	タイプ・フィールドが“0900H”のパケットを受信したことを表す信号の出力端子で、遠隔リセットなどをする際に用いられる
$\overline{\text{RINT}}$	22	出力	RECEIVE MASKSレジスタによって決められたインタラプト・コンディションになったことを表す信号の出力端子
$\overline{\text{TINT}}$	21	出力	TRANSMIT MASKSレジスタによって決められたインタラプト・コンディションになったことを表す信号の出力端子
$\overline{\text{RST}}$	53	入力	リセット信号入力端子。“L”にするとリセット状態になる
TM	24	出力	外部からコントロール可能なラッチの出力端子



# LAN Controller

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~8.0	V
入力電圧	V <sub>IN</sub>	-0.3~8.0	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-55~150	°C

## ■ DC特性 (T<sub>a</sub> = 0~70°C, V<sub>CC</sub> = 5V ± 5%)

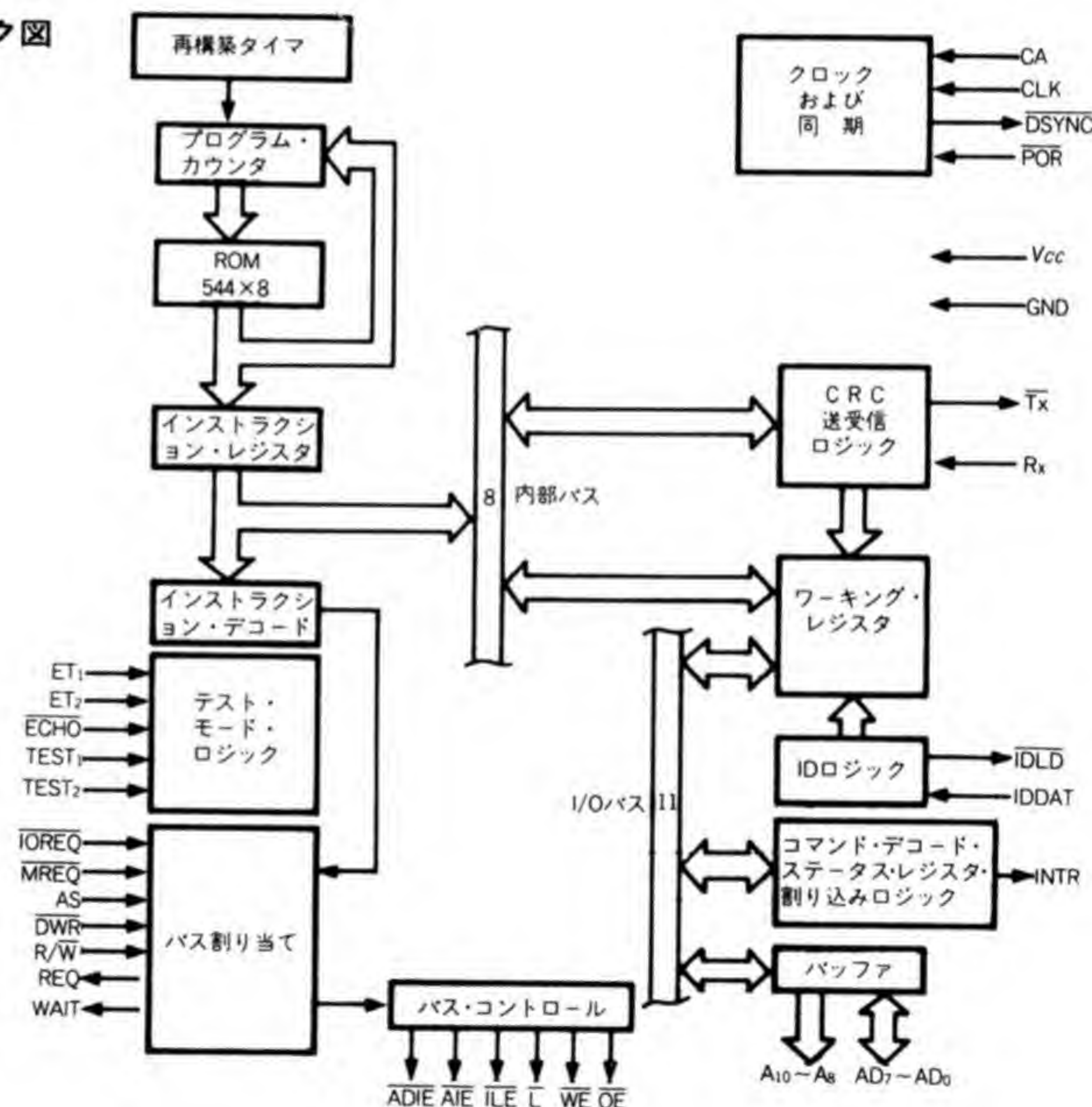
記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.2*	V
V <sub>OL</sub>	I <sub>OL</sub> = 2.0mA	0.5	V
V <sub>OH</sub>		2.4*	V
I <sub>IL</sub>		±10	μA
C <sub>IN</sub>		20	pF

## ■ 特徴

- ・ 2.5Mビットの伝送速度をもつ、ARCNET LAN用コントローラ
- ・ 改良形トークン・パッシング・プロトコルをサポート
- ・ ネットワークへのノードの追加、削除時の自己再構築機能をもつ
- ・ 種々の長さのデータ・パケットを扱うことが可能
- ・ 16ビットのCRCチェックおよび生成を行う

- ・ ネットワークの負荷の増加とともにシステム効率が增大
- ・ ネットワークあたり255までのノードをサポート
- ・ 命令の終わりでプロセッサへの割り込みをかけることが可能
- ・ 外部の1Kまたは2KのRAMバッファと接続可能
- ・ ブロードキャスト・メッセージ送信機能がある

## ■ ブロック図





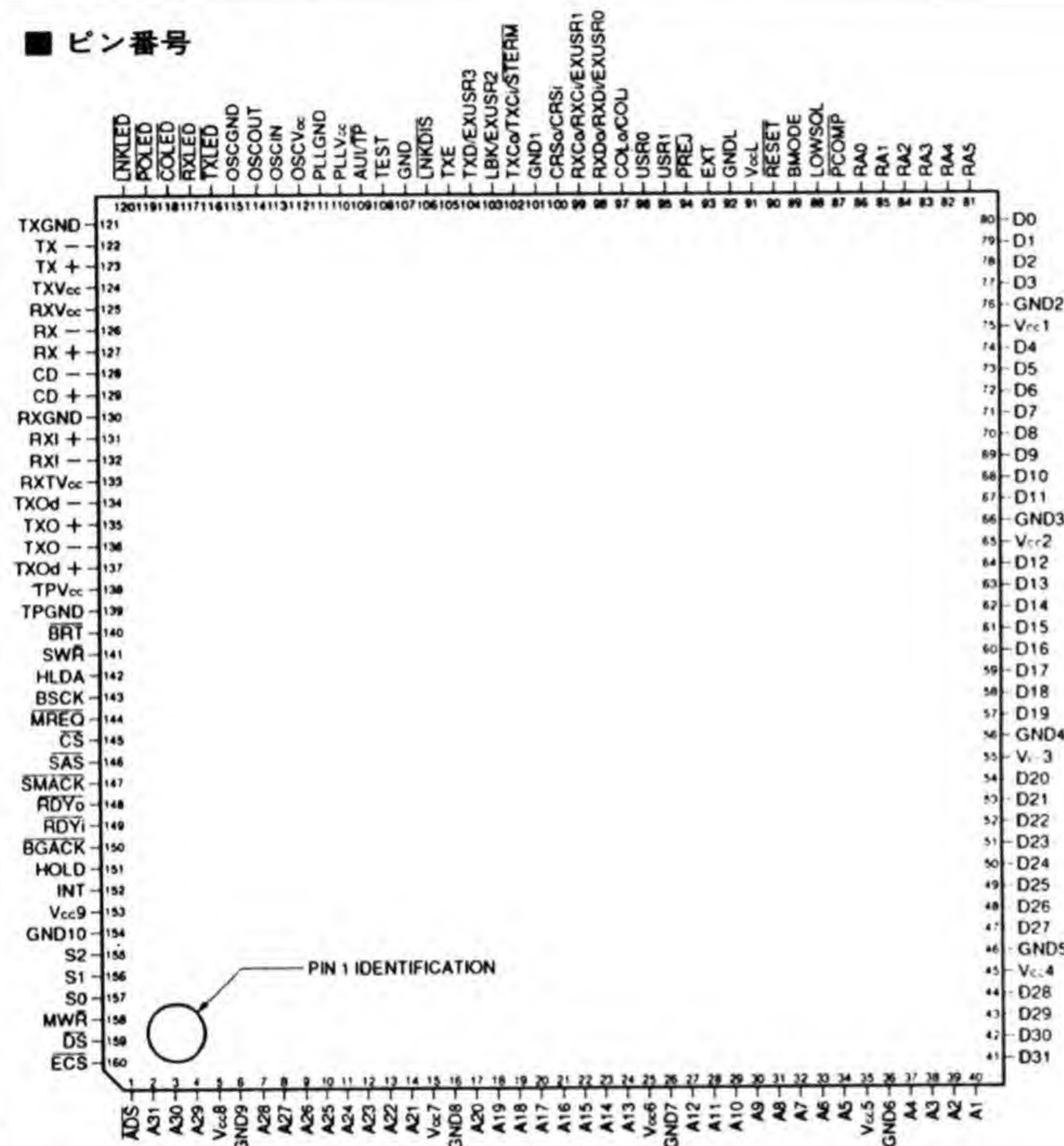
## ■ 端子機能

端子名	ピン番号	入出力	機能
A <sub>10</sub> , A <sub>9</sub> , A <sub>8</sub>	31, 32, 35	出力	RAM バッファ・アドレスの上位 3 ビット
AD <sub>7</sub> ~AD <sub>0</sub>	21~28	入出力	RAM バッファ・アドレスの低位の 8 ビットであり, COM9026 に対しての 8 ビット・データ経路となる
$\overline{\text{IOREQ}}$	8	入力	この入力信号はプロセッサがステータスの情報を受けとったり, 命令を出したりするためにデータ・バスの使用を要求されていることを示す
$\overline{\text{MREQ}}$	9	入力	RAM バッファに対してデータを転送するためにデータ・バスの使用を要求していることを示す
R/ $\overline{\text{W}}$	7	入力	この入力信号が“H”レベルにあるときは, 読み出しサイクルとなることを意味する
AS	10	入力	COM9026 はこの信号を使って $\overline{\text{IOREQ}}$ , $\overline{\text{MREQ}}$ および R/ $\overline{\text{W}}$ 入力の状態をサンプルする
REQ	11	出力	プロセッサの I/O あるいはメモリ・サイクルがサンプルされたということが確認される
WAIT	12	出力	プロセッサのアクセス・サイクルの始めにおいて COM9026 によってこの信号が出力されると, データがすぐに転送する状態にないことが示される
$\overline{\text{DWR}}$	6	入力	書き込みサイクルのための有効データがプロセッサのデータ・バス上にあるということが知らされる
INTR	29	出力	割り込みがかかったときに出力される
$\overline{\text{ILE}}$	18	出力	$\overline{\text{ADIE}}$ と共に, インターフェースのアドレス/データ・バス上でプロセッサのアドレス/データ・バスを開閉する
$\overline{\text{ADIE}}$	14	出力	AS あるいは $\overline{\text{ILE}}$ によって捕らえられたプロセッサのアドレス/データ・バスはインターフェース・アドレス/データ・バス上にイネーブルされる

端子名	ピン番号	入出力	機能
$\overline{\text{AIE}}$	13	出力	プロセッサの上位の三つのアドレス・ビットをインターフェースのアドレス・バス上にのせることが可能となる
$\overline{\text{L}}$	15	出力	この出力信号によってインターフェースのアドレス/データ・バスがラッチされる
$\overline{\text{WE}}$	17	出力	外部 RAM バッファへの書き込みパルスとして用いられる
$\overline{\text{OE}}$	16	出力	RAM バッファ出力データがインターフェース・アドレス/データ・バス上にイネーブルされる
$\overline{\text{IDLD}}$	33	出力	ID スイッチによって選択された値を外部シフトレジスタに同期としてロードする
IDDAT	34	入力	外部 ID シフトレジスタからのシリアル化された出力
ET <sub>2</sub> , ET <sub>1</sub>	1, 3	入力	COM9026 によって使われているタイム・アウト持続時間を規定している
$\overline{\text{Tx}}$	37	出力	CABLE TRANSCEIVER へのシリアル転送データ
Rx	38	入力	CABLE TRANSCEIVER からのシリアル受信データ
TEST <sub>2</sub> , TEST <sub>1</sub>	4, 5	入力	テスト端子
$\overline{\text{ECHO}}$	30	入力	“L” のときには 254 バイト以下の長さのすべてのメッセージを再転送する
CLK	19	入力	クロック入力
CA	2	入力	マイクロコード化されたシーケンスの動作を制御するのに用いられる
$\overline{\text{DSYNC}}$	36	出力	クロック・ジェネレータ制御用出力
$\overline{\text{POR}}$	40	入力	パワー・オン・リセット信号



## ■ ピン番号



注) BMODE = 0 の場合のピン配置

(ナショナルセミコンダクター(NSC)/NEC/インテル型バスに対応)

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

## ■ DC 特性

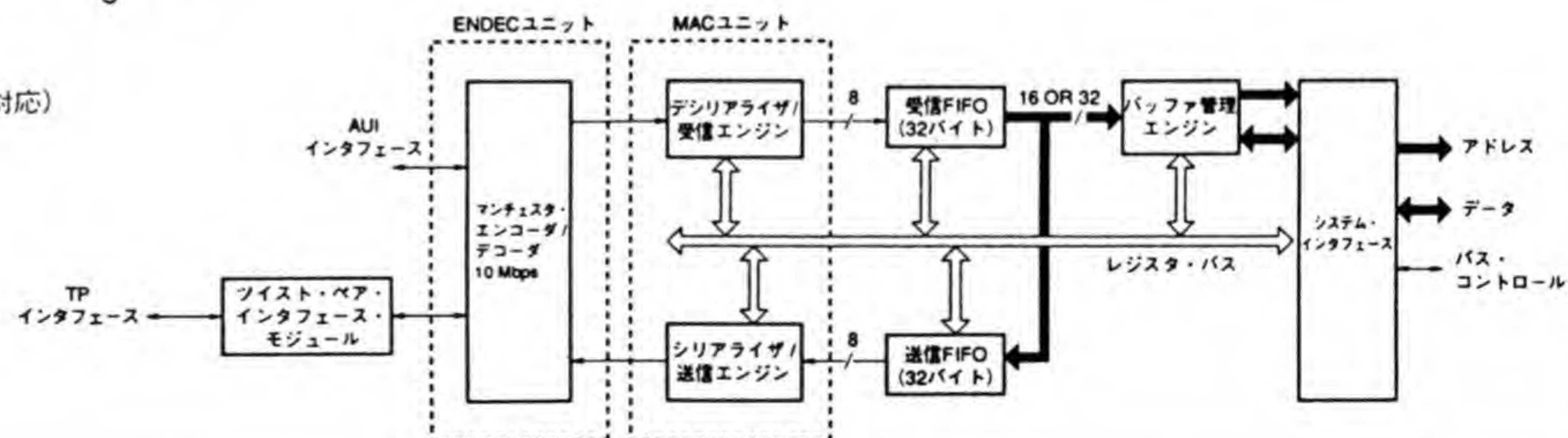
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 8\text{mA}$	0.5	V
$V_{OH}$	$I_{OH} = 8\text{mA}$	3.0*	V
$I_{OL}$	$V_{OUT} = 0$ , $V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IH}$	$V_{IN} = 0$ , $V_{CC}$	$\pm 1$	$\mu\text{A}$

## ■ 特徴

- ・32ビットおよび16ビット高速システムに対応した第2世代イーサネット・コントローラ
- ・独立した各々32ビットのアドレスおよびデータ・バス
- ・高速2サイクルの中断可能なDMA
- ・リンク・リスト・バッファ管理による高い柔軟性
- ・二つの独立した32バイト FIFO
- ・すべての標準マイクロプロセッサとコンパチブルなバス
- ・ビッグ/リトル・エンディアン・フォーマットをサポート
- ・IEEE802.3 ENDEC 内蔵
- ・ツイスト・ペア・インターフェース内蔵
- ・16個までの物理/マルチキャスト・アドレス、あるいはそのいずれかに対する完全なアドレス・フィルタリング
- ・32ビット汎用タイマ
- ・全二重ループバック診断
- ・802.3レイヤ管理規格をサポートする完全なネットワーク管理機能
- ・ブルジョおよびリピータ・アプリケーションのサポート内蔵

## ■ ブロック図





## ■ 端子機能

端子名	ピン番号	入出力	機能
EXT	93	入力	外部 ENDEC セレクト
AUI/TP#	109	入力	AUI/ツイストペア・インターフェースの選択端子
TXOd+, TXO+ TXO-, TXOd-	137, 135 136, 134	出力	ツイストペア送信出力
RXI+, RXI-	131, 132	入力	ツイストペア受信入力
TXLED#	116	出力	データ送信中
RXLED#	117	出力	受信データ検出
COLED#	118	出力	コリジョン信号出力
POLED#	119	出力	リンク・パルスまたはパケット受信検出
LINKLED#	120	出力	完全リンク検出
LNKDIS#	106	入力	リンク・ディスエーブル
LOWSQL	88	入力	ロウ・スケルチ・セレクト
OSCIN	113	入力	水晶または外部発振器入力
OSCOUT	114	入出力	水晶振動子フィードバック出力
RX+	127	入力	トランシーバ受信データ正(AUI 受信+)
RX-	126	入力	トランシーバ受信データ負(AUI 受信-)
TX+	123	出力	トランシーバ送信データ正(AUI 送信+)
TX-	122	出力	トランシーバ送信データ負(AUI 送信-)
CD+	129	入力	トランシーバからのコリジョン検出正(AUI コリジョン+)
CD-	128	入力	トランシーバからのコリジョン検出負(AUI コリジョン-)
TXD/ EXUSR3	104	出力	MAC ユニットからのシリアル NRZ 出力 拡張ユーザ出力
LBK/ EXUSR2	103	出力	ENDEC ループバックがプログラムされたことを示す 拡張ユーザ出力
TXE	105	出力	送信イネーブルを示す出力信号
RXC <sub>0</sub> / RXC <sub>1</sub> / EXUSR1	99	出力 入力 出力	内部 ENDEC からの受信クロック出力(EXT=0) 外部 ENDEC からの受信クロック入力(EXT=1) 拡張ユーザ出力
RXD <sub>0</sub> / RXD <sub>1</sub> / EXUSR0	98	出力 入力 出力	内部 ENDEC からの受信データ出力(EXT=0) 外部 ENDEC からの受信データ入力(EXT=1) 拡張ユーザ出力
TXC <sub>0</sub> / TXC <sub>1</sub> / STERM#	102	出力 入力 出力	内部 ENDEC からの送信クロック出力(EXT=0) 外部 ENDEC からの送信クロック入力(EXT=1) 拡張ユーザ出力
CRS <sub>0</sub> / CRS <sub>1</sub>	100	出力 入力	内部 ENDEC からのキャリア検出出力(EXT=0) 外部 ENDEC からのキャリア検出入力(EXT=1)
COL <sub>0</sub> / COL <sub>1</sub>	97	出力 入力	内部 ENDEC からのコリジョン検出出力(EXT=0) 外部 ENDEC からのコリジョン検出出力(EXT=1)
PCOMP#	87	出力	受信パケットの圧縮を示す信号
PREJ#	94	入力	受信パケットのリジェクト指示
BMODE	89	入力	バス・モード選択信号

端子名	ピン番号	入出力	機能
D31-D0	41~80	入出力	双方向データ・バス
A31-A1	2~40	入出力	アドレス・バス
RA5-RA0	81~86	入出力	内部レジスタへのアクセス用アドレス・バス
RESET#	90	入力	ハードウェア・リセット入力
S2-S0	155~157	出力	バス・ステータス
BCLK	143	入力	バス・クロック
CS#	145	入力	チップ・セレクト
SAS#	146	入力	スレーブ・アドレス・ストロブ(レジスタ・アドレス信号ラッチ)
DS#	159	出力	データ・ストロブ
BRT#	140	出力	バス・エラー訂正時のバス・リトライ信号
ECS#	160	出力	アーリ・サイクル開始信号
MREQ#	144	入力	共有バッファ RAM アクセス時のメモリ要求信号
SMACK#	147	出力	スレーブおよびメモリ・アクノリッジ
USR1, 0	95, 96	入出力	ユーザ・セット1, 0

バス・インターフェース端子 (モトローラ型, BMODE=1)

AS#	1	出力	アドレス・ストロブ
MR/W#	158	出力	メモリ・リード/ライト・ストロブ
INT#	152	出力	割り込み信号
BR#	151	出力	バス獲得要求
BG#	142	入力	バス許可(制御権獲得信号入力)
BGACK#	150	出力	バス許可アクノリッジ
SR/W#	141	入力	内部レジスタへのリード/ライト信号
DSACK0# DSACK1#	149 148	入出力	データおよびサイズ・アクノリッジ信号

バス・インターフェース端子 (NSC/NEC/インテル型, BMODE=0)

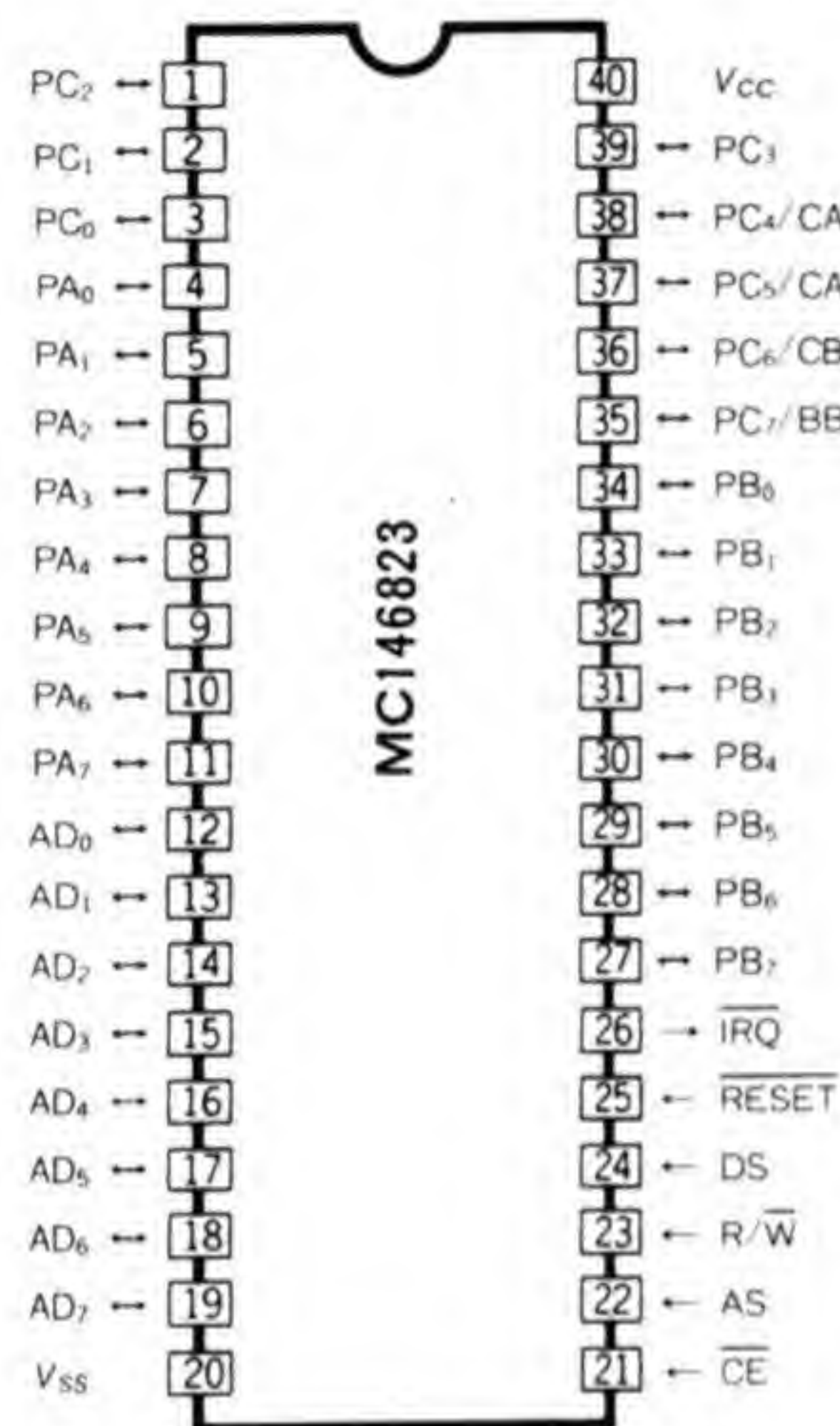
ADS#	1	出力	アドレス・ストロブ
MW/R#	158	出力	データ方向を示すアドレス・リード/ライト・ストロブ
INT	152	出力	割り込み信号
HOLD	151	出力	ホールド・リクエスト
HLDA	142	入力	ホールド・アクノリッジ
SW/R#	141	入力	内部レジスタへのリード/ライト信号
RDY <sub>1</sub> #	149	入力	レディ入力
RDY <sub>0</sub> #	148	出力	レディ出力

注) ○○#は○○を示す



# CPI (Parallel Interface)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 8.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

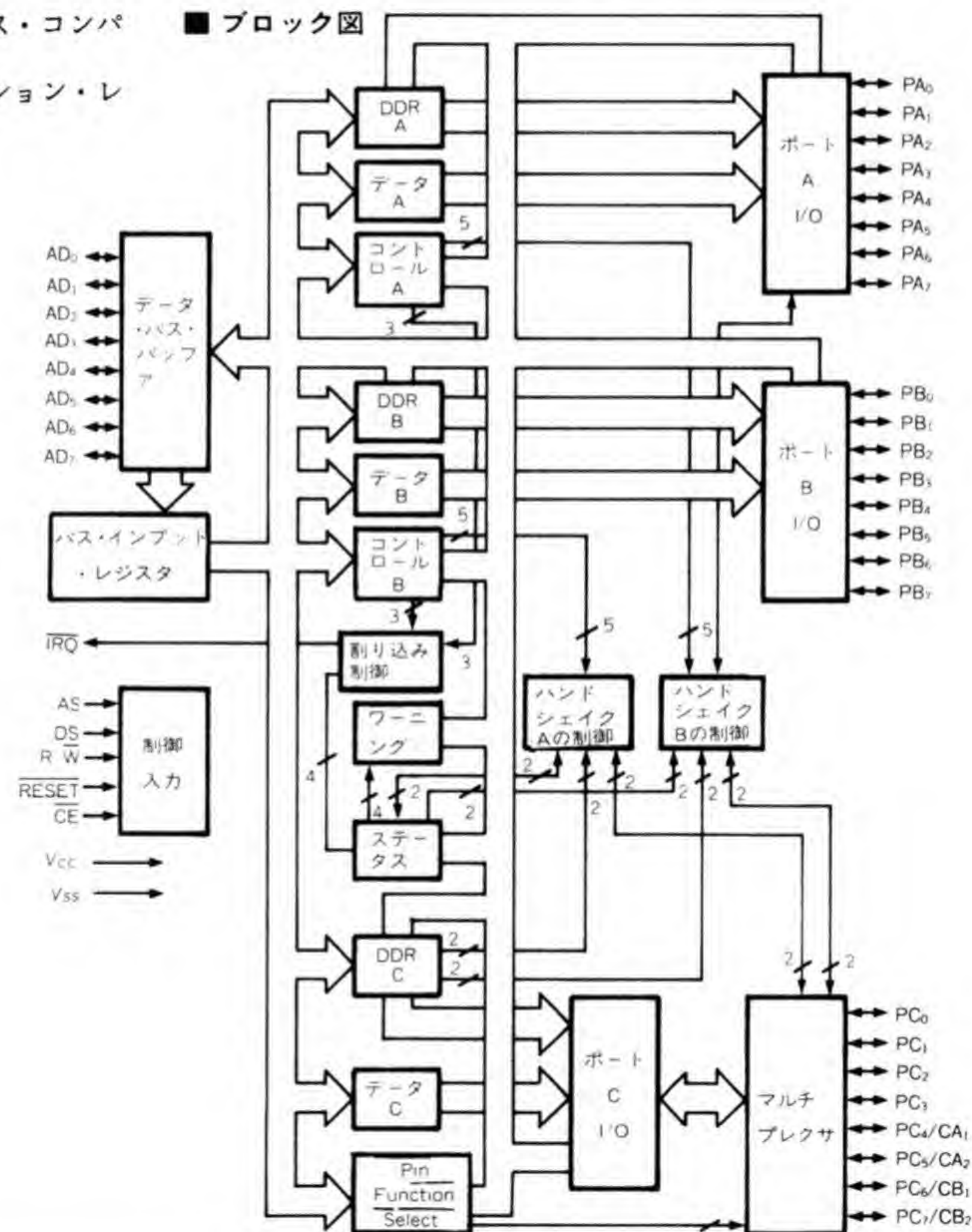
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		$V_{CC} - 2.0^*$	V
$V_{OL}$	$I_{OL} = 0.8\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 0.2\text{mA}$	$4.1^*$	V
$I_{OL}$	ハイ・インピーダンス・リーク	$\pm 10$	$\mu\text{A}$
$I_{IL}$		$\pm 1$	$\mu\text{A}$

## ■ 特徴

- ・ 24本の独立にプログラマブルなI/Oポートをもつ
- ・ 各種CPUに外部回路なしで接続できるMOTEL回路を内蔵
- ・ 6800系やその他のマルチプレクスバス・コンパチブル
- ・ ポートA, B, C用のデータ・ディレクション・レジスタを内蔵

- ・ ポートGの4本のI/Oポートは、割り込み入力, インプット・バイト・ラッチ, パルス出力, ハンドシェイク動作制御ピンとして使用可能

## ■ ブロック図





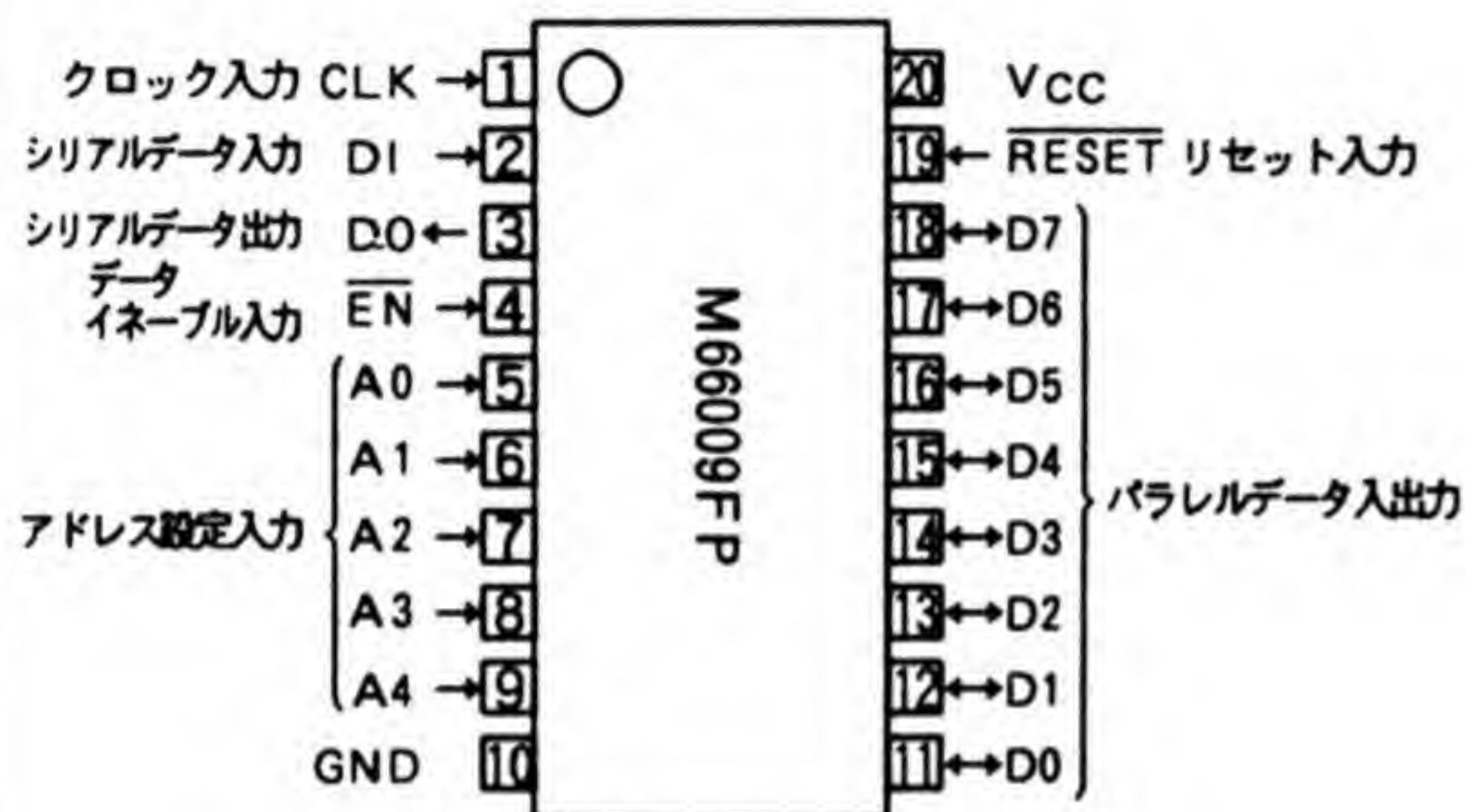
## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
AD <sub>0</sub> ~AD <sub>7</sub>	アドレス/データ・バス 0 ~ 7	12~19	入出力	双方向の多重化されたアドレス/データ・バス
AS	アドレス・ストロブ	22	入 力	AS の立ち下がりで、バス上のアドレス AD <sub>0</sub> ~AD <sub>3</sub> が、内部にラッチされる
DS	データ・ストロブ	24	入 力	68系 CPU のイネーブル信号に相当し、ほかの CPU と接続する場合には、 $\overline{RD}$ (リード) として使用されるタイミング信号入力
R/ $\overline{W}$	リード/ライト	23	入 力	データ・バス上のリード/ライト方向を制御する。68系の R/ $\overline{W}$ 信号または、ほかの CPU の $\overline{WR}$ (ライト) を接続する
$\overline{CE}$	チップ・イネーブル	21	入 力	チップ選択信号
$\overline{RESET}$	リセット	25	入 力	リセット信号。アクティブ "L" で、内部レジスタ、ポートがリセットされる
$\overline{IRQ}$	割り込み要求	26	出 力	オープン・ドレイン、アクティブ "L" の割り込み要求信号
PA <sub>0</sub> ~PA <sub>7</sub>	ポート A	4 ~ 11	入出力	端子ごとに入力あるいは出力としてプログラムできる I/O ポート。データ・ディレクション・レジスタを "1" にすると出力に、"0" にすると入力に設定される
PB <sub>0</sub> ~PB <sub>7</sub>	ポート B	34~27	入出力	端子ごとに入力あるいは出力としてプログラムできる I/O ポート。データ・ディレクション・レジスタを "1" にすると出力に、"0" にすると入力に設定される
PC <sub>0</sub> ~PC <sub>3</sub>	ポート C	3 ~ 1, 39	入出力	汎用ポートまたはポート A のハンドシェイク信号として使用できる。ポートとしての機能は PC <sub>0</sub> ~PC <sub>3</sub> と同等
PC <sub>4</sub> /CA <sub>1</sub> , PC <sub>5</sub> /CA <sub>2</sub>	ポート C / ハンドシェイク	38 37	入出力	汎用ポートまたはポート A のハンドシェイク信号として使用できる。ポートとしての機能は PC <sub>0</sub> ~PC <sub>3</sub> と同等
PC <sub>6</sub> /CB <sub>1</sub> , PC <sub>7</sub> /CB <sub>2</sub>	ポート C / ハンドシェイク	36 35	入出力	汎用ポートまたはポート B のハンドシェイク信号として使用できる。ポートとしての機能は PC <sub>0</sub> ~PC <sub>3</sub> と同等
V <sub>SS</sub>	グラウンド	20	—	グラウンド
V <sub>CC</sub>	電源	40	—	電源



# I/O Expander

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	20~75	°C
保存温度	$T_{STG}$	-60~150	°C

## ■ DC 特性

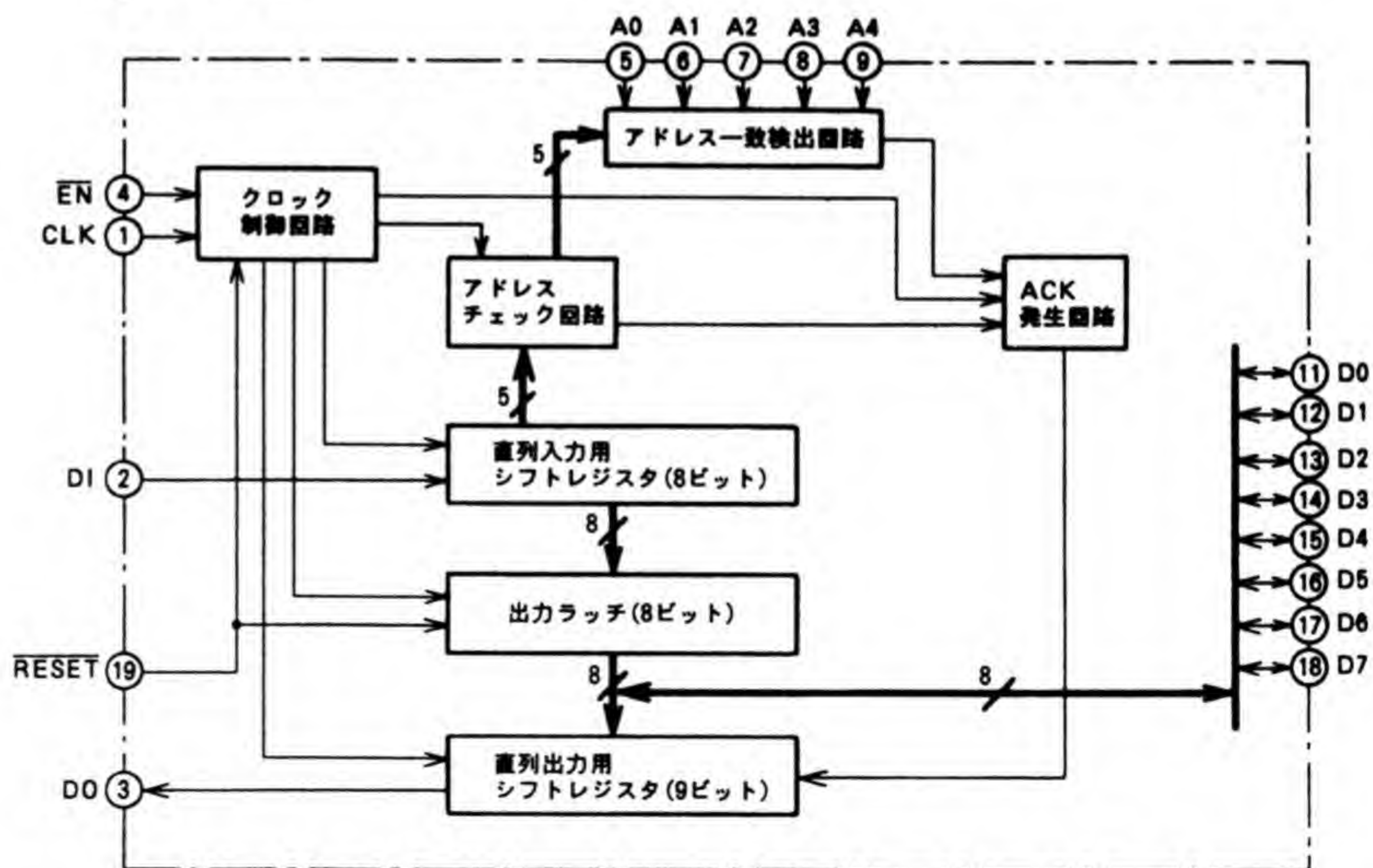
( $T_a = -20 \sim 75^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 4\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 2\text{mA}$	3.0*	V
$I_{OHL}$	$V_{OH} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 5$	$\mu\text{A}$

## ■ 特 徴

- ・ 8ビット・データの直列-並列変換、並列-直列変換機能を持つI/Oエキスパンダ
- ・ アドレス設定用入力5ビット装備
- ・ マイコンとはEN, CLK, DI, DOの4本で接続可能
- ・ ビット単位で入出力設定可能
- ・ リセット、EN、CLKはシュミット入力
- ・ マイコンの入出力ポート拡張等に利用可能

## ■ ブロック図





## ■端子機能

端子名	名称	ピン番号	入出力	機能
RESET	リセット入力	19	入力	“L”レベルで M66009 の内部状態が初期化される。
EN	データ・イネーブル入力	4	入力	“L”レベルで M66009 がアクセス可能となる。
CLK	シリアル・クロック入力	1	入力	マイコンから DI 端子に送られてきたシリアル・データは、CLK の立ち上がりエッジで M66009 のシフトレジスタに取り込まれる。DO 端子からは、CLK の立ち下がりエッジに同期してシリアル・データが出力される。 DO 端子は、シリアル・データ出力時以外の期間は“H”になっている。
DI	シリアル・データ入力	2	入力	
DO	シリアル・データ出力	3	出力	
A0～A4	アドレス設定用入力	5～9	入力	VCCあるいはGNDに接続することにより、固有のアドレスを設定する。本端子によって設定されたアドレスと、マイコンからシリアル・データによって送られてきたアドレスが一致していた場合にのみ、所定の動作を実行する。VCCに接続されている端子は“1”，GNDに接続されている端子は“0”に対応する。
D0～D7	パラレル・データ入出力	11～18	入出力	パラレル・データ入出力用の端子であり、プル・ダウン抵抗内蔵 P チャネル・オープン・ドレイン出力となっているため、“L”出力状態になっている端子が入力端子として機能する。
VCC	正電源端子	20	—	正電源 (5V)
GND	接地端子	10	—	接地 (0V)

## ■機能概要

M66009 は、データの直列-並列および並列-直列変換機能をもつ、アドレス設定可能な半導体集積回路。

マイコンとは、EN、CLK、DI、DO の 4 本の信号線でデータの送受信を行う。

アドレス設定用入力を 5 ビットもち、これらの入力端子を VCC あるいは GND に接続することにより、32通りのうちの任意のアドレスに設定可能。マイコンからのシリアル・データを受信した M66009 は、データ中のアドレス・データとアドレス設定入力によるアドレスの比較を行い、アドレスが一致している場合にのみ、与えられた所定のコマンドを実行する。

直列入力-並列出力動作については、受信した16ビットの直列入力のうち、下位 8 ビットを並列変換して D<sub>0</sub>～D<sub>7</sub>端子に並列出力する。上位 8 ビットはアドレスおよびコマンド・ビットとして処理する。

並列入力-直列出力動作については、D<sub>0</sub>～D<sub>7</sub>端子状態 8 ビットに、アクノリッジ・ビット 1 ビットを先頭付加して 9 ビットの直列出力を行う。

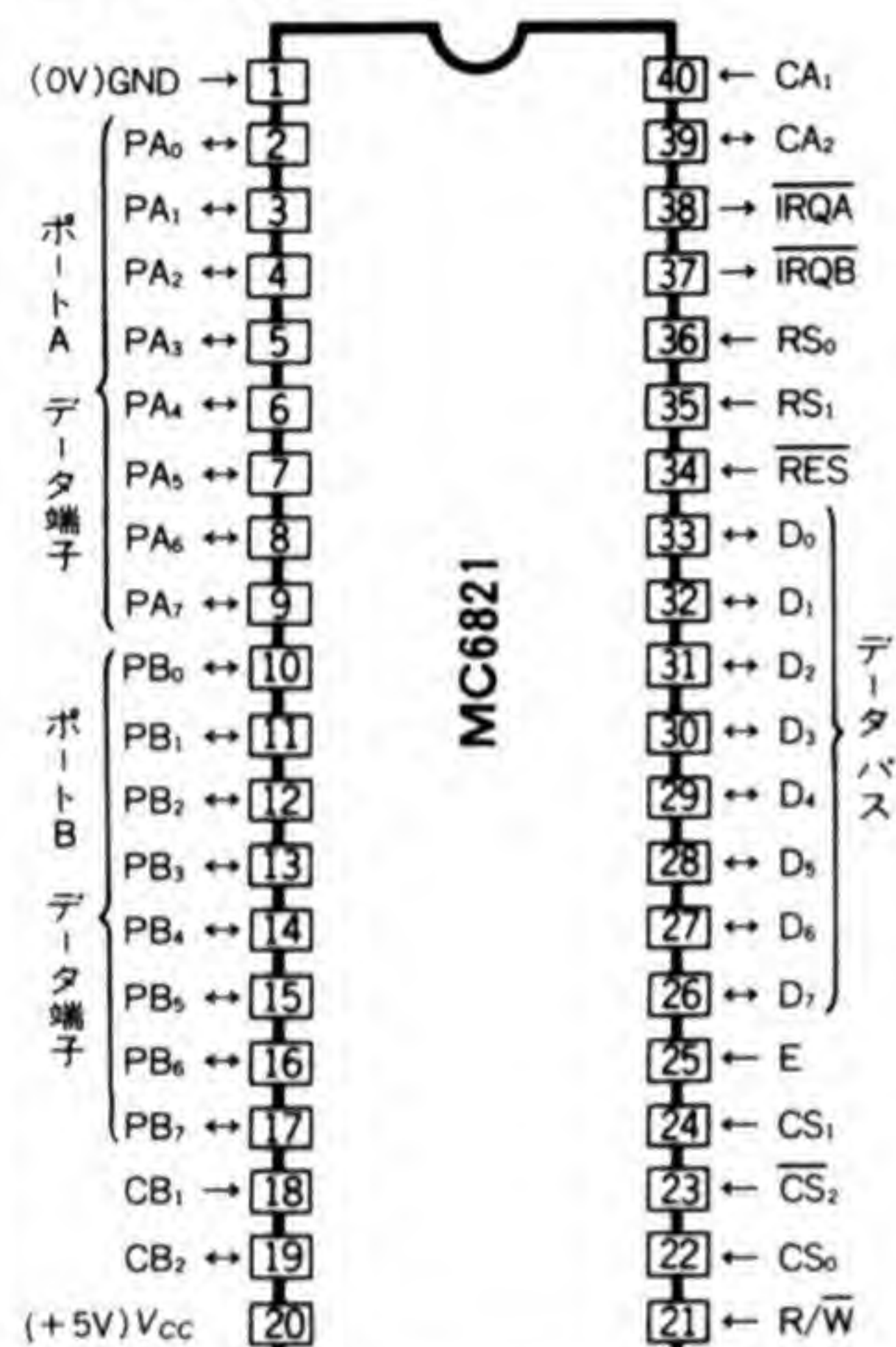
## ■入出力データ論理

DI 端子から入力されたシリアル・データは、論理反転されて D<sub>0</sub>～D<sub>7</sub>の平行出力となり、D<sub>0</sub>～D<sub>7</sub>の平行入力データは、同一論理で DO 端子からシリアル出力される。したがって、入力に設定したい I/O 端子に対しては、DI 入力データを“H”にする必要がある。



# PIA (Peripheral Interface Adapter)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim +7.0$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-55 \sim +150$	°C

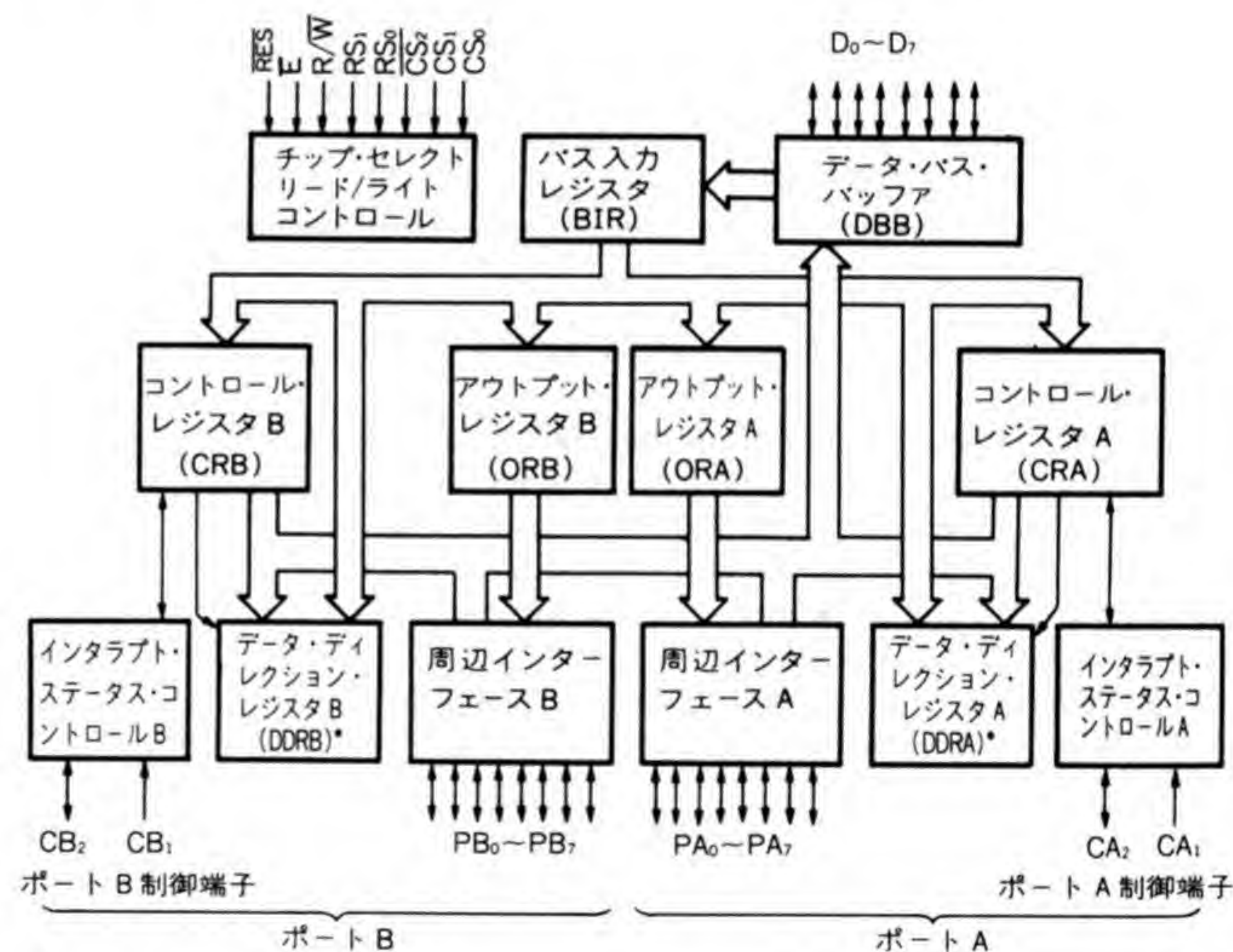
## ■ DC特性

項目	max/min*	単位
$V_{IL}$	0.8	V
$V_{IH}$	2.0*	V
$V_{OL}$	0.4	V
$V_{OH}$	2.4*	V

## ■ 特 徴

- ・ 68系CPUに適合
- ・ TTLコンパチブルな電気特性
- ・ 周辺とのインターフェース・ポートを2組もち、それぞれに8ビットの双方向データ線と2本の制御線がある
- ・ CPU側から機能をプログラムできる
- ・ ハードウェア・レベルでの自動的ハンドシェイクを行うことが可能

## ■ ブロック図



(\*)ディレクション：方向



■ 端子機能

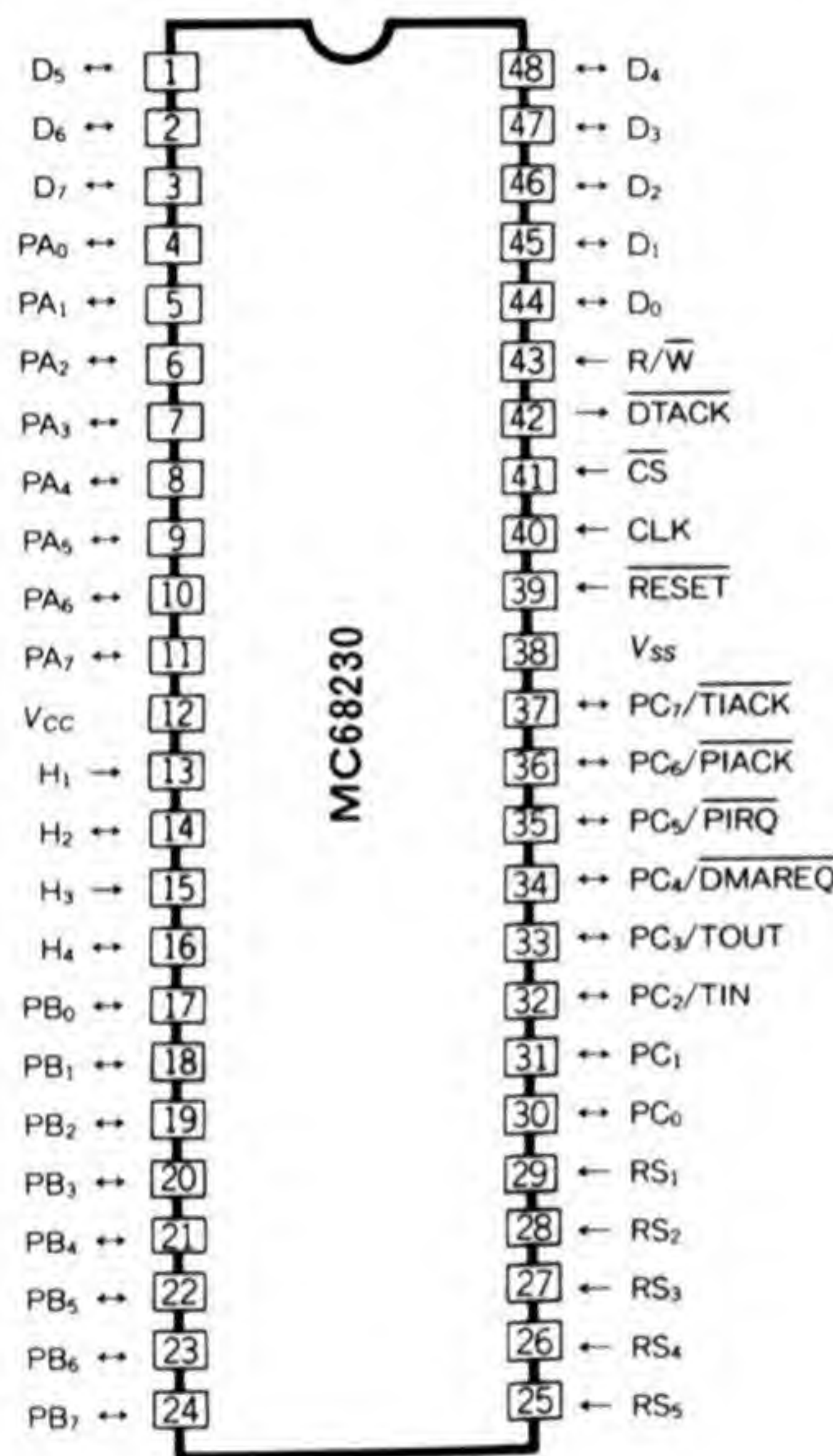
端子名	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	33~26	入出力	双方向性データ・バス (D <sub>0</sub> ~D <sub>7</sub> ). データ・バス出力ドライバは 3 ステート出力
E	25	入力	PIA のすべての信号は, このパルスの立ち上がり, あるいは立ち下がりに同期する
R/ $\overline{W}$	21	入力	データ・バス上のデータ転送方向を制御するため, 通常の CPU から出力される R/ $\overline{W}$ 信号を入力
$\overline{RES}$	34	入力	$\overline{RES}$ が "L" になると, PIA のすべてのレジスタは 0 にクリアされる. $\overline{RES}$ はパワーオン・リセットとして使用する
CS <sub>0</sub> , CS <sub>1</sub> , $\overline{CS_2}$	22, 24, 23	入力	PIA を選択するためには, CS <sub>0</sub> と CS <sub>1</sub> を "H" レベル, $\overline{CS_2}$ を "L" レベルにする. データ転送は R/ $\overline{W}$ 信号と E パルスによって実行される
RS <sub>0</sub> , RS <sub>1</sub>	36, 35	入力	PIA 内部の六つのレジスタを選択するために使われる. これら 2 本の入力ラインは, PIA 内部のコントロール・レジスタとの組み合わせによって特定のレジスタを選択する
$\overline{IRQA}$ , $\overline{IRQB}$	38, 37	出力	直接あるいは割り込み優先順位決定回路を通して, MPU の $\overline{IRQ}$ へつながれ, 割り込み動作を起動する. これらの出力はオープン・ドレインである
PA <sub>0</sub> ~PA <sub>7</sub>	2~9	入出力	ペリフェラル・データ・バス・ライン. 端子ごとに入力あるいは出力としてプログラムすることができる. このバスを出力とするためには, データ・ディレクション・レジスタの対応するビットの内容を "1" にセットする. またバスを入力するためには, データ・ディレクション・レジスタの対応するビットの内容を 0 にリセットすることによってなされる

端子名	ピン番号	入出力	機能
PB <sub>0</sub> ~PB <sub>7</sub>	10~17	入出力	ポート B 側のペリフェラル・データ・バスは, PA <sub>0</sub> ~PA <sub>7</sub> と同様の方法で, 入力あるいは出力のいずれの動作にもプログラムすることができる. PB <sub>0</sub> ~PB <sub>7</sub> は 3 ステート出力になっているので, ペリフェラル・バスが入力として使われるとき, ハイインピーダンス状態となる
CA <sub>1</sub> , CB <sub>1</sub>	40, 18	入力	入出力機器から割り込みに対応してコントロール・レジスタのインタラプト・フラグをセットするための割り込み要求入力端子
CA <sub>2</sub>	39	入出力	割り込み入力として, あるいは入出力機器制御のための出力としても, プログラムすることができる. この信号の機能はコントロール・レジスタ A によってプログラムされる
CB <sub>2</sub>	19	入出力	割り込み入力として, あるいは入出力機器制御のための出力としてもプログラムすることができる. この信号の機能はコントロール・レジスタ B によってプログラムされる



# PIT [Parallel Interface/Timer]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~7.0	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-55~150	°C

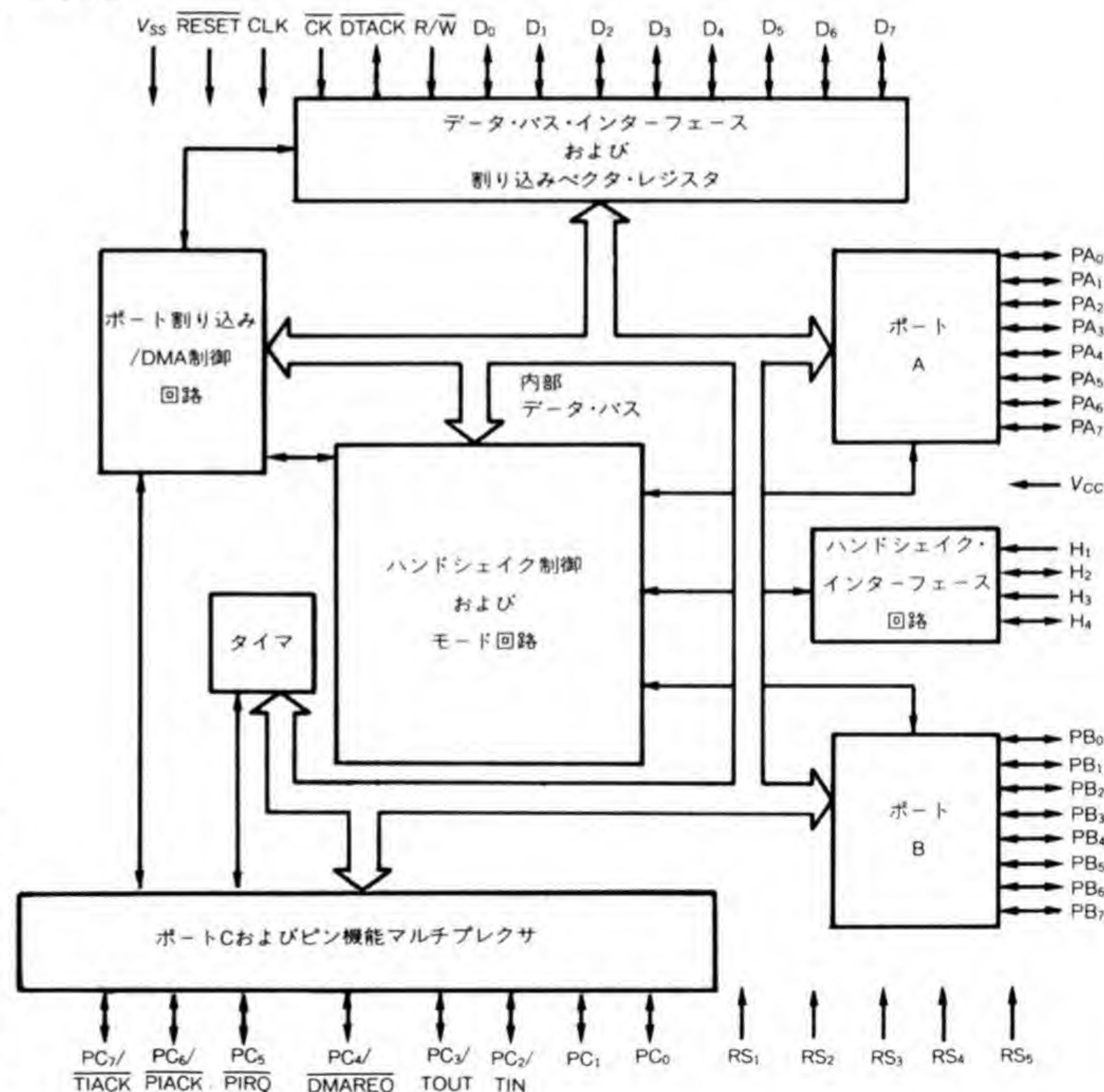
## ■ 特徴

- ・多目的ダブルバッファ・パラレル・インターフェースとタイマを内蔵
- ・68000バス・コンパチブル
- ・3種類のポート・モード  
ビット I/O  
単方向8ビット, 16ビット  
双方向8ビット, 16ビット
- ・タイマはシステム・クロックまたは外部クロックで

## の動作が可能

- ・24ビット・プログラマブル・タイマ内蔵
- ・ソフトウェア・プログラマブル・タイマ・モード
- ・ハンドシェイク・オプション選択可能
- ・割り込みベクタ発生ロジック内蔵
- ・独立したポート/タイマ割り込み要求
- ・レジスタはリード/ライトでき, 直接アクセス可能

## ■ ブロック図



## ■ DC特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5.0\text{V}\pm5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2.4\text{mA}$	0.5	V
$V_{OH}$	$I_{OH}=100\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT}=0.4\sim2.4$	20	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	10	$\mu\text{A}$
$C_{IN}$		15	pF



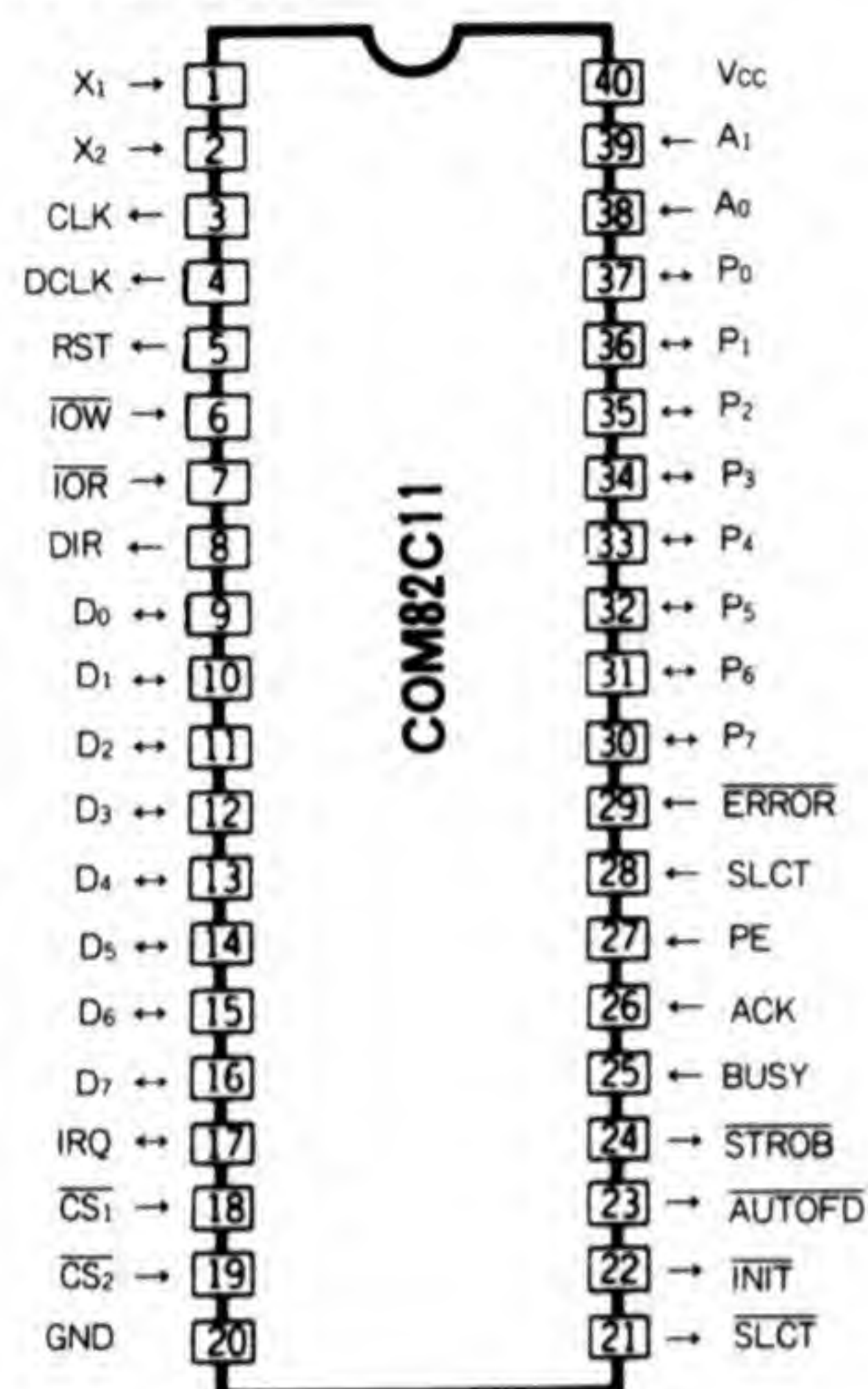
## ■端子機能

端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	双方向データ・バス	1~3, 44~48	入出力	データ転送を行う 8 ビットの双方向データ・バス
RS <sub>1</sub> ~RS <sub>5</sub>	レジスタ・セレクト	25~29	入力	アクティブ“H”のハイ・インピーダンス入力で、25個のレジスタ中のどのレジスタがアドレスされるかを決定する
R/ $\overline{W}$	リード/ライト入力	43	入力	ハイ・インピーダンスのリード/ライト入力信号で、バス・サイクルがリード・サイクル (“H”) であるかライト・サイクル (“L”) であるかを示す
$\overline{CS}$	チップ・セレクト入力	41	入力	ハイ・インピーダンス入力でバス・サイクルに対して内部レジスタを選択する。バス・マスタのアドレス・ストロブとデータ・ストロブ（上位または下位）は、適切なアドレス・ビットと共にチップ・セレクト信号を作る回路に含まなければならない
$\overline{DTACK}$	データ転送アクノリッジ出力	42	出力	アクティブ“L”出力で、バス・サイクルの完了を知らせる。リードまたは割り込みアクノリッジ・サイクル中、データ・バス上にデータが出力された後、 $\overline{DTACK}$ は PI/T によってアサートされる。ライト・サイクル中は $\overline{DTACK}$ はデータが受け付けられた後にアサートされる
$\overline{RESET}$	リセット入力	39	入力	$\overline{RESET}$ はハイ・インピーダンス入力ですべての内部機能をイニシャライズする
CLK	クロック入力	40	入力	クロック入力信号
PA <sub>0</sub> ~PA <sub>7</sub> , PB <sub>0</sub> ~PB <sub>7</sub>	ポート A, ポート B	4~11, 17~24	入出力	ポート A とポート B は 8 ビット・ポートで、特定のモードでは 16 ビット・ポートとなる。ポートはハンドシェイク・ピン H <sub>1</sub> ~H <sub>4</sub> と関連して制御される
H <sub>1</sub> ~H <sub>4</sub>	ハンドシェイク信号 (I/O はモード、サブ・モードによって決まる)	13, 15, (H <sub>1</sub> , H <sub>3</sub> ) 14, 16 (H <sub>2</sub> , H <sub>4</sub> )	入力 入出力	ハンドシェイク信号 H <sub>1</sub> ~H <sub>4</sub> は多目的信号で、動作モードによってインターロック・ハンドシェイク、パルス・ハンドシェイク、割り込み入力（データ転送には無関係）、汎用 I/O などの信号となる
PC <sub>0</sub> ~PC <sub>7</sub>	オルタネイト・ファンクション・ポート C	30~37	入出力	このポートは、8 本の汎用 I/O 信号 (PC <sub>0</sub> ~PC <sub>7</sub> ) として使えるほか、6 本の特別な機能をもつピン 2 本の汎用 I/O 信号 (PC <sub>0</sub> ~PC <sub>7</sub> ) の組み合わせとしても使われる。各々のピンの入力あるいは出力の決定は、ポート C データ方向レジスタで行う



# Printer Interface

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

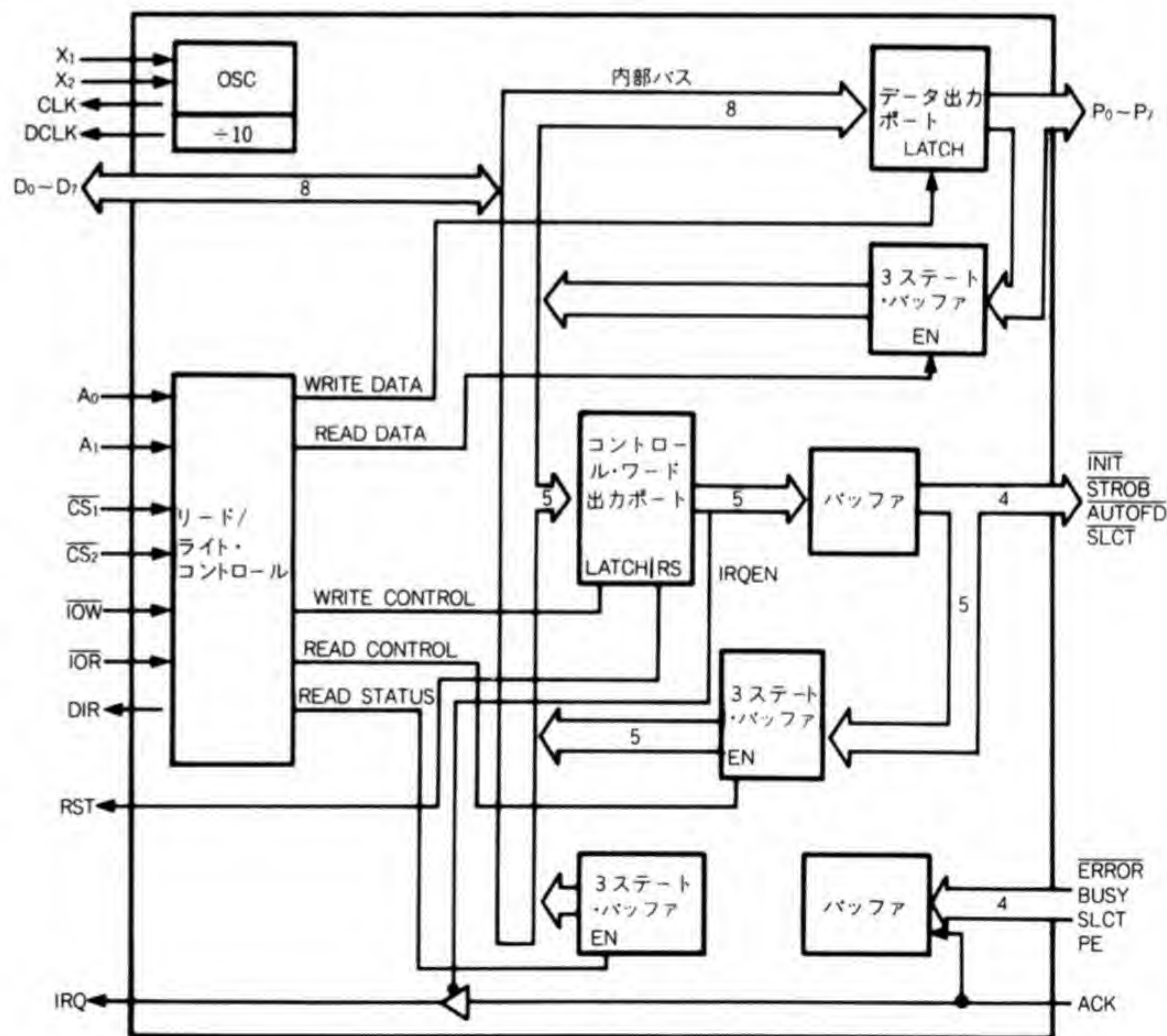
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$		0.5	V
$V_{OH}$		2.4*	V
$I_{OL}$			
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		50	pF

## ■ 特徴

- ・ セントロニクス仕様準拠でプログラマブルなパラレル・プリンタ・インターフェース
- ・ ユーザが制御可能な割り込み信号出力をもつ
- ・ プリンタ・インターフェース端子を直接ドライブ可能な電流供給能力をもつ

- ・ 発振回路を内蔵し、1.5MHzから20MHzの周波数まで発振可能
- ・ シリアル通信のボーレート・クロックおよびディスプレイ・インターフェースのドット・クロックに利用できる信号出力端子をもつ

## ■ ブロック図





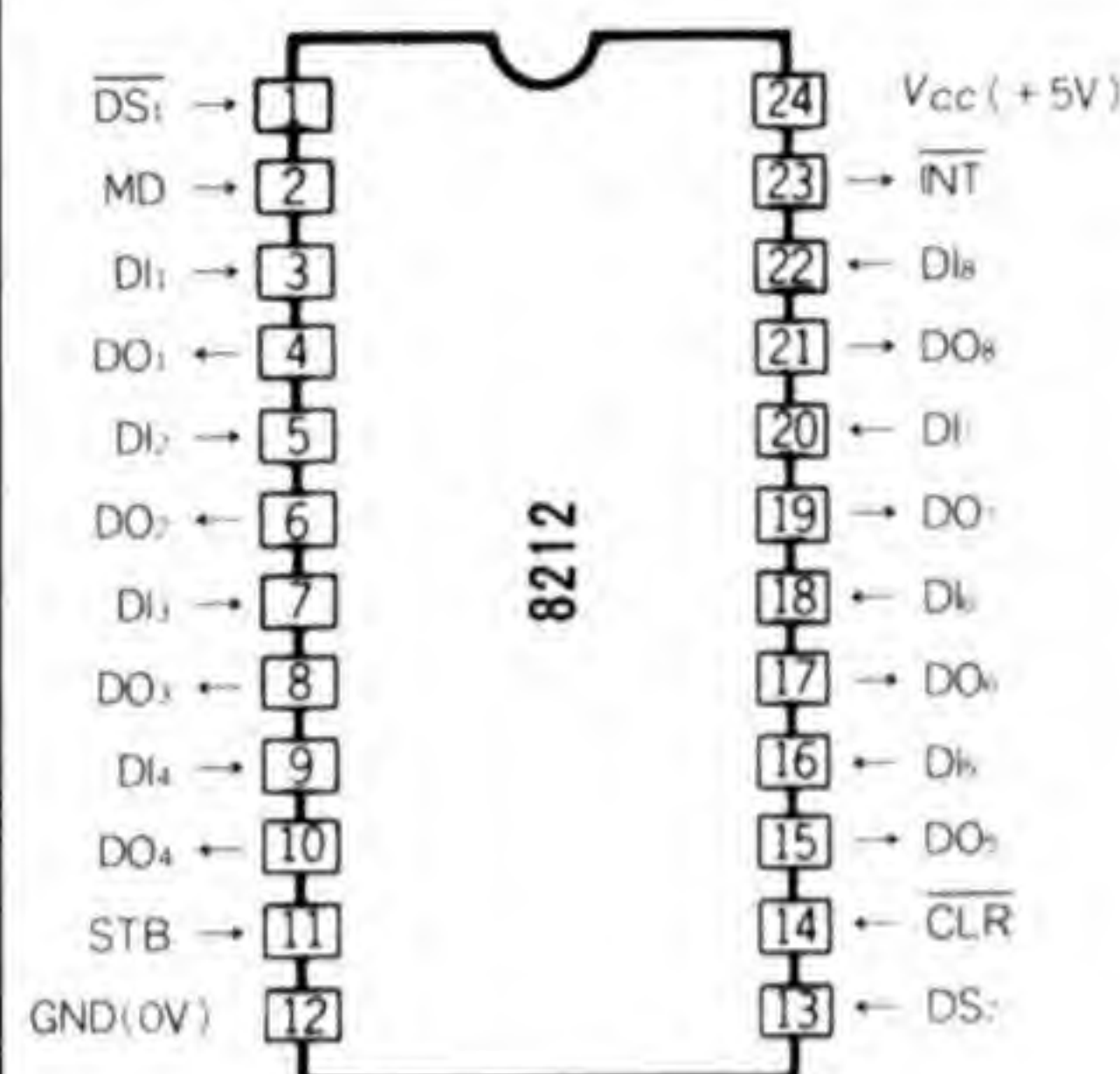
## ■ 端子機能

端子名	名称	ピン番号	入出力	機能
X <sub>1</sub> , X <sub>2</sub>	クリスタル端子	1, 2	入力	水晶振動子接続端子
CLK	クロック出力	3	出力	水晶と同じ周波数のバッファ・クロック
DCLK	クロック分周出力	4	出力	3ピンのI/Oの周波数のバッファ・クロック
RST	リセット	5	出力	アクティブ“H”のリセット端子
$\overline{\text{IOW}}$	I/O ライト	6	入力	“L”信号入力でCPUはPAIにデータまたはコントロール・ワードを書き込むことができる
$\overline{\text{IOR}}$	I/O リード	7	入力	“L”信号入力で、CPUにデータ、コントロール・ワードまたはプリンタ・ステータス信号を送ることができる
DIR	ディレクション	8	出力	CPUとPAIのデータ・バス間のデータの流れの方向を示す
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	9~16	入出力	双方向8ビット・データ・バスで、システムのデータ・バスに接続する
IRQ	割り込み要求	17	入出力	割り込み要求出力信号端子であり、 $\overline{\text{ACK}}$ 信号入力にアクティブ“L”になったときに発生する
$\overline{\text{CS}}_1, \overline{\text{CS}}_2$	チップ・セレクト	18, 19	入力	$\overline{\text{CS}}_1$ かつ $\overline{\text{CS}}_2$ の入力が“L”信号のときCPUとの通信が可能となる
$\overline{\text{SLCT}}$	プリンタ・セレクト	21	出力	アクティブ“L”信号が出力されたとき、プリンタは選択される
$\overline{\text{INIT}}$	イニシエート	22	出力	アクティブ“L”信号が出力されたとき、プリンタ・バッファがクリアされる
$\overline{\text{AUTOFD}}$	オート・フード	23	出力	“L”信号出力のとき、プリンタは印字後1行自動的にフィードする
$\overline{\text{STROB}}$	データ・ストロブ	24	出力	“L”信号が出力されたとき、プリンタはデータをプリンタ・データ・バスのP <sub>0</sub> ~P <sub>7</sub> から読み込む
BUSY	ビジィ・ステート	25	入力	プリンタからの入力信号で、この信号が“H”のときはプリンタはデータを受け取ることはできない
ACK	アクノリッジ	26	入力	プリンタからの入力信号で、この信号が“L”のとき、プリンタはすでにデータを読み込み、次のデータを受ける用意ができている
PE	ペーパ・エンド	27	入力	この信号が“H”のときは、プリンタは紙切れを起こしている
SLCT	プリンタ・セレクト・ステータス	28	入力	この端子は、プリンタの電源にダウンしない限り“H”である
$\overline{\text{ERROR}}$	エラー・ステータス	29	入力	プリンタからのエラー状態入力信号
P <sub>7</sub> ~P <sub>0</sub>	プリンタ・データ・バス	30~37	入出力	CPUのライト・データ・コマンドで、プリンタにデータを送る
A <sub>0</sub> ~A <sub>1</sub>	アドレス	38, 39	入力	これらのアドレス信号は、 $\overline{\text{IOR}}$ , $\overline{\text{IOW}}$ , $\overline{\text{CS}}_1$ , $\overline{\text{CS}}_2$ と関連して五つのコマンドのひとつを選択する



# IOP (Input/Output Port)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5 ~ +7.0	V
入力電圧	$V_{IN}$	-0.5 ~ +5.5	V
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	-65 ~ +150	°C

## ■ 特徴

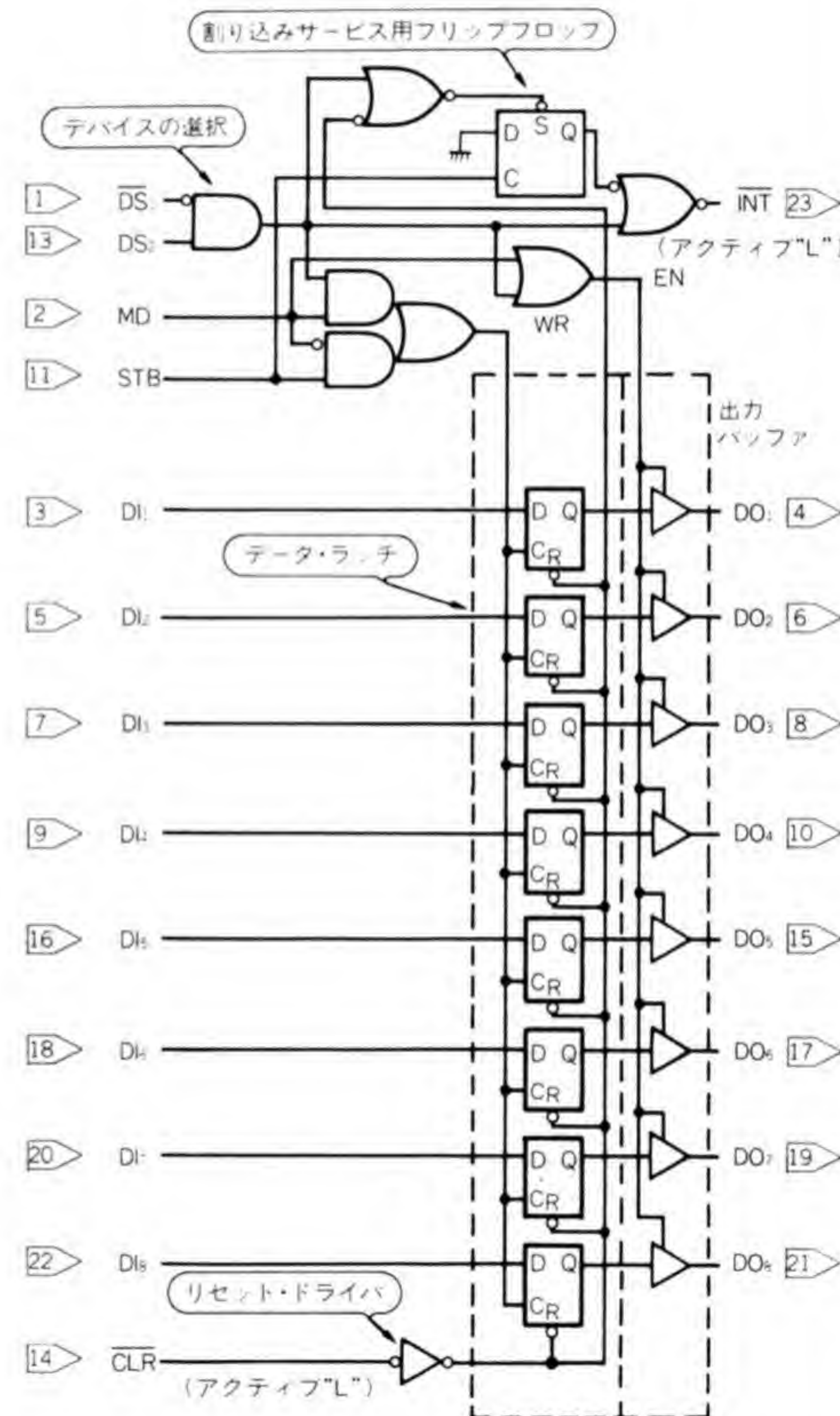
- ・ 並列 8 ビット・データ, レジスタおよびバッファ
- ・ 割り込み発生用サービス・リクエスト・フリップフロップ内蔵
- ・ 入力ロード電流が小さい, 最大 0.25 mA
- ・ 3 ステート出力
- ・ 出力シンク電流 15 mA
- ・ 3.65 V 以上の  $V_{OH}$  を保障している
- ・ クリア端子機能付き
- ・ マイクロコンピュータ・システムにバッファ・ラッチ, マルチプレサとして応用できる
- ・ システム全体のパッケージ数を減らすのに効果的

## ■ AC特性

( $T_a = 0 \sim +75^{\circ}\text{C}$ ,  $V_{CC} = +5\text{V} \pm 5\%$ )

記号	項目	min	max	単位
$t_{PW}$	パルス幅	30		ns
$t_{PD}$	データ出力遅延		30	ns
$t_{WE}$	ライト・イネーブル出力遅延		40	ns
$t_{SET}$	データ・セットアップ	15		ns
$t_H$	データ保持	20		ns
$t_R$	リセット出力遅延		40	ns
$t_S$	セット出力遅延		30	ns
$t_E$	出力イネーブル・ディセーブル		45	ns
$t_C$	クリア出力遅延		55	ns

## ■ ブロック図





## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{DS}_1$ , $DS_2$	デバイス・セレクト	1, 13	入力	素子選択. $\overline{DS}_1$ が“L”, $DS_2$ が“H”のとき選択される
MD	モード	2	入力	出力バッファの状態制御
$DI_1 \sim DI_8$	データ・イン	3, 5, 7, 9 16, 18, 20, 22	入力	データ入力
$DO_4 \sim DO_8$	データ・アウト	4, 6, 8, 10 15, 17, 19, 21	出力	ラッチ・データ出力
STB	ストローブ	11	入力	データ・ラッチへのクロック信号. サービス・リクエスト・フリップフロップをリセットする
$\overline{CLR}$	クリア	14	入力	ラッチ回路のクリア信号. “L”でクリアされる
$\overline{INT}$	インタラプト	23	出力	割り込み発生信号. “L”アクティブで8214に接続できる

## ■DC特性

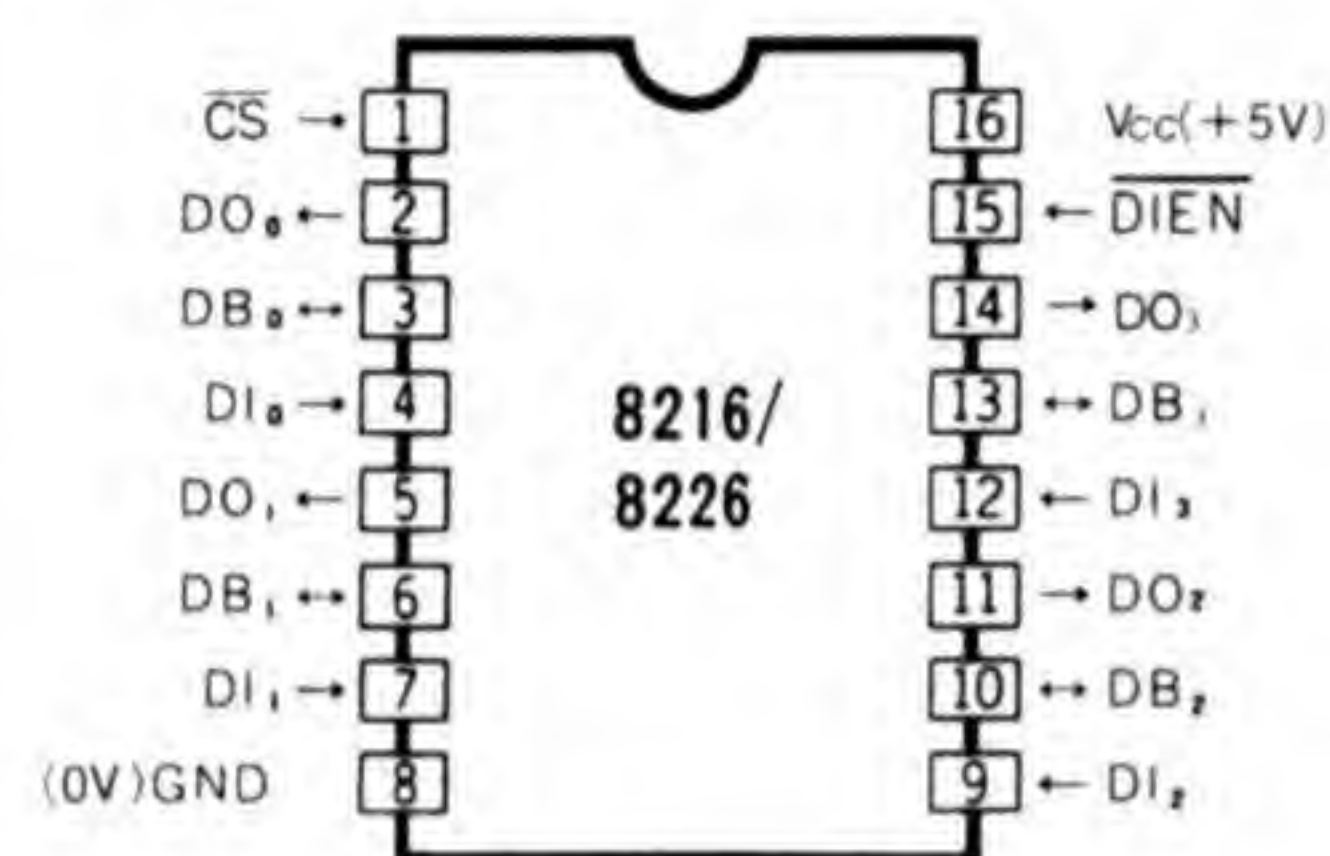
(T<sub>a</sub>=0°C ~ +75°C, V<sub>CC</sub>=+5V±5%)

記号	項目	測定条件	min	typ	max	単位
$I_F$	ACK, $DS_2$ , CR, $DI_1 \sim DI_8$ 入力	$V_F=0.45V$			-0.25	mA
$I_F$	MD入力	$V_F=0.45V$			-0.75	mA
$I_F$	$DS_1$ 入力	$V_F=0.45V$			-1.0	mA
$V_{IL}$	入力“L”電圧				0.85	V
$V_{IH}$	入力“H”電圧		2.0			V
$V_{OL}$	出力“L”電圧	$I_{OL}=15mA$			0.45	V
$V_{OH}$	出力“H”電圧	$I_{OH}=-1mA$	3.65	4.0		V
$I_{sc}$	短絡時出力電流	$V_O=0V$	-15		-75	mA
$I_O$	出力リーク電流 (ハイ・インピーダンス状態)	$V_O=0.45V/5.25V$			20	μA



# OB (Input/Output Buffer)

## ■ ピン接続



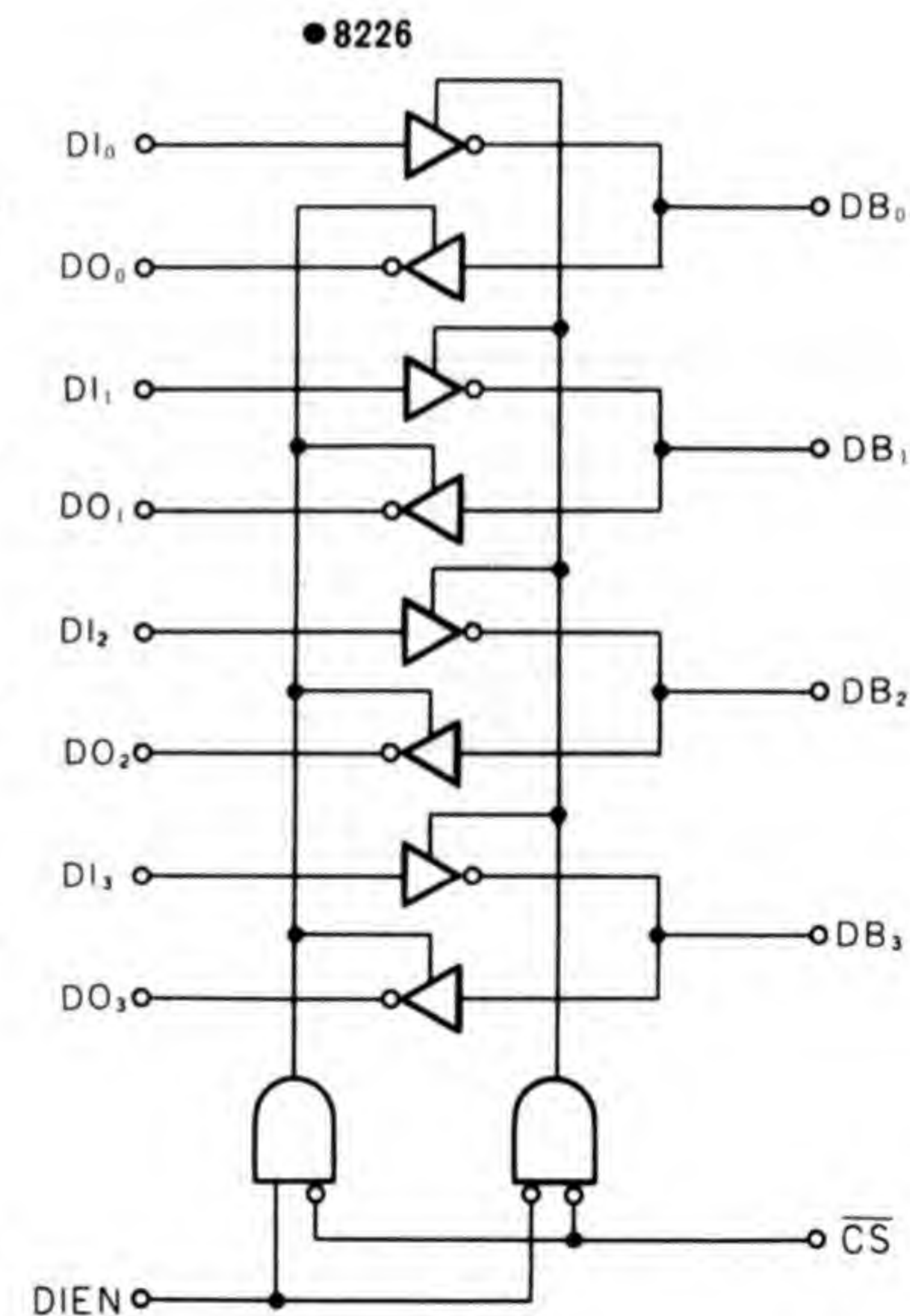
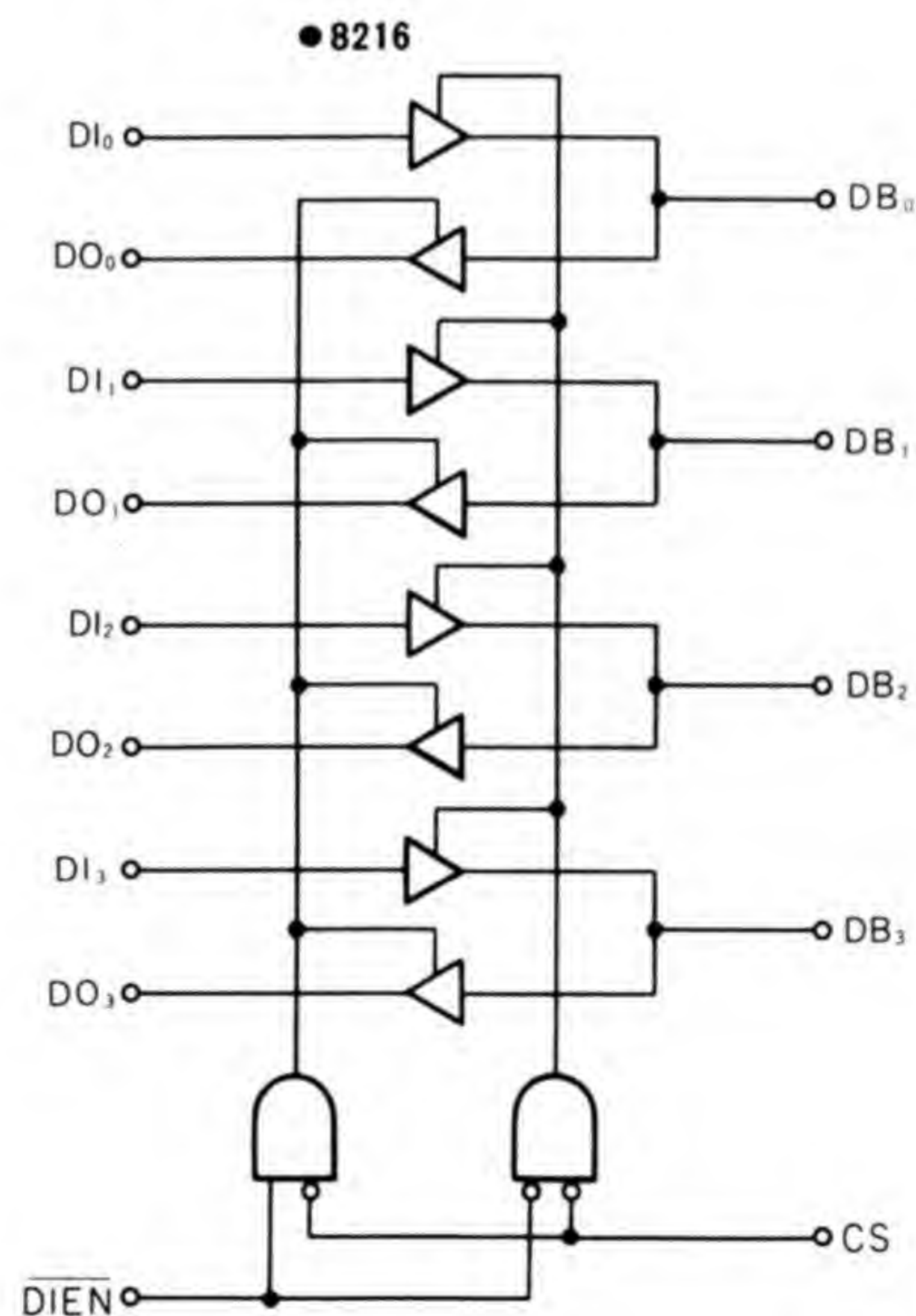
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +7.0$	V
入力電圧	$V_{IN}$	$-1.0 \sim +5.5$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

## ■ 特 徴

- ・ 8ビットCPUのデータ・バス・バッファ・ドライバとして利用できる
- ・ 低入力電流, 高出力電流でシステム・バス・ドライバとして高い能力をもっている

## ■ ブロック図





## ■端子機能

端子名	名称	ピン番号	入出力	機能
DB <sub>0</sub> ~DB <sub>3</sub>	双方向データ・バス	3, 6, 10, 13	入出力	双方向バス接続端子
DI <sub>0</sub> ~DI <sub>3</sub>	データ・イン	4, 7, 9, 12	入力	バス・バッファへの入力
DO <sub>0</sub> ~DO <sub>3</sub>	データ・アウト	2, 5, 11, 14	出力	バス・バッファの出力
$\overline{\text{DIEN}}$	データ・イン・イネーブル	15	入力	データの流れをコントロールする
$\overline{\text{CS}}$	チップ・セレクト	1	入力	チップ・セレクト, "H" のとき出力ドライバはハイ・インピーダンスになる

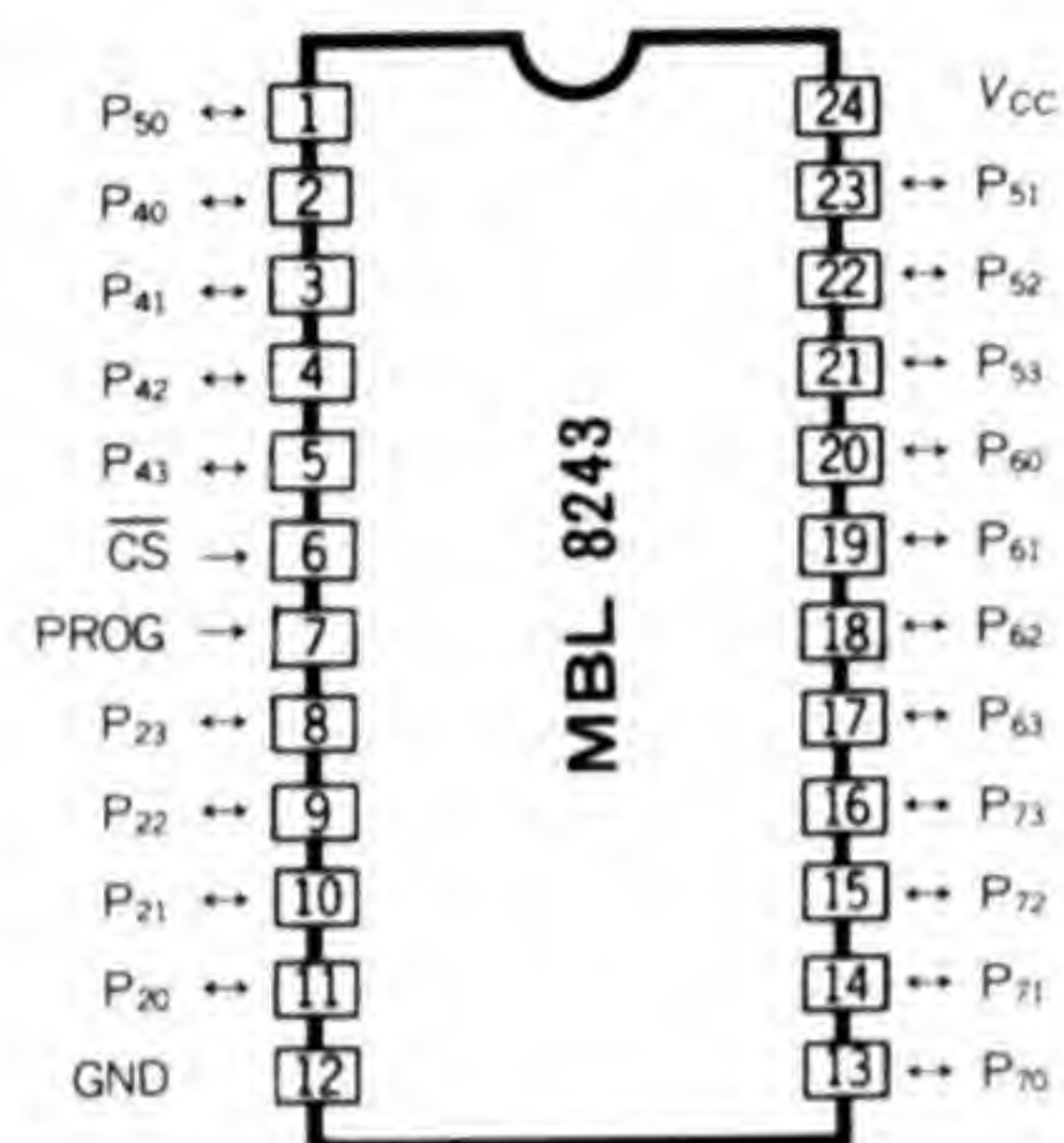
## ■DC特性

記号	測定条件	min	typ	max	単位
$I_{F1}$	$V_F=0.45$		-0.15	-0.5	mA
$I_{F2}$	$V_F=0.45$		-0.08	-0.25	mA
$I_{R1}$	$V_R=5.25V$			20	$\mu A$
$I_{R2}$	$V_R=5.25V$			10	$\mu A$
$V_C$	$I_C=-5mA$			-1	V
$V_{IL}$				0.95	V
$V_{IH}$		2.0			V
$ I_O $	$V_O=0.45V$			20	$\mu A$
	$V_O=5.25V$			100	$\mu A$
$I_{CC}$			95	130	mA
			85	120	mA
$V_{OL1}$	DO Outputs $I_{OL}=15mA$		0.3	0.45	V
	DB Outputs $I_{OL}=25mA$				
$V_{OL2}$	DB Outputs $I_{OL}=50mA$		0.5	0.6	V
	DO Outputs $I_{OH}=-1mA$		0.5	0.6	V
$V_{OH1}$	DB Outputs $I_{OH}=-10mA$	3.65	4.0		V
$V_{OH2}$	DB Outputs $I_{OH}=-10mA$	2.4	3.0		V
$I_{OS}$	DO Outputs $V_O=0V$	-15	-35	-65	mA
	DB Outputs $V_{CC}=5.0V$	-30	-75	-120	mA



# IE (I/O Expander)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~7.0	V
消費電力	P <sub>D</sub>	1	W
動作温度	T <sub>OPR</sub>	0~+70	°C
保存温度	T <sub>STG</sub>	-55~+150	°C

## ■ DC特性

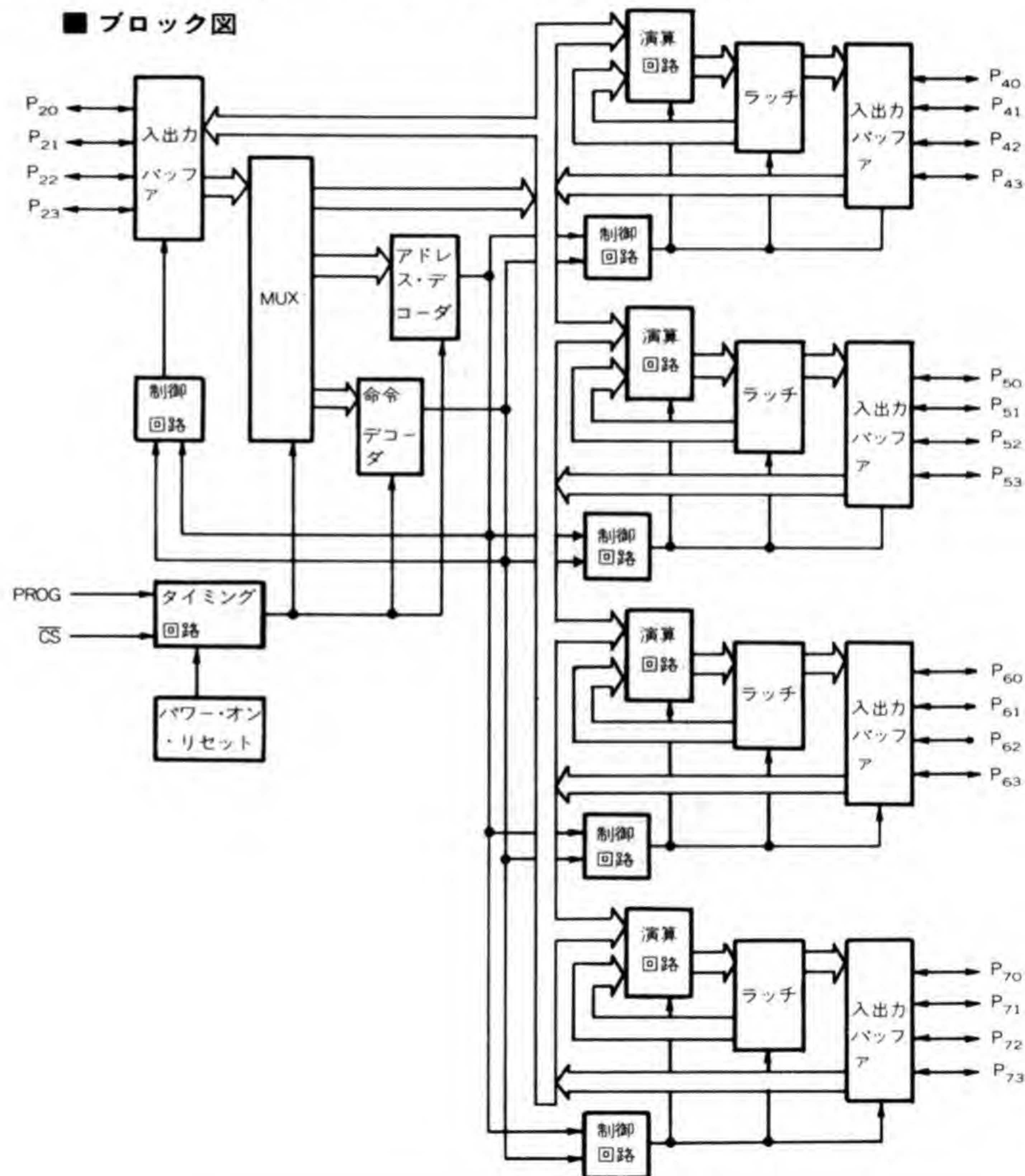
(T<sub>a</sub>=0~+70°C, V<sub>CC</sub>=5V±10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> =5mA	0.45	V
V <sub>OH</sub>	I <sub>OH</sub> =240μA	2.4*	V
I <sub>IL</sub>	V <sub>IN</sub> =0~V <sub>CC</sub>	±10	μA

## ■ 特 徴

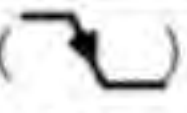
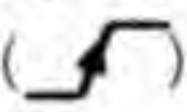
- ・ 8ビット・ワンチップ・マイコンのI/Oポート増設用エキスパンダ
- ・ 8048シリーズのマイコンと直接接続可能
- ・ CPUとは4ビットのインタフェース・ポートとス
- ・ トロンプ信号で接続可能
- ・ 4ビット双方向I/Oポート×4
- ・ ポートの内容と直接演算(AND, OR)可能
- ・ パワーオン・リセット回路内蔵

## ■ ブロック図





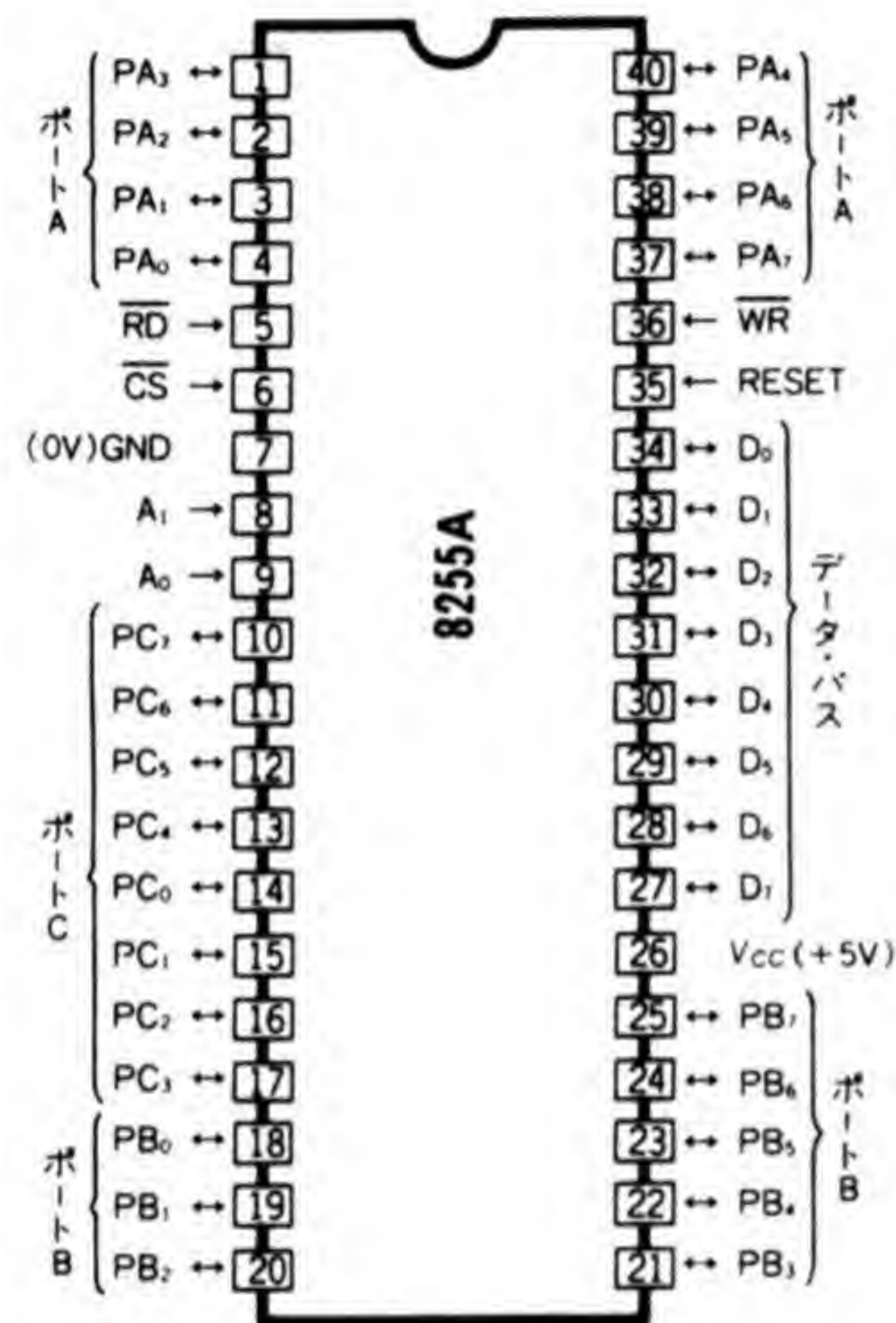
■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
$\overline{CS}$	チップ・セレクト	6	入 力	$\overline{CS}$ 端子は、TTL コンパチブルでハイ・インピーダンス入力のチップ・セレクト端子、“L” レベル入力で選択される
PROG	ストロープ	7	入 力	ストロープ入力端子。PROG 端子への立ち下がり (  ) 入力で、P <sub>20</sub> ～P <sub>23</sub> に入力された命令コードとアドレス・コードを取り込む。そして、PROG 端子への立ち上がり (  ) 入力で、P <sub>20</sub> ～P <sub>23</sub> で送受されるデータが有効となる
P <sub>23</sub> ～P <sub>20</sub>	ポート 2	8～11	入出力	4ビットの双方向性ポートで、8048 シリーズ・マイクロコンピュータとのインターフェース・ポート。ストロープ入力(PROG)の立ち下がり で命令コードとアドレス・コードが有効となり、ストロープ入力の立ち上がりでデータの送受が行われる。このポートは、入力命令を実行しているときを除いて、ハイ・インピーダンス状態を維持する
GND	グラウンド	12	—	グラウンド
P <sub>40</sub> ～P <sub>43</sub>	ポート 4	2～5	入出力	4ビットの双方向性入力/出力(I/O)ポート。8048シリーズ・マイクロコンピュータの拡張I/Oポートとして使われる。4ビットの四つのポートは、ポート 4、5、6 および 7 として、マイクロコンピュータの命令でアドレスされる。
P <sub>50</sub> , P <sub>51</sub> ～P <sub>53</sub>	ポート 5	1, 23～21	入出力	8048シリーズ・マイクロコンピュータから入力命令を受け取ると、指定されたポート・データが、ポート 2 を介してマイクロコンピュータに転送される。入力命令が実行されたポートは、その後 3 ステート状態となる。一方、出力命令の場合は、ストロープ入力(PROG)の立ち上がりでインターフェース・ポート (ポート 2) のデータが取り込まれ指定されたポートにラッチ出力される。また、ポートにラッチ出力されているデータとの演算命令も用意されており、この場合は、ストロープ入力(PROG)の立ち上がりで取り込まれたポート 2 のデータと、指定されたポートの出力データとの間で演算が行われ、その結果が指定されたポートにラッチ出力される
P <sub>60</sub> ～P <sub>63</sub>	ポート 6	20～17	入出力	
P <sub>70</sub> ～P <sub>73</sub>	ポート 7	16～13	入出力	
V <sub>CC</sub>	電源	24	—	+ 5 V 電源



# PP| (Programmable Peripheral Interface)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5 ~ +7.0	V
入力電圧	$V_{IN}$	-0.5 ~ +7.0	V
消費電力	$P_D$	1	W
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	-65 ~ +150	°C

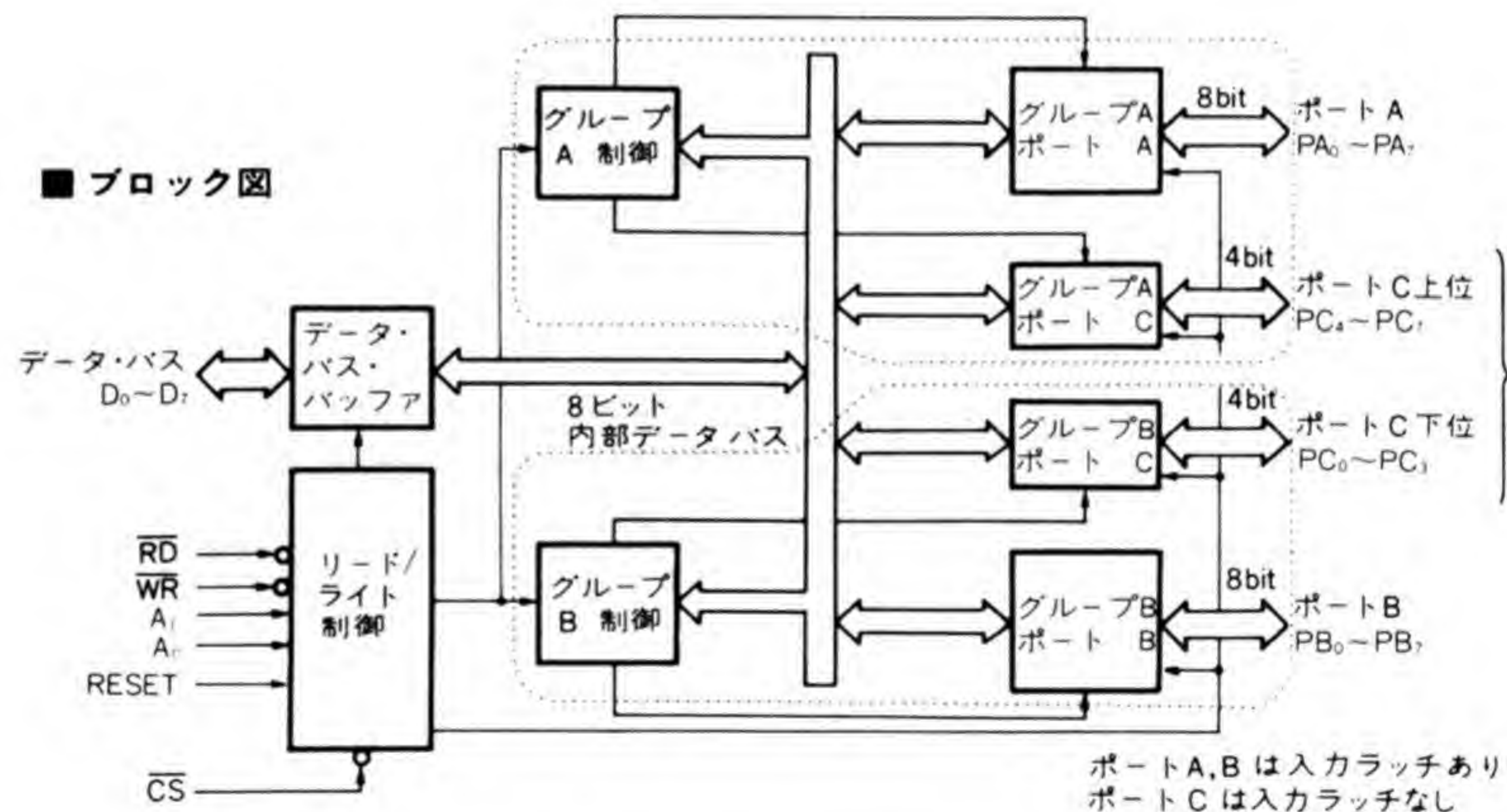
## ■ DC特性

項目	max/min*	単位
$V_{IL}$	0.8	V
$V_{IH}$	2.0*	V
$V_{OL}$	0.45	V
$V_{OH}$	2.4*	V
$I_{CC}$	120	mA

## ■ 特 徴

- ・ 8080系 (8255A), 8085系 (8255A-5) に適合
- ・ TTLコンパチブル
- ・ 24本のプログラマブル可能なI/O端子をもつ
- ・ A, B二つのポートをそれぞれ三つのモードで使用可能 (モード2はポートAのみで可能)
  - モード0; 制御信号なしの入出力ポート
  - モード1; 制御信号付きの入出力ポート
  - モード2; 制御信号付き, 双方向の入出力ポート

## ■ ブロック図



ポートA, Bがモード0以外のモードで使われると、ポートC端子の一部がポートA, B用の制御端子となる。  
制御端子として使われていないポートC端子は、独立したI/Oポートとして使用することができる



## ■ 端子機能

端子名	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	27~34	3ステート 入出力	8ビットの3ステート双方向性データ・バス、MPUとのデータ転送時に使用される。またPPIに対するコントロール・ワード、PPIからのステータス情報の転送にも使用される
PA <sub>0</sub> ~PA <sub>7</sub>	1~4, 40~37	3ステート 入出力	8ビット入出力ポートA。ソフトウェアによってモード設定および入出力の設定を行う。ポートAは出力ラッチ・バッファおよび入力ラッチをもっている
PB <sub>0</sub> ~PB <sub>7</sub>	18~25	3ステート 入出力	8ビット入出力ポートB。ソフトウェアによってモード設定および入出力の設定を行う。ポートBは出力ラッチ・バッファおよび入力ラッチをもっている
PC <sub>0</sub> ~PC <sub>7</sub>	14~17, 13~10	3ステート 入出力	8ビット入出力ポートC。ソフトウェアによってモード設定および入出力の設定を行う。ポートCはモード・コントロールによって2個の4ビット・ポートに分割でき、さらに、ポートA、ポートBのコントロール信号としても使用される。この場合には、PC <sub>0</sub> ~PC <sub>2</sub> の3ビットをポートB用へ、PC <sub>3</sub> ~PC <sub>7</sub> の5ビットをポートA用に使用する
$\overline{\text{CS}}$	6	入力	チップ・セレクト入力。“L”レベルでPPIとMPUとのデータ転送が可能となり、“H”レベルではデータ・バスがハイ・インピーダンス状態になり、プロセッサからのコントロールは無視される
$\overline{\text{RD}}$	5	入力	リード信号。“L”でポートに入力されているデータをMPUに転送する
$\overline{\text{WR}}$	36	入力	ライト信号。“L”でMPUからPPIにデータあるいはコントロール・ワードを書き込む
A <sub>0</sub> , A <sub>1</sub>	9, 8	入力	ポートA、B、Cおよびコントロール・レジスタの選択に使用する。通常はアドレス・バスの下位2ビットに接続する
RESET	35	入力	“H”でコントロール・レジスタを含む全内部レジスタをクリアする。また全ポート(ポートA、B、C)はモード0のインプット・モード(ハイ・インピーダンス)になる

## ■ モード選択とポートC端子の定義

ポートA、ポートBのモードによって、下記のようにポートC端子が特殊用途用に自動的に設定される。

- ポートAが、モード1、入力するとき

PC <sub>3</sub>	INTR(A)	出力
PC <sub>4</sub>	$\overline{\text{STB(A)}}$	入力
PC <sub>5</sub>	IBF(A)	出力

- ポートAが、モード1、出力するとき

PC <sub>3</sub>	INTR(A)	出力
PC <sub>6</sub>	$\overline{\text{ACK(A)}}$	入力
PC <sub>7</sub>	OBF(A)	出力

- ポートAが、モード2のとき

PC <sub>3</sub>	INTR(A)	出力
PC <sub>4</sub>	$\overline{\text{STB(A)}}$	入力
PC <sub>5</sub>	IBF(A)	出力
PC <sub>6</sub>	$\overline{\text{ACK(A)}}$	入力
PC <sub>7</sub>	OBF(A)	出力

- ポートBが、モード1、入力するとき

PC <sub>0</sub>	INTR(B)	出力
PC <sub>1</sub>	IBF(B)	出力
PC <sub>2</sub>	$\overline{\text{STB(B)}}$	入力

- ポートBが、モード1、出力するとき

PC <sub>0</sub>	INTR(B)	出力
PC <sub>1</sub>	$\overline{\text{OBF(B)}}$	出力
PC <sub>2</sub>	$\overline{\text{ACK(B)}}$	入力

ポートCの下位3ビットは、制御用に使われる端子がない場合、通常書き込み操作によってアクセスできる。上位5ビットについては、制御用に使われる端子を含まないときは書き込み操作でアクセスできるが、含むときは制御用に使われずに残った端子に対してビット制御ワードによりアクセスすることができる。

制御用に使われていない端子で、入力ポート用に設定された端子はすべてつねに読み出しが可能である。



項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$-40 \sim 85$	℃
保存温度	$T_{STG}$	$-55 \sim 150$	℃

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL}=2.5\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=2.5\text{mA}$	3.0*	V
$I_{OL}$	$V_{OUT}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IH}$	$V_{IN}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		20	pF

- ・ 3ポートのプログラマブルI/O (8255相当) を2対内蔵
- ・ 8ビットの並列入出力ポートを6ポートもつ
- ・ 3種類の動作モードをもつ  
モード0: 制御信号なしの入出力ポート



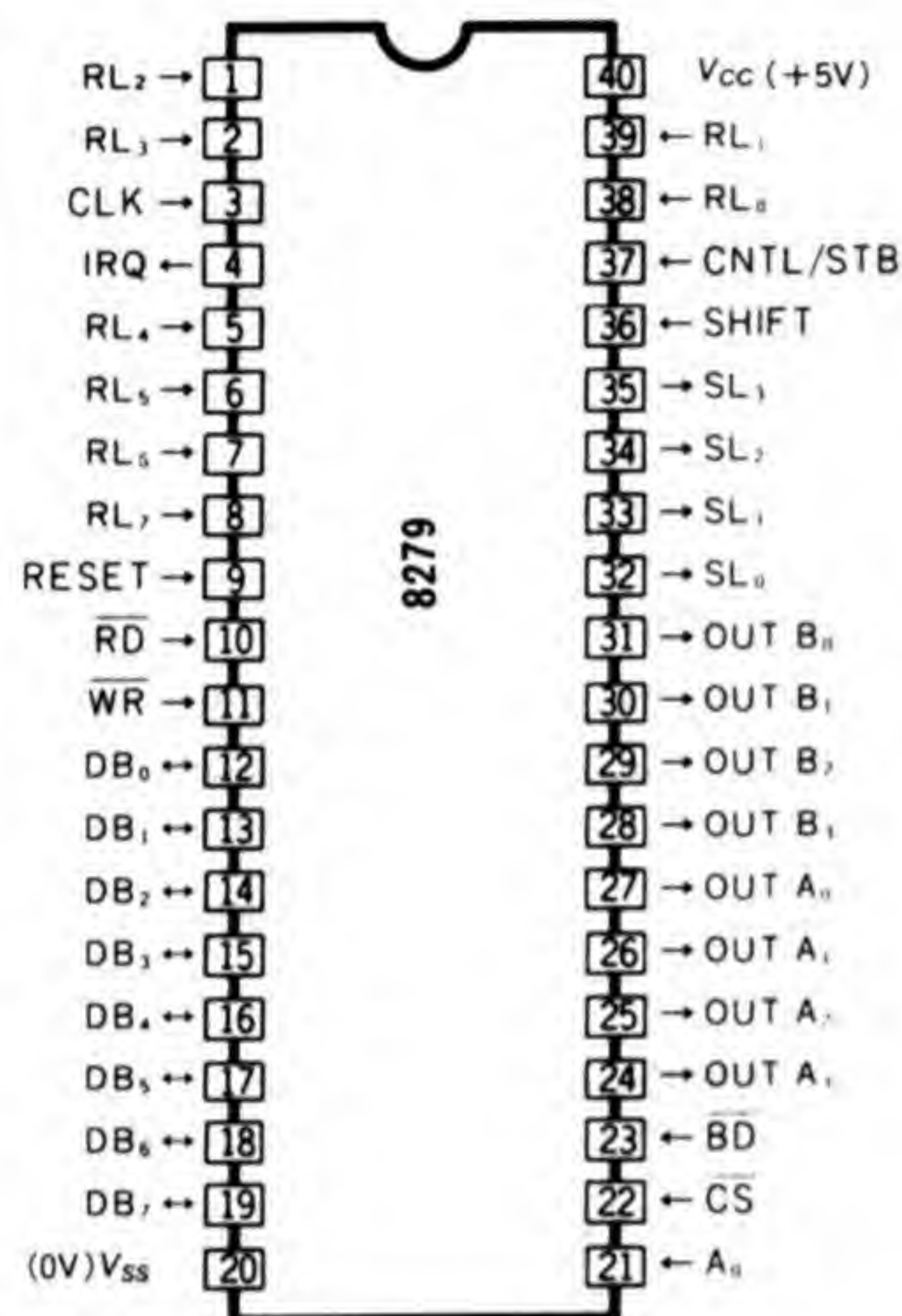
## ■端子機能

端子名	名称	ピン番号	入出力	機能
P <sub>30</sub> ~P <sub>37</sub>	ポート 3 各ビット	1~4, 77~80	入出力	8ビット汎用入出力ポート。グループ2に含まれて、コントロール・パラメータをプログラムで設定することによって、3種類の動作モードが選定できる
$\overline{W}$	ライト	5	入力	"L"レベル信号によって、コントロール・パラメータ、ポート出力データの書き込みがなされる。パラメータ、ポート・データの区別、選定はCS <sub>1</sub> , CS <sub>2</sub> , RSLCT <sub>0</sub> , RSLCT <sub>1</sub> 信号によりなされる
RST	初期設定リセット	6	入力	入力端子で、リセット信号により、MB89363は初期状態に設定され、二つの各コントロール・パラメータに初期値9B(16進)が自動的に設定される。初期状態とは、各ポートともモード0の入力状態で、全ポート端子は、"H"レベルに保たれている。 アクティブ信号レベルは、RHカRL信号により選定される。 RH/RL="0": RST (アクティブ"L") RH/RL="1": RST (アクティブ"H")
RH/RL	リセット/アクティブ・レベル選択	9	入力	RST端子をアクティブ"H"か、アクティブ"L"に設定する。 RH/RL="0": RST (アクティブ"L") RH/RL="1": RST (アクティブ"H") ただし、RH/RLは常にV <sub>CC</sub> かGNDかのどちらかに固定しておく
OUS/ $\overline{INS}$	ポート 0, 3 リード値選択	11	入力	ポート 0, 3 が出力中の状態で、ポート 0, 3 の値をリードするとき、ポート 0, 3 の外部端子の値を直接読み出すか、ポート 0, 3 の出力用ラッチの値を直接読み出すかを、この端子によって設定する。 OUS/INS="0": ポート 0, 3 出力中、ポート 0, 3 をリードしたとき、ポート 0, 3 の出力ラッチの値を読み出す。 OUS/INS="1": ポート 0, 3 出力中、ポート 0, 3 をリードしたとき、ポート 0, 3 の外部端子の値を読み出す
DB <sub>0</sub> ~DB <sub>7</sub>	双方向データ・バス	12~19	入出力	8ビットの双方向データ・バスでMPUとのデータ交信に使われる。 CS <sub>1</sub> , CS <sub>2</sub> , R, $\overline{W}$ 信号によってバス信号の開閉、データ方向などが制御される
P <sub>00</sub> ~P <sub>07</sub>	ポート 0 各ビット	20~23, 25~28	入出力	8ビット汎用入出力ポート。グループ0に含まれて、コントロール・パラメータをプログラムで設定することによって、3種類の動作モードが選定できる
$\overline{CS_1}$ , CS <sub>2</sub>	素子選択	29, 75	入力	この端子に"L"レベルの信号が入力されると、DB <sub>0</sub> ~DB <sub>7</sub> が解放されてMPUとのデータ交信が可能になる。コントロール・パラメータの書き込み、各ポートへの書き込み、各ポートからの読み出しなどがなされる。 CS <sub>1</sub> ="0": I/O <sub>1</sub> を選択する。CS <sub>2</sub> ="0": I/O <sub>2</sub> を選択する。 CS <sub>1</sub> ="0", CS <sub>2</sub> ="0"として同時選択することは禁止されている
RSLCT <sub>0</sub> , RSLCT <sub>1</sub>	アクセス対象選択	31, 32	入力	MPUとデータ転送の際、CS <sub>1</sub> , CS <sub>2</sub> とこの信号によって、パラメータ、ポートの区別、選択がなされる
P <sub>20</sub> ~P <sub>27</sub>	ポート 2 各ビット	34~40, 43	入出力	グループ0, 1の各動作機能、モードによって、汎用入出力ポート、ハンドシェイク制御端子、ステータス・データ・ビット用入力端子として使われる
P <sub>10</sub> ~P <sub>17</sub>	ポート 1 各ビット	44~51	入出力	8ビット汎用入出力ポート。グループ1に含まれて、コントロール・パラメータをプログラムで設定することによって、2種類の動作モードが選定できる
P <sub>40</sub> ~P <sub>47</sub>	ポート 4 各ビット	54~61	入出力	8ビット汎用入出力ポート。グループ3に含まれて、コントロール・パラメータをプログラムで設定することによって、2種類の動作モードが選定できる
P <sub>50</sub> ~P <sub>57</sub>	ポート 5 各ビット	62, 65~71	入出力	グループ2, 3の各動作機能、モードによって汎用入出力ポート、ハンドシェイク制御端子、ステータス・データ・ビット用入力端子として使われる
R	リード	76	入力	"L"レベル信号によって、各ポートのデータが読み出される。ポートの種類は、CS <sub>1</sub> , CS <sub>2</sub> , RSLCT <sub>0</sub> , RSLCT <sub>1</sub> 信号により選定される



# PKDI (Programmable Keyboard/Display Interface)

## ■ ピン接続



## ■ 特徴

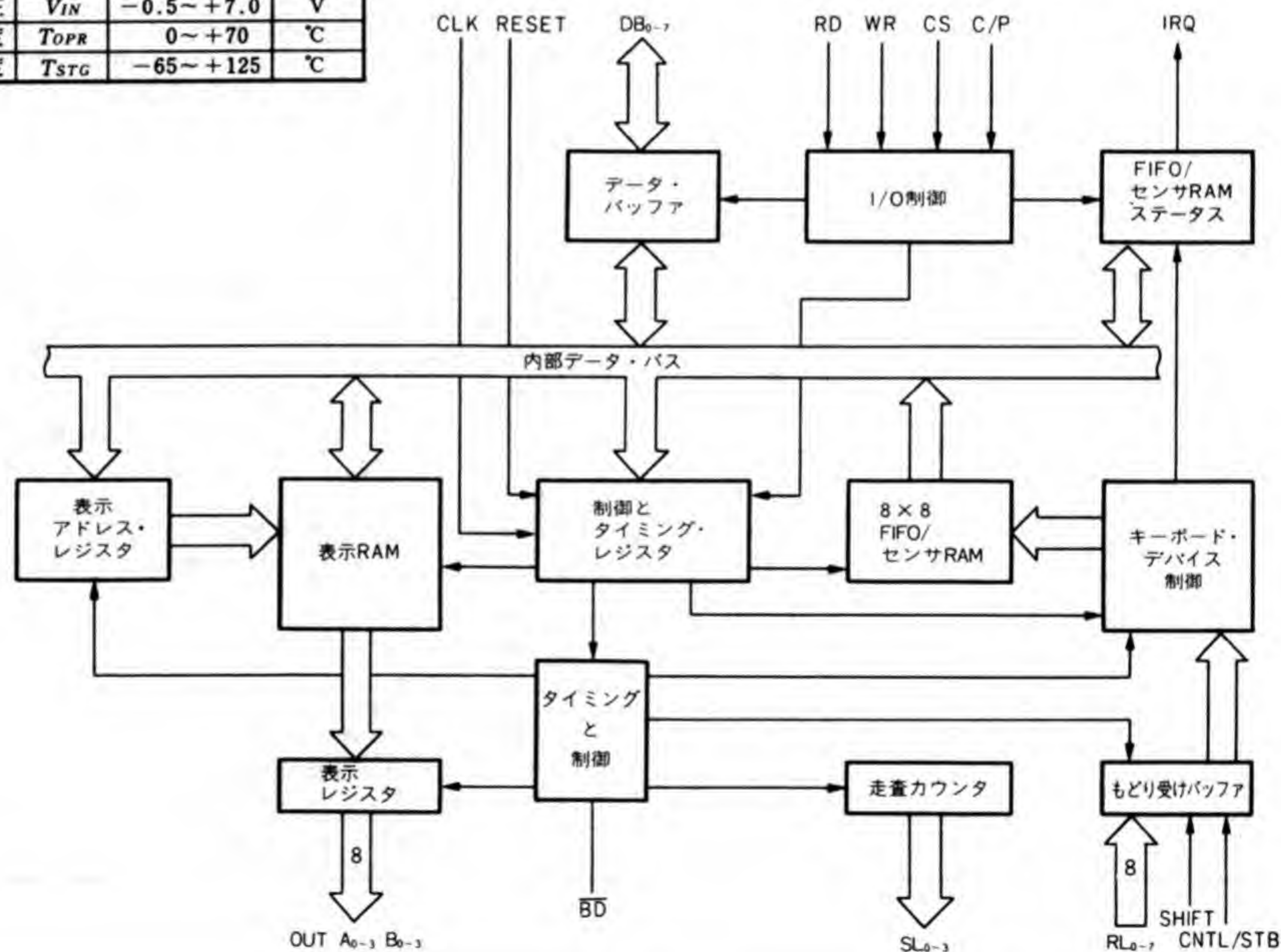
- ・ 8085Aファミリのキーボードと表示素子の制御を行う
- ・ 64接点キーボード・マトリクス制御ができる
- ・ 表示は8桁2個または16桁の数字表示, 16桁の数字表示 (もしくはそれ以下) ができる
- ・ 左右どちらからも書き込み可能な16バイトの表示用RAMをもっている

- ・ CPUからプログラマブルに各種のモードが設定できる
- ・ キー入力で割り込みを発生させることができる
- ・ CPUの負担を減らし, 入出力を必要とするアプリケーションが容易に構成できる

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim +7.0$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +125$	°C

## ■ ブロック図



## ■ DC特性

[ $T_a = 0 \sim +70^\circ\text{C}$ ,  $V_{CC} = +5\text{V} \pm 5\%$ ,  $V_{CC} = +5\text{V} \pm 10\%$  (8279-5)]

項目	測定条件	min	max	単位
$V_{IL1}$		-0.5	1.4	V
$V_{IL2}$		-0.5	0.8	V
$V_{IH1}$		2.2		V
$V_{IH2}$		2.0		V
$V_{OL}$	(注1)		0.45	V
$V_{OH1}$	(注2)	3.5		V
$V_{OH2}$		2.4		V
$I_{IL1}$	$V_{IN} = V_{CC}$		+10	$\mu\text{A}$
$I_{IL2}$	$V_{IN} = 0\text{V}$		-100	$\mu\text{A}$
$I_{OL}$	$V_{OUT} = V_{CC} \sim 0\text{V}$		$\pm 10$	$\mu\text{A}$

(注1) 8279,  $I_{OL} = 1.6\text{mA}$ ; 8279-5,  $I_{OL} = 2.2\text{mA}$

(注2) 8279,  $I_{OH} = -100\mu\text{A}$ ; 8279-5,  $I_{OH} = -400\mu\text{A}$



■ 端子機能

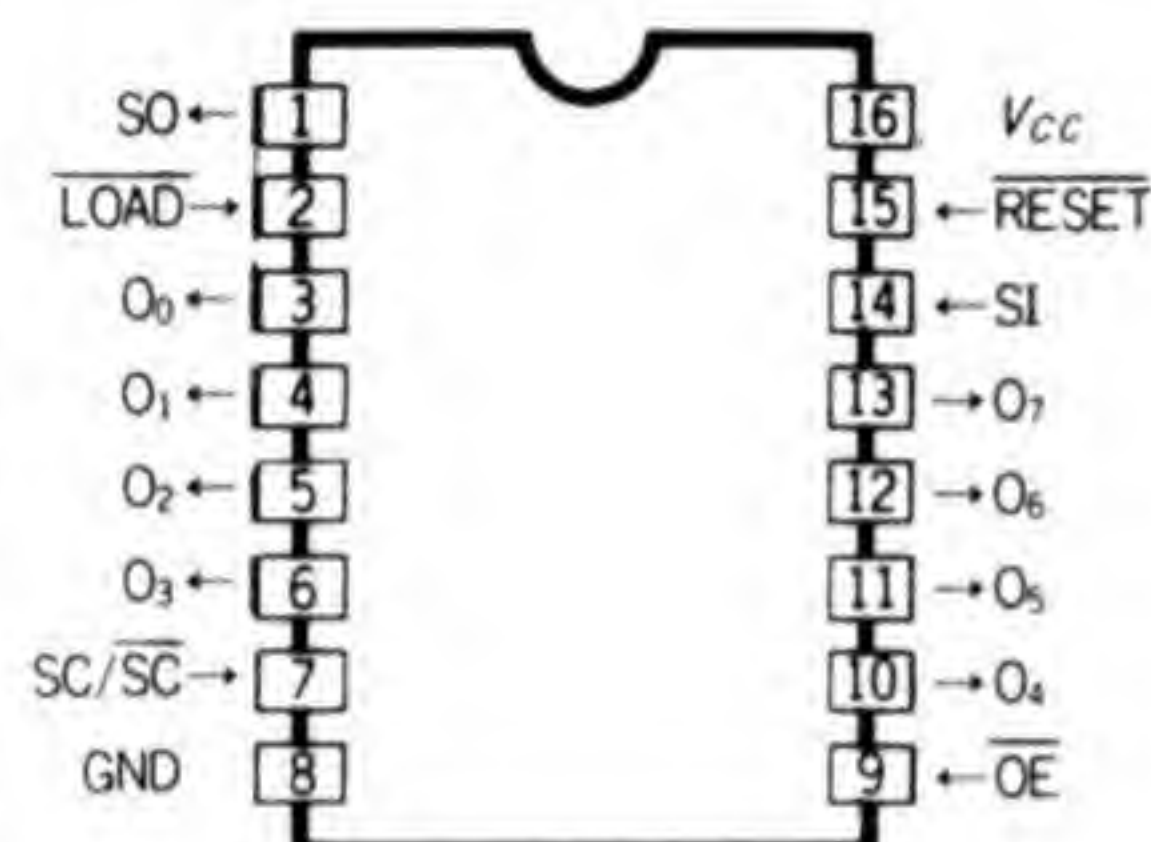
端子名	ピン番号	入出力	機能
DB <sub>0</sub> ~DB <sub>7</sub>	12~19	入出力	双方向性のデータ・バスで、コマンドとデータの転送は、このラインを通して行われる
CLK	3	入力	内部タイミングを発生させるために使用されるシステムからのクロック信号
RESET	9	入力	この端子を“H”レベルにすることによってリセットされる。リセットに続いて以下のモードにセットされる。 (1) 16×8ビット表示、左置数 (2) エンコード走査キーボード、2キー・ロックアウト。 クロックのプリスケール値は31にセットされる
$\overline{\text{CS}}$	22	入力	チップ・セレクト入力で、この端子を“L”レベルにすることによって、読み出し/書き込み操作をイネーブルにする
A <sub>0</sub>	21	入力	コマンド/データ制御入力で、この端子を“H”レベルにすると、コマンドまたはステータスとして解釈され、“L”レベルにするとデータとして解釈される
$\overline{\text{RD}}$	10	入力	読み出しストロブ信号で、“L”レベルにすることによって、データ・バス・バッファをイネーブルにし、内部のデータを読み出すのに使われる
$\overline{\text{WR}}$	11	入力	書き込みストロブ信号で、“L”レベルにすることによって、データ・バス・バッファをイネーブルにし、システム・バスからのデータを書き込むのに使われる
IRQ	4	出力	割り込み要求信号で、キーボード・モードにおいては、FIFO/センサRAMに有効データがあるとき“H”レベルになる。この割り込み要求ラインはFIFO/センサRAMを読むごとに“L”になるが、有効なデータが残っていると再び“H”に戻る。センサ・モードの場合、センサの変化を検出したときはいつでも、割り込み要求ラインが、“H”になる
SL <sub>0</sub> ~SL <sub>3</sub>	32~35	出力	キー・スイッチ、またはセンサ・マトリクスと表示ディジットを走査するのに使用される走査出力信号。これらのラインは、エンコードまたはデコードのどちらかが使用可能

端子名	ピン番号	入出力	機能
RL <sub>0</sub> ~RL <sub>7</sub>	38, 39, 1, 2, 5~8	入力	リターン・ライン入力で、キー・スイッチまたはセンサ・マトリクスを通して走査ラインに接続される。内部にプルアップ抵抗をもち、スイッチが閉じて、“L”になるまで“H”レベルを保持する。また、ストロブ入力モードにおいては、8ビットの入力となる
SHIFT	36	入力	キーボード・モードにおいて、押されたキーの位置情報に加えて、キー入力データの上位から2ビット目のデータとなり、FIFOに格納されるシフト入力。内部にプルアップ抵抗をもち、スイッチが押されて“L”になるまで“H”レベルを保持する
CNTL/STB	37	入力	キーボード・モードにおいては、押されたキーの位置情報に加えて、キー入力データの最上位ビットのデータとなり、FIFOに格納されるコントロール入力。ストロブ入力モードにおいては、リターン・ラインのデータをFIFOに格納するストロブ入力となる（立ち上がりエッジ）。内部にプルアップ抵抗をもち、スイッチが押されて“L”になるまで、“H”レベルを保持する
OUTA <sub>0</sub> ~A <sub>3</sub>	27~24	出力	これらの二つのポートは、16×4ビット表示用リフレッシュ・レジスタとして使用される出力端子。これらの出力データは、時分割表示として使用するために、走査ライン（SL <sub>0</sub> ~SL <sub>3</sub> ）と同期化されている。また、4ビット・ポートは、それぞれ独立にブランキングすることもできる。これらの二つのポートは、一つの8ビット・ポートとしても使用することができる
OUTB <sub>0</sub> ~B <sub>3</sub>	31~28	出力	
$\overline{\text{BD}}$	23	出力	表示をブランキングするために使用する出力端子。ディジットを切り替えている間、またはブランキング・コマンドによって表示をブランクする



# OE (Output Expander)

## ■ ピン接続



注) MB88307A の場合は SC 端子,  
MB88309A の場合は SC-bar 端子.

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	GND-0.3~7.0	V
入力電圧	$V_{IN}$	GND-0.3~ $V_{CC}$ +0.3	V
消費電力	$P_H$	0.2	W
動作温度	$T_{OPR}$	-40~85	°C
保存温度	$T_{STG}$	-55~150	°C

## ■ DC 特性

( $T_a = -40 \sim 85^\circ\text{C}$ ,  $V_{CC} = 3.0 \sim 5.5\text{ V}$ )

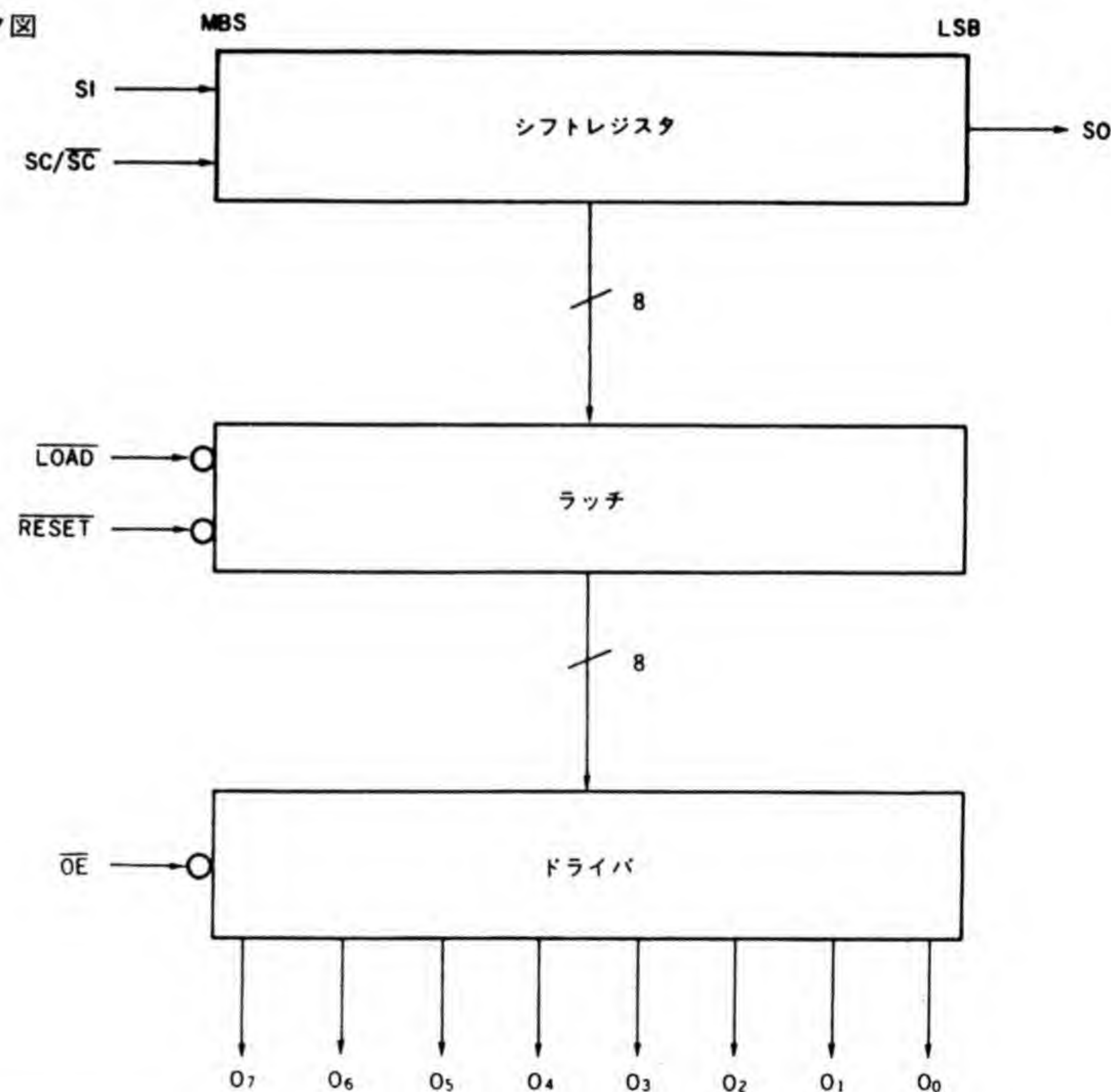
記号	測定条件	max/min*	単位
$V_{IL}$	$f = 4\text{ MHz}$	$0.3 \times V_{CC}$	V
$V_{IH}$	$f = 4\text{ MHz}$	$0.7 \times V_{CC}$	V
$V_{OL}$	$I_{OL} = 5\text{ mA}$	0.6	V
$I_{OFL}$	$V_{OUT} = 0 \sim 15\text{ V}$ , N-chTr オフ	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$

## ■ 特 徴

- ・ シリアル・パラレル変換機能を持つ出力ポート拡張用 L S I
- ・ 9 本の中耐圧 (最大+15V) 出力ポート内蔵
- ・ シリアル・インターフェース内蔵で 1 チップ・マイコンに接続可能
- ・ カスケード接続により 8 本単位で出力ポートが拡張可能

- ・ LED を直接ドライブ可能
- ・ 出力ポートは N-MOS オープン・ドレイン出力
- ・ データ取り込み方式  
MB88307A: シフト・クロックの立ち上がりエッジ  
MB88309A: シフト・クロックの立ち下がりエッジ

## ■ ブロック図



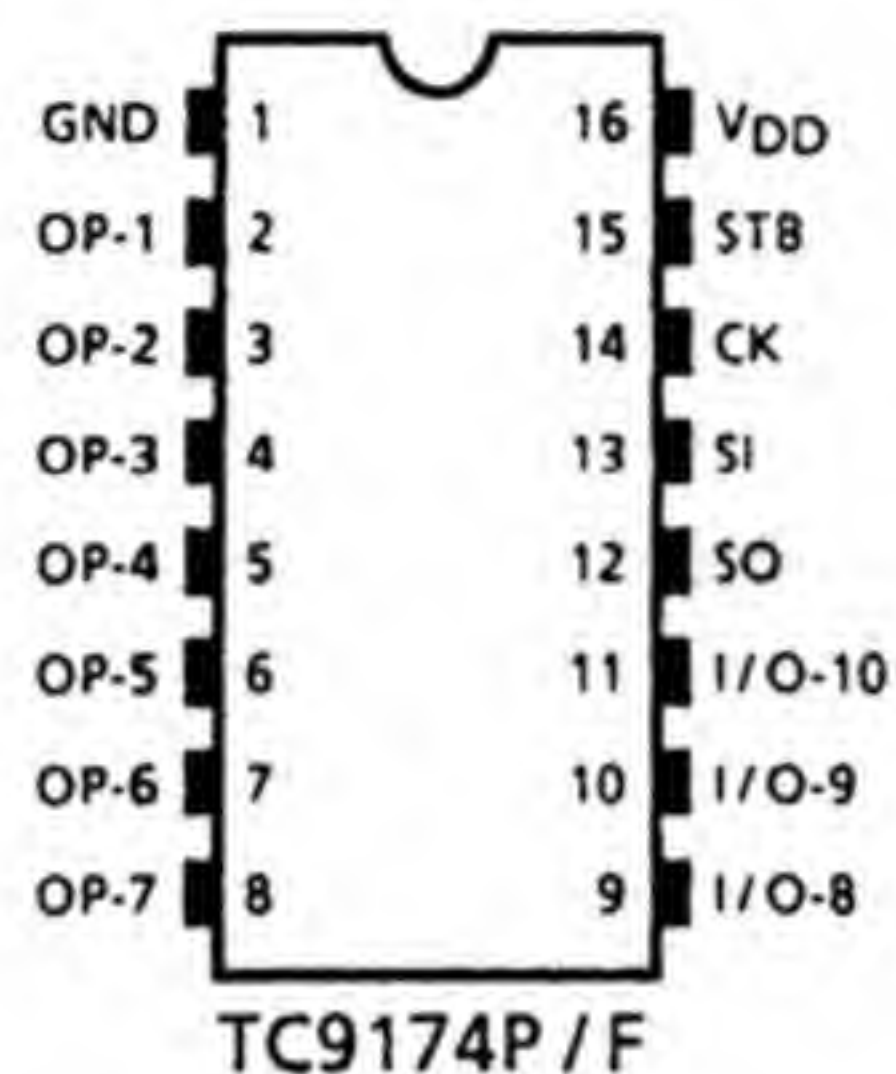
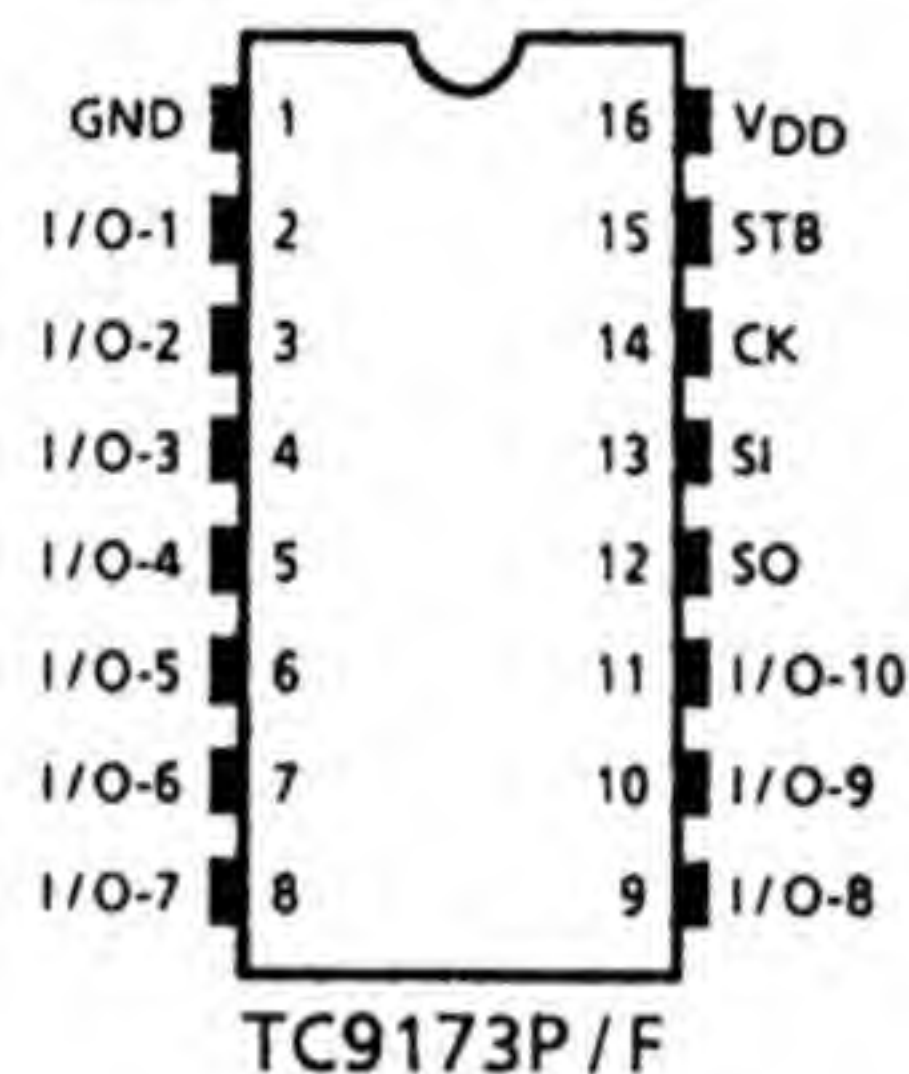


## ■端子機能

端子名	ピン番号	入出力	機能
SO	1	出力	シリアル・データ出力端子。 中耐圧の NMOS オープン・ドレイン端子。
$\overline{\text{LOAD}}$	2	入力	パラレル・データ・ラッチ信号制御端子。 シフトレジスタからラッチへ、データ・ロード信号 “L” でアクティブ “H” で保持（ヒステリシス入力）。
SC/ $\overline{\text{SC}}$	7	入力	シフト・クロック入力端子（ヒステリシス入力）。 SC の立ち上がり（MB88307A の場合）、または $\overline{\text{SC}}$ の立ち下がり（MB88309A の場合）によって SI 端子へ入力されたデータ・ビットはシフトレジスタの MSB へ入力され、シフトレジスタの他のビットは LSB へ 1 ビット分シフトする。シフトレジスタの LSB は SO 端子へ出力される。
$\overline{\text{OE}}$	9	入力	出力ポートの 3 ステート・コントロール入力端子。 “L” で出力アクティブ、“H” でハイ・インピーダンスになる。
SI	14	入力	シリアル・データ入力端子。
$\overline{\text{RESET}}$	15	入力	リセット入力端子（ヒステリシス入力）。 “L” で出力ラッチは “H” に、出力はハイ・インピーダンスになる。
$0_7 \sim 0_0$	13, 12, 11 10, 6, 5 4, 3	出力	出力ポート。 中耐圧の NMOS オープン・ドレイン端子。
$V_{cc}$	16	—	電源供給端子。
$V_{ss}$	8	—	GND 端子



## ■ピン接続



## ■最大定格

項目	記号	定 格	単位
電源電圧	$V_{DD}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{DD} + 0.3$	V
動作温度	$T_{OPR}$	$-30 \sim +75$	℃
保存温度	$T_{STG}$	$-55 \sim +125$	℃

## ■DC 特性

TC9173 ( $T_a = 25^\circ\text{C}$ ,  $V_{DD} = 5\text{V}$ )

記号	測定条件	max/min*	単位
$V_{IL}$	I/O $\uparrow$ -ト	$V_{DD} \times 0.3$	V
$V_{IH}$	I/O $\uparrow$ -ト	$V_{DD} \times 0.7^*$	V
$V_{IL}$	SI, CK, STB	標準2.0	V
$V_{IH}$	SI, CK, STB	標準3.0	V
$I_{IL}$	I/O $\uparrow$ -ト, $V_{IL} = 0$	-1.0	$\mu\text{A}$
$I_{IH}$	I/O $\uparrow$ -ト, $V_{IH} = 5\text{V}$	1.0	$\mu\text{A}$
$I_{OL}$	I/O $\uparrow$ -ト, $V_{OL} = 1.0\text{V}$	10.0*	mA

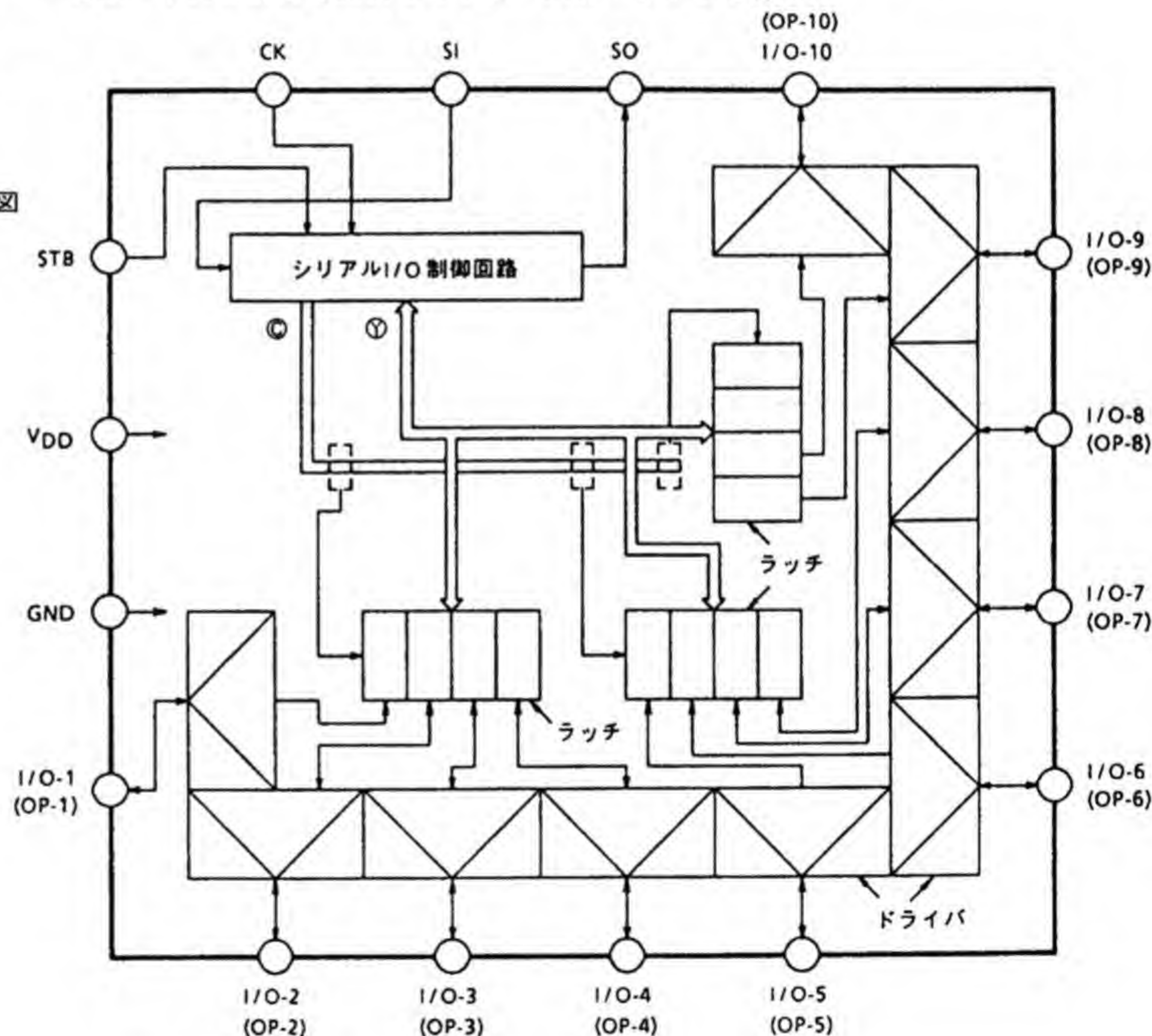
TC9174 ( $T_a = 25^\circ\text{C}$ ,  $V_{DD} = 5\text{V}$ )

記号	測定条件	max/min*	単位
$V_{IL}$	SI, CK, STB	標準2.0	V
$V_{IH}$	SI, CK, STB	標準3.0	V
$I_{OL}$	OUT $\uparrow$ -ト, $V_{OL} = 1.0\text{V}$	10.0*	mA
$I_{OH}$	SO, $V_{OH} = 4.0\text{V}$	-1.0*	mA

## ■特 徴

- ・ 10本のポート端子を持つI/Oエクスパンダ
- ・ TC9173は入力/出力ポート拡張用  
TC9174は出力専用ポート拡張用
- ・ 1ビット単位で入力/出力の設定が可能
- ・ 各ポートはN-ch オープンドレイン構造のドライバを内蔵 (シンク電流 10mA Min)
- ・ TC9174の出力ポートは高耐圧構造 (耐圧 18V Min)
- ・ TC9174では出力データをSO端子によりコントローラ側へ取り入れ可能
- ・ 各ポートの制御は4本のシリアル・バス・ラインで行う

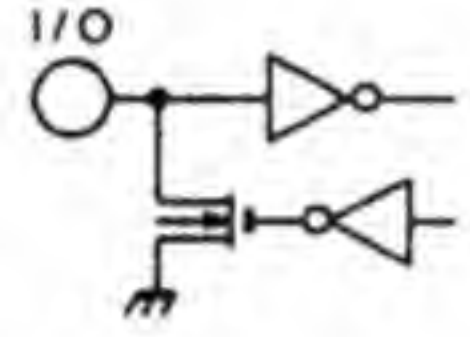
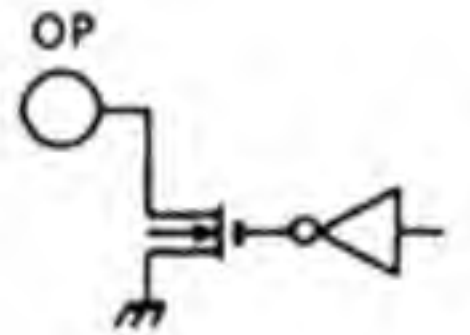
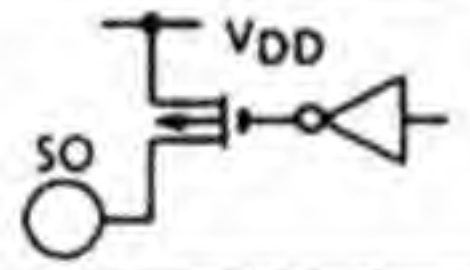
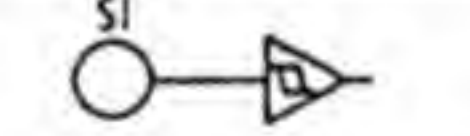
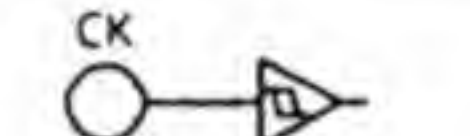
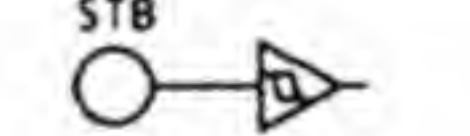
## ■ブロック図



(注) 端子名の ( ) 内の名称は TC9174P, TC9174F 用

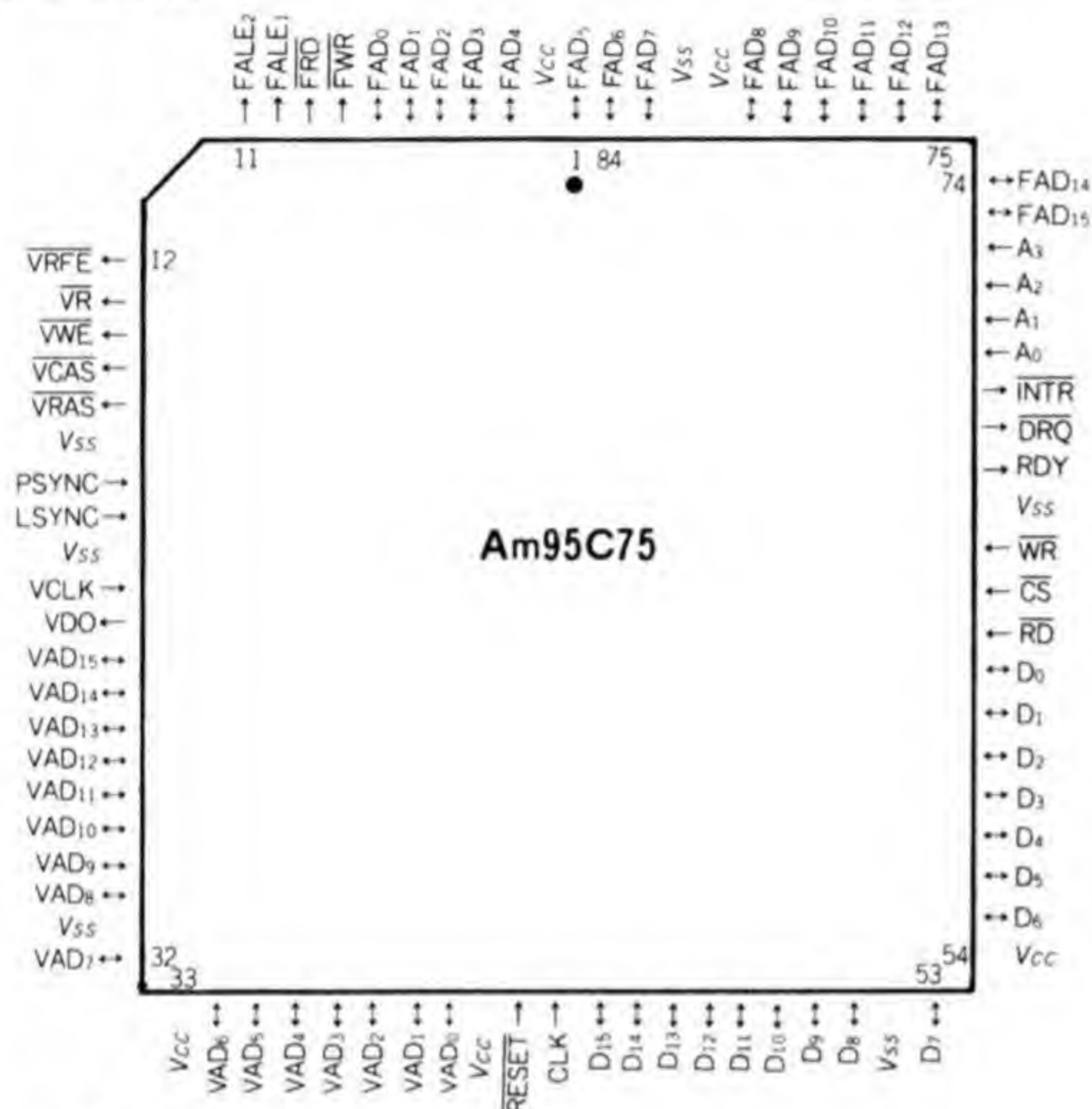


■端子機能

端子番号	記号	端子名称	機能・動作説明	備考
2	I/O-1 (OP-1)	TC9173P, TC9173F : 汎用 I/O ポート No.1~10	TC9173P, TC9173F : 汎用 I/O ポート プログラムにて、1ビット単位で、入 力/出力の設定が可能です。 ● 入力時は、CMOS入力 ● 出力時は、N-ch オープンドレイン出力 (大電流駆動、シンク電流 10mA Min.)	
3	I/O-2 (OP-2)			
4	I/O-3 (OP-3)			
5	I/O-4 (OP-4)			
6	I/O-5 (OP-5)			
7	I/O-6 (OP-6)	( )内は TC9174P, TC9174F : 汎用出力ポート No.1~10	TC9174P, TC9174F : 汎用出力ポート 高耐圧・大電流駆動用N-ch オープンドレイ ン出力 (シンク電流 10mA Min.) (耐 圧 18V Min.)	
8	I/O-7 (OP-7)			
9	I/O-8 (OP-8)			
10	I/O-9 (OP-9)			
11	I/O-10 (OP-10)			
12	SO	シリアル出力	シリアルI/Oポートのデータ出力ポート で、P-ch オープンドレイン出力になってい ます。	
13	SI	シリアル入力	シリアルI/Oポートのデータ入力ポート で、シュミット入力になっています。	
14	CK	クロック信号入力	シリアルI/Oポートのクロック信号入力 ポートで、シュミット入力になっていま す。	
15	STB	ストローク 信号入力	シリアルI/Oポートのストローク信号入力 ポートで、シュミット入力になっていま す。	
16	VDD	電源印加端子	5V±10% を印加します。	—
1	GND			



## ■ ピン接続



Am95C75

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$-55 \sim 125$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

## ■ DC特性

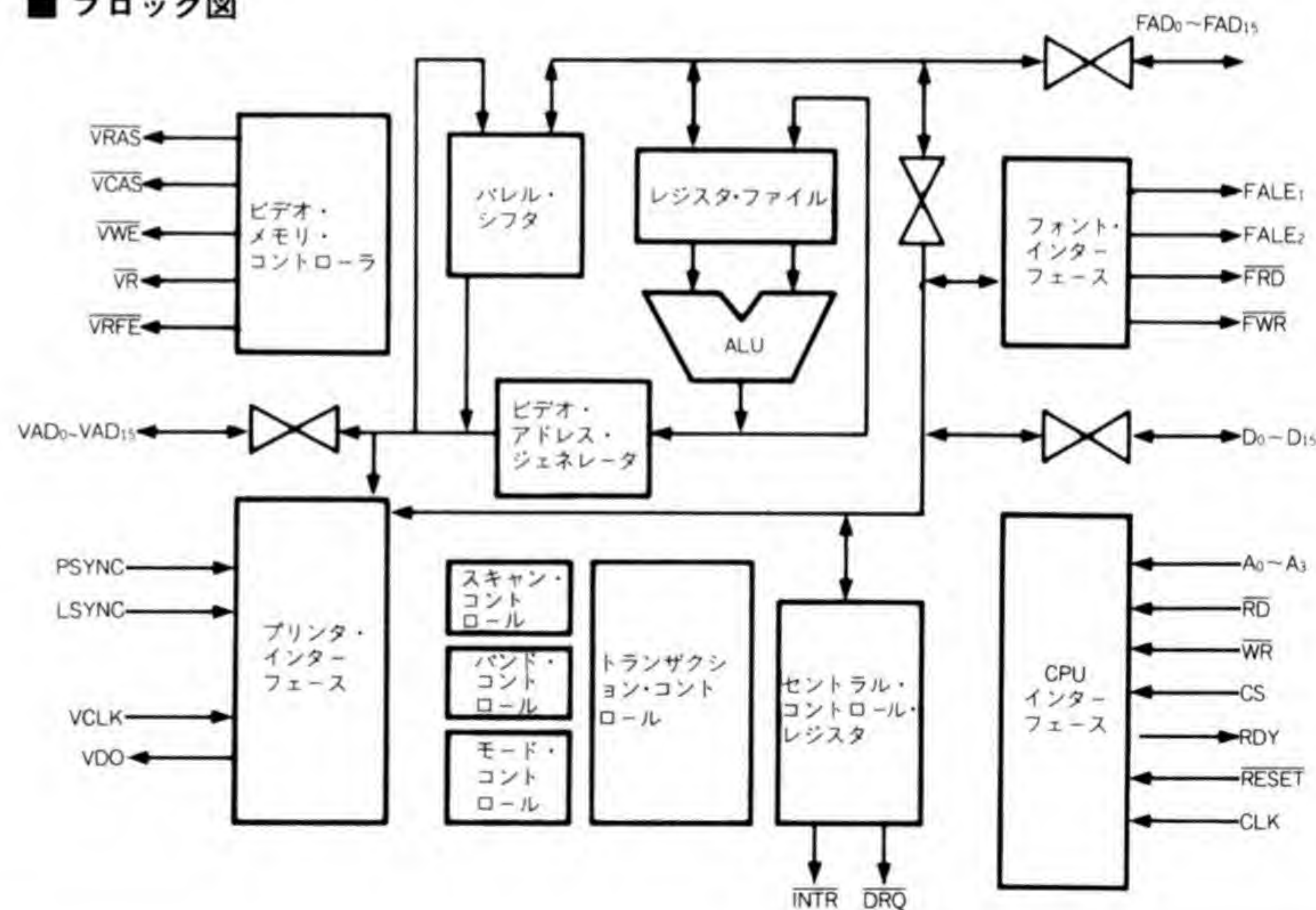
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.4*	V
$V_{OL}$	$I_{OL} = 3.2\mu\text{A}$	0.4	V
$V_{OH}$	$I_{OH} = 250\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0.4 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0.4 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		25	pF

## ■ 特 徴

- ・ 20Mbpsのテキストおよびグラフィックの混在プリントが可能なラスタ・プリンタ・コントローラ
- ・ ホスト、フォント・メモリ、ビデオ・メモリと独立にデータの転送が可能なトリプル・バス・アーキテクチャを採用
- ・ 24ビットのアドレッシングが可能で、16K×16Kピクセル、16Mワード・フォント・メモリ・スペースを提供する
- ・ プリンタ・ドライバとの同期または非同期のインターフェースが可能
- ・ リフレッシュ機能をもったDRAMコントローラとの併用が可能

## ■ ブロック図





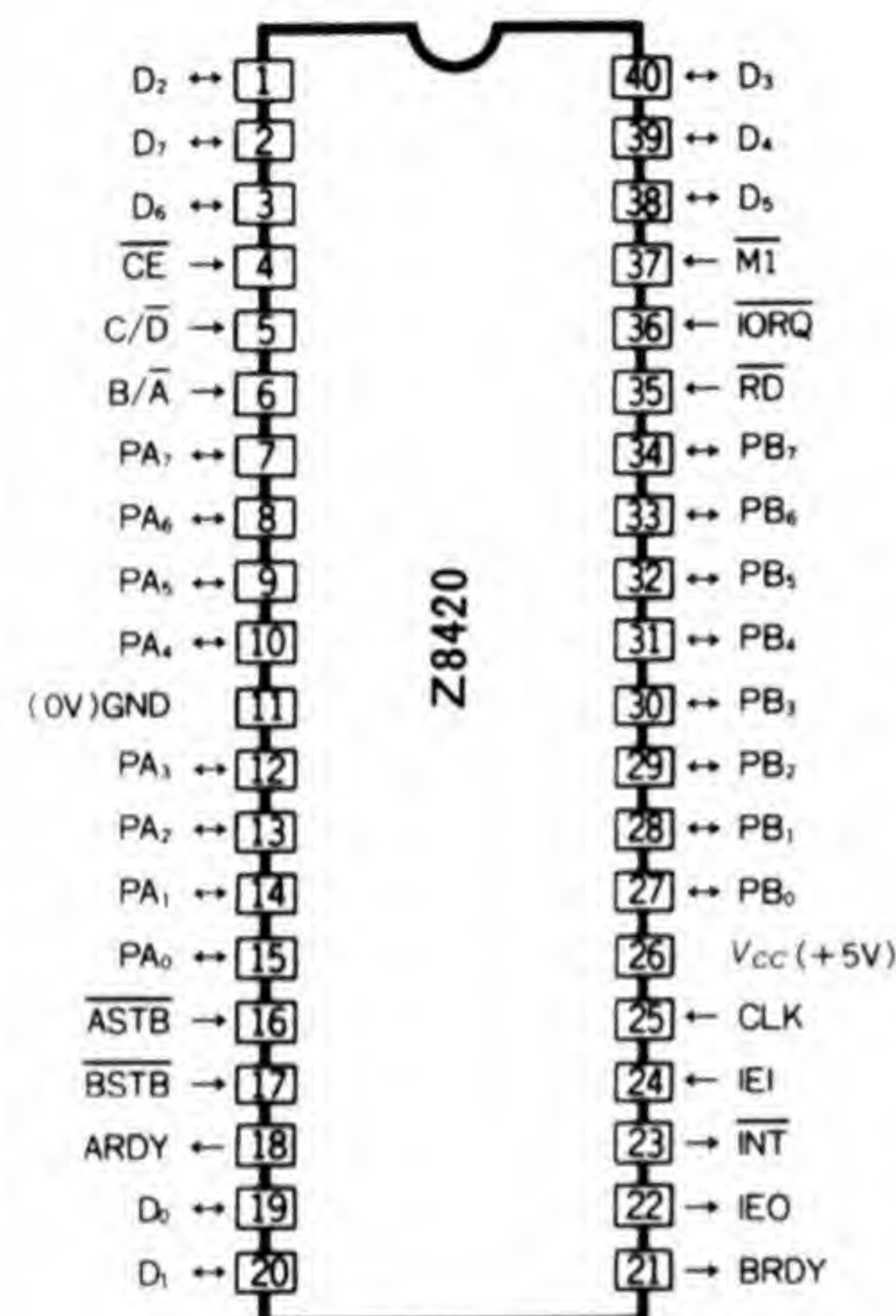
■ 端子機能

端子名	名称	ピン番号	入出力	機能
A <sub>0</sub> ~A <sub>3</sub>	アドレス・バス	69~72	入力	内部レジスタ選択用アドレス・バス
CLK	クロック	43	入力	CPU との同期をとるためのシステム・クロック入力
$\overline{CS}$	チップ・セレクト	63	入力	読み出し、書き込み時のチップ・セレクト
D <sub>0</sub> ~D <sub>15</sub>	データ・バス	61~55, 53, 51~44	入出力	ホスト・システムとの接続用データ・バス
$\overline{DRQ}$	DMA リクエスト	67	出力	データ転送に必要なアドレス・データを受け入れ可のとき出力される DMA 要求
$\overline{INTR}$	インタラプト	68	出力	割り込み信号, CPU への割り込み条件発生時に “L” となる
$\overline{RD}$	リード	62	入力	読み出し信号, “L” アクティブ
RDY	レディ	66	出力	読み出し、書き込み準備がととのったことを示す, “H” アクティブ
$\overline{RESET}$	リセット	42	入力	リセット入力, 4クロック・サイクル以上 “L” のとき, 内部はリセットされる
$\overline{WR}$	ライト	64	入力	書き込み信号, “L” アクティブ
FAD <sub>0</sub> ~ FAD <sub>15</sub>	フォント・アドレス/データ	7~3, 1, 84, 83, 80~73	入出力	フォント・メモリ・アクセス時に使用されるアドレス/データ・バス
FALE <sub>1</sub>	FA ラッチ・イネーブル 1	10	出力	24ビットのフォント・メモリ・アドレスの下位16ビットがバス上にあるとき “H” となる
FALE <sub>2</sub>	FA ラッチ・イネーブル 2	11	出力	24ビットのフォント・メモリ・アドレスの上位 8 ビットがバス上にあるとき “H” となる
$\overline{FRD}$	フォント・リード	9	出力	フォント・メモリからデータを読み出すときに “L” となる
$\overline{FWR}$	フォント・ライト	8	出力	フォント・メモリにデータを書き込むときに “L” となる
VAD <sub>0</sub> ~ VAD <sub>15</sub>	ビデオ・アドレス/データ	40~34, 32, 30~23	入出力	ビデオ・メモリ・アクセス時に使用されるアドレス/データ・バス
$\overline{VCAS}$	ビデオ・カラム・ストロープ	15	出力	ビデオ・メモリのカラム・アドレスが VAD <sub>0</sub> ~VAD <sub>15</sub> 上にあることを示すストロープ信号
$\overline{VR}$	ビデオ・リード	13	出力	ビデオ・メモリのデータを読み出すときに “L” となる, データを VAD <sub>0</sub> ~VAD <sub>15</sub> 上に出力することを促す
$\overline{VRAS}$	ビデオ・ロー・ストロープ	16	出力	ビデオ・メモリのロウ・アドレスが VAD <sub>0</sub> ~VAD <sub>15</sub> 上にあることを示すストロープ信号
$\overline{VREF}$	ビデオ・リフレッシュ	12	出力	ビデオ・メモリ・リフレッシュ動作の間 “L” となる
$\overline{VWE}$	ビデオ・ライト・イネーブル	14	出力	ビデオ・メモリへの書き込み時に “L” となる, データが VAD <sub>0</sub> ~VAD <sub>15</sub> 上にあることを示す
LSYNC	ライン・シンク	19	入力	スキャン・ライン・シーケンスのスタートに使用するライン同期信号
PSYNC	ページ・シンク	18	入力	Y-マージン・コントロール・プロセスをスタートするのに使用するページ同期信号
VCLK	ビデオ・クロック	21	入力	VDO のピクセル・データのシリアル伝送速度を決めるクロック
VDO	ビデオ・データ出力	22	出力	シリアル・ピクセル・データ出力



# PIO (Parallel Input/Output Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	-60 ~ +150	°C
すべてのピン (対GND端子)		-0.3 ~ +7.0	V

## ■ DC特性

項目	max/min*	単位
$V_{IL}$	0.8	V
$V_{IH}$	2.0*	V
$V_{OL}$	0.4 / 2mA	V
$V_{OH}$	2.4* / 250μA	V
$C_I$	7	pF
$C_O$	10	pF

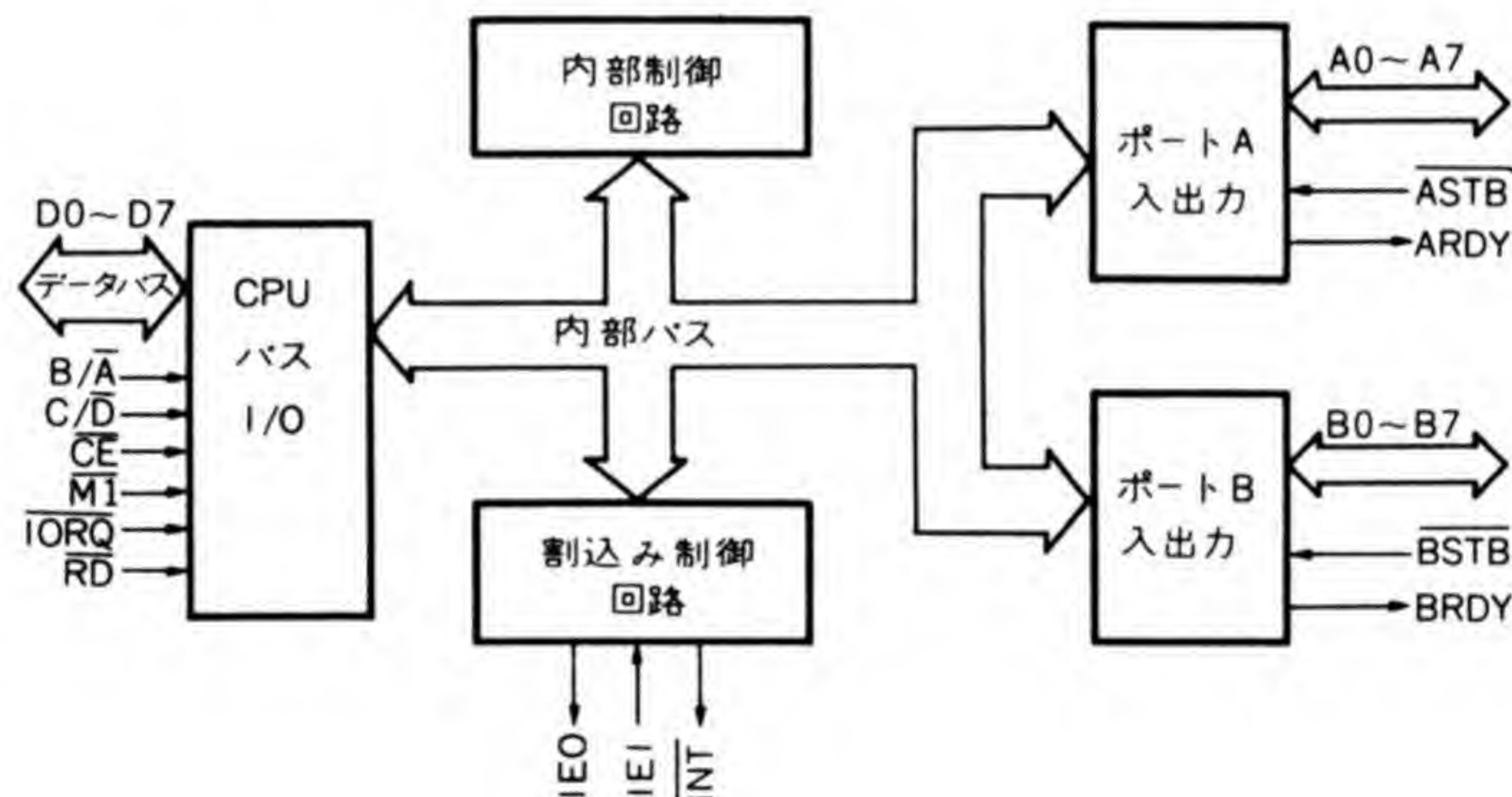
## ■ CLK端子

項目	max/min*	単位
$V_{ILC}$	0.45	V
$V_{IHC}$	( $V_{CC} - 0.6$ )*	V
$C_{CLK}$	12	pF

## ■ 特 徴

- ・ TTLコンパチブルな電気的特性
- ・ 2組の周辺インターフェース・ポートをもち、それぞれが8ビットの双方向データ線と2本のハンドシェイク用制御線をもつ
- ・ Z80のモード2割り込み用ベクトルを発生する
- ・ デイジィ・チェーン式割り込み制御ロジックを内蔵

## ■ ブロック図



## ・ 四つのモードをもつ

モード0 ; バイト出力モード

モード1 ; バイト入力モード

モード2 ; バイト双方向バス・モード (ポートAのみ可能)

モード3 ; ビット制御モード

(注) PIOの割り込みを使用する時はモード2で使  
用しなくてはならない

ポート A, B のモードの可能な  
組み合わせ (○ ; 可  
× ; 不可)

ポートA \ ポートB	モード0	モード1	モード2	モード3
モード0	○	○	×	○
モード1	○	○	×	○
モード2	×	×	×	×
モード3	○	○	○	○



## ■ 端子機能

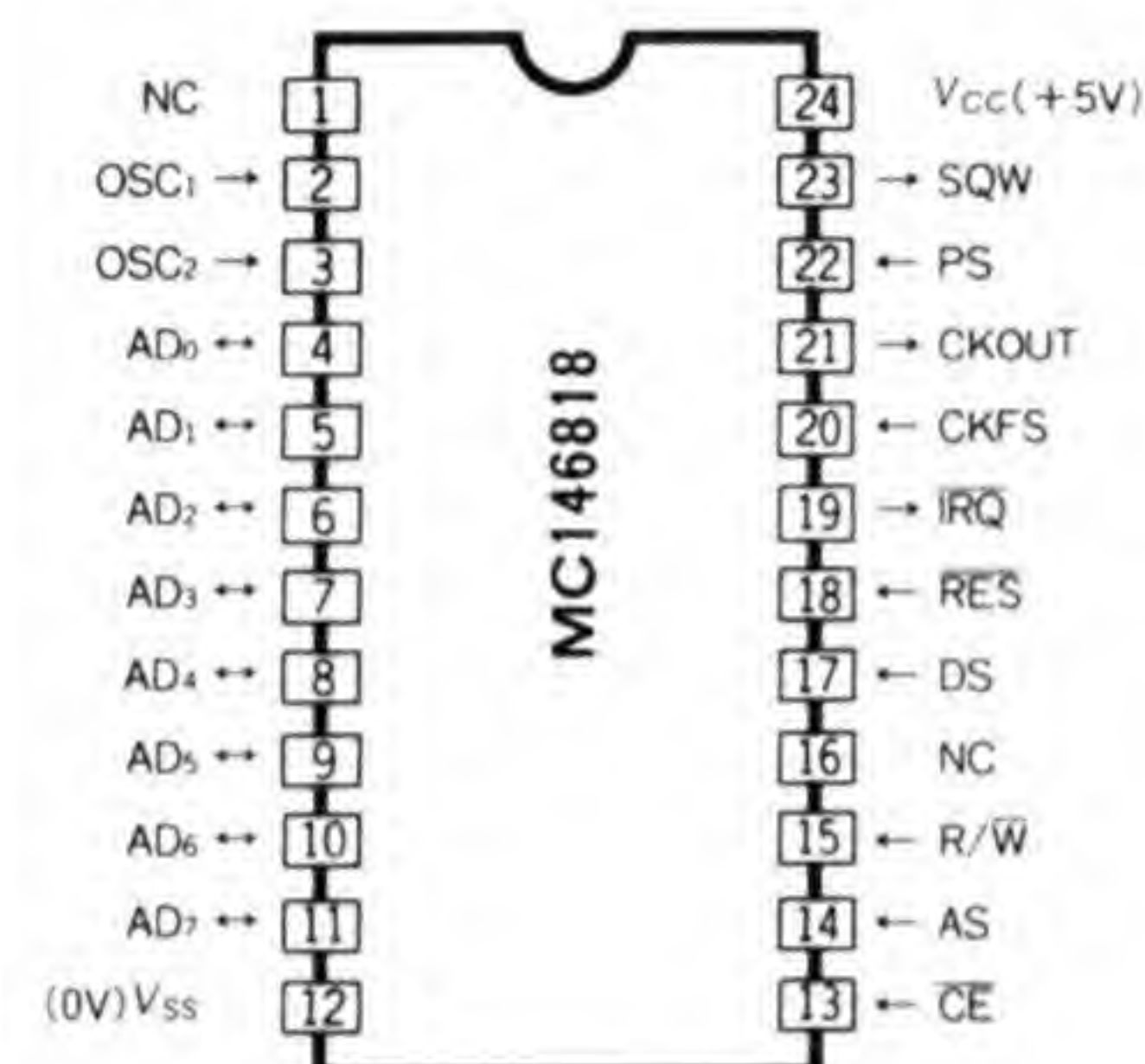
端子名	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	1~3, 19~20, 38~40	入出力 3ステート	8ビットの双方向性バス。MPUとPIO間でデータの転送を行う
$\overline{\text{CE}}$	4	入力	チップ・イネーブル。MPUとPIOのアクセス時に使用。MPUがこのPIOを選択したときに“L”レベルになる
C/ $\overline{\text{D}}$	5	入力	コントロール/データ・セレクト。データ・バス上の信号が制御信号かデータかを指示
B/ $\overline{\text{A}}$	6	入力	ポートA/ポートBセレクト。MPUとPIO間で信号を転送するときのPIOのポートを選択
PA <sub>0</sub> ~PA <sub>7</sub>	7~10, 12~15	入出力 3ステート	ポートAバス。PIOのポートAと外部装置間でデータの転送を行う
$\overline{\text{ASTB}}$	16	入力	ポートA ストロープ・パルス。PIOのポートAと外部装置間のアクセス時に使用
$\overline{\text{BSTB}}$	17	入力	ポートB ストロープ・パルス。PIOのポートBと外部装置間のアクセス時に使用
ARDY	18	出力	レジスタA レディ。PIOのポートAと外部装置間のアクセス時に使用
$\overline{\text{MI}}$	37	入力	マシン・サイクル1。MIと $\overline{\text{IORQ}}$ が共に“L”レベルのとき、MPUが割り込みアクノリッジ・サイクルを実行していることを示す

端子名	ピン番号	入出力	機能
IEI	24	入力	割り込みイネーブル入力。IEO、 $\overline{\text{INT}}$ と共にデジィ・チェーンの割り込み制御信号を形成する
$\overline{\text{INT}}$	23	出力	割り込みリクエスト。MPUへの割り込み要求信号
IEO	22	出力	割り込みイネーブル出力。IEI、 $\overline{\text{INT}}$ と共にデジィ・チェーンの割り込み制御信号を形成する
$\overline{\text{IORQ}}$	36	入力	入出力リクエスト。MPUとPIO間のアクセス時に使用。書き込みサイクル、読み出しサイクル時に、I/Oアドレスがアドレス上に乗っているときに“L”レベルになる
$\overline{\text{RD}}$	35	入力	リード信号。MPUとPIO間のアクセス時に使用。転送の方向を制御する
PB <sub>0</sub> ~PB <sub>7</sub>	27~34	入出力 3ステート	ポートBバス。PIOのポートBと外部装置間でデータの転送を行う
CLK	25	入力	システム・クロック。単相のクロック入力
BRDY	21	出力	レジスタB レディ。PIOのポートBと外部装置間のアクセス時に使用



# RTC (Real Time Clock Plus RAM)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
入力電圧	$V_{IN}$	-0.3 ~ +7.0	V
動作温度	$T_{OPR}$	0 ~ +70	°C
保存温度	$T_{STG}$	-55 ~ +150	°C

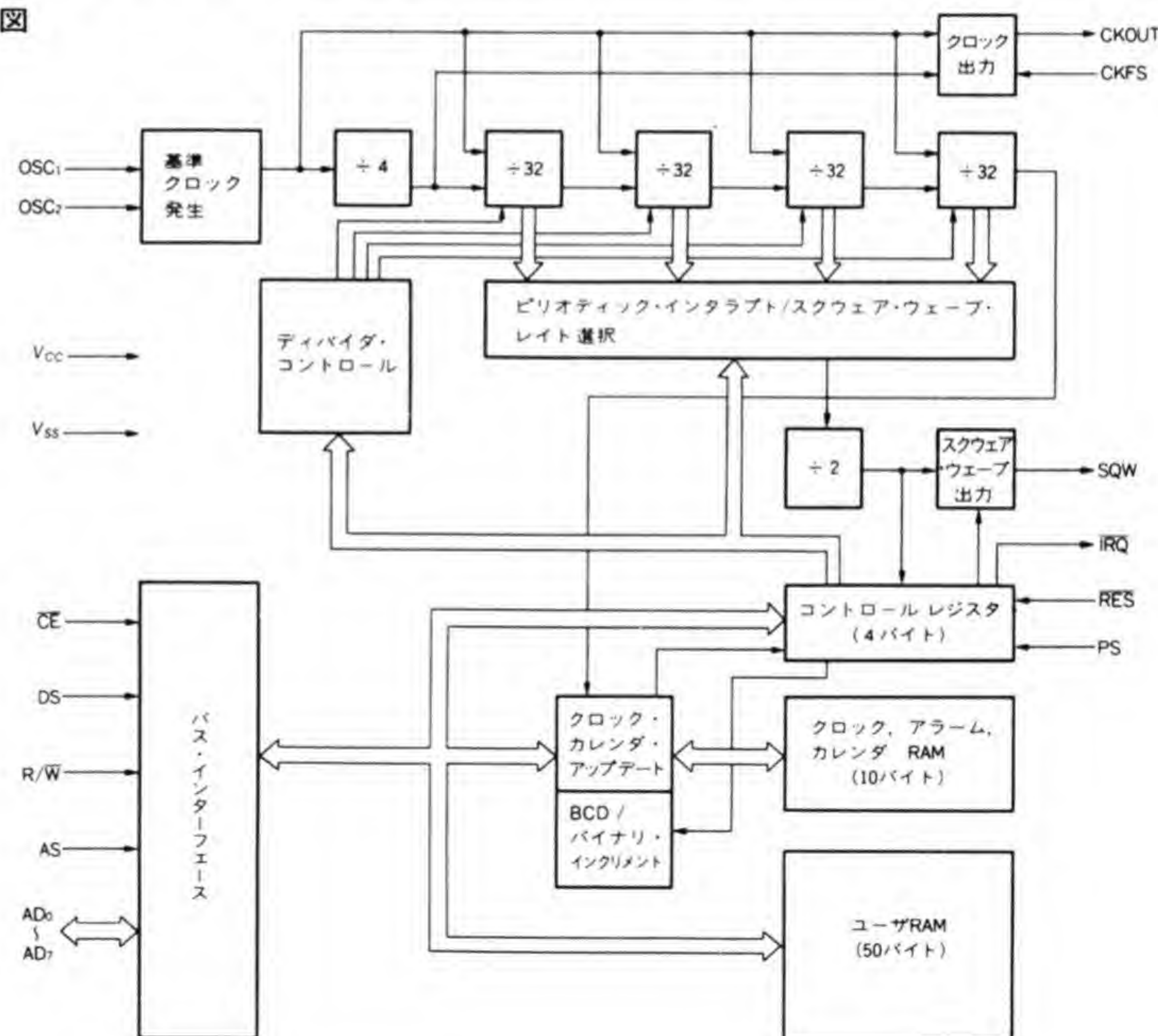
## ■ 特徴

- ・時計、カレンダー機能、秒、分、時間、日付け、曜日、年月のカウンタ
- ・64バイトのアドレス空間を使用  
クロック、アラーム、カレンダーRAM: 10バイト  
コントロール・レジスタ: 4バイト  
汎用ユーザRAM: 50バイト
- ・3種のインタラプト  
ピリオディック・インタラプト  
アラーム・インタラプト  
アップデート・エンディッド・インタラプト

## ・ 方形波出力

- ・3種の基準クロックを使用できる  
4.194304MHz, 1.048576MHz, 32.768kHz
- ・時計、カレンダーのバイナリ、BCD表示切り替え可能
- ・24時間制/12時間制の選択可能
- ・うるう年自動補正回路内蔵
- ・マルチプレクス・バスにより、6801/6301と直結可能
- ・8085とのインターフェース回路内蔵
- ・バッテリー・バックアップ動作可能

## ■ ブロック図





■ 端子機能

端子名	ピン番号	入出力	機能
AD <sub>0</sub> ~AD <sub>7</sub>	4~11	入出力	アドレス情報, またはデータ入出力のための双方向性データ・バス。データ・バスは3ステート出力バッファとなっており, データを出力する以外はハイ・インピーダンス状態
AS	14	入力	マルチプレクス・アドレス・バスからアドレス情報を取り込むためのストローブ信号。アドレス情報は, ASの立ち下がりで取り込まれる
DS	17	入力	この信号が“H”期間にデータが出力される, またこの信号の立ち下がりでデータが書き込まれる。80系の場合は $\overline{RD}$ 信号を入力
R/W	15	入力	データ転送の方向を制御。CPUがデータをリードする場合, この信号を“H”にし, データを書き込むときこの信号を“L”にする。80系の場合 $\overline{WR}$ 信号を入力する
$\overline{CE}$	13	入力	CPUは $\overline{CE}$ が“L”レベルのときのみアクセス可能。この信号は1サイクルの間“L”レベルが確定している必要がある
$\overline{IRQ}$	19	出力	割り込みを要求する信号。この信号はコントロール・レジスタBのインタラプト・イネーブル・ビット(ビット4~6)がセットされているとき, ステータス・ビットに割り込み要因がセットされると“L”レベルになる
$\overline{RES}$	18	入力	$\overline{RES}$ が“L”レベルになると, 内部レジスタおよびRAMへの書き込み/読み出しが禁止される。 $\overline{RES}$ はクロック・カレンダーRAMの各機能には影響を与えない
PS	22	入力	コントロール・レジスタDのVRTビットの制御に使用。PSが“L”レベルになるとVRTビットは“0”にクリアされる

端子名	ピン番号	入出力	機能
CKOUT	21	出力	基準クロック信号を÷1または÷4だけ分周したクロックを出力
CKFS	20	入力	CKOUTの出力信号分周の比率を指定する入力信号
SQW	23	出力	内部分周回路で発生した方形波を出力する端子。コントロール・レジスタAのRS <sub>0</sub> ~RS <sub>3</sub> ビットにより22段のうち15段の分周回路の出力を選択し, この端子より出力
OSC <sub>1</sub> , OSC <sub>2</sub>	2, 3	入力	水晶振動子または外部基準クロックを接続するための入力端子

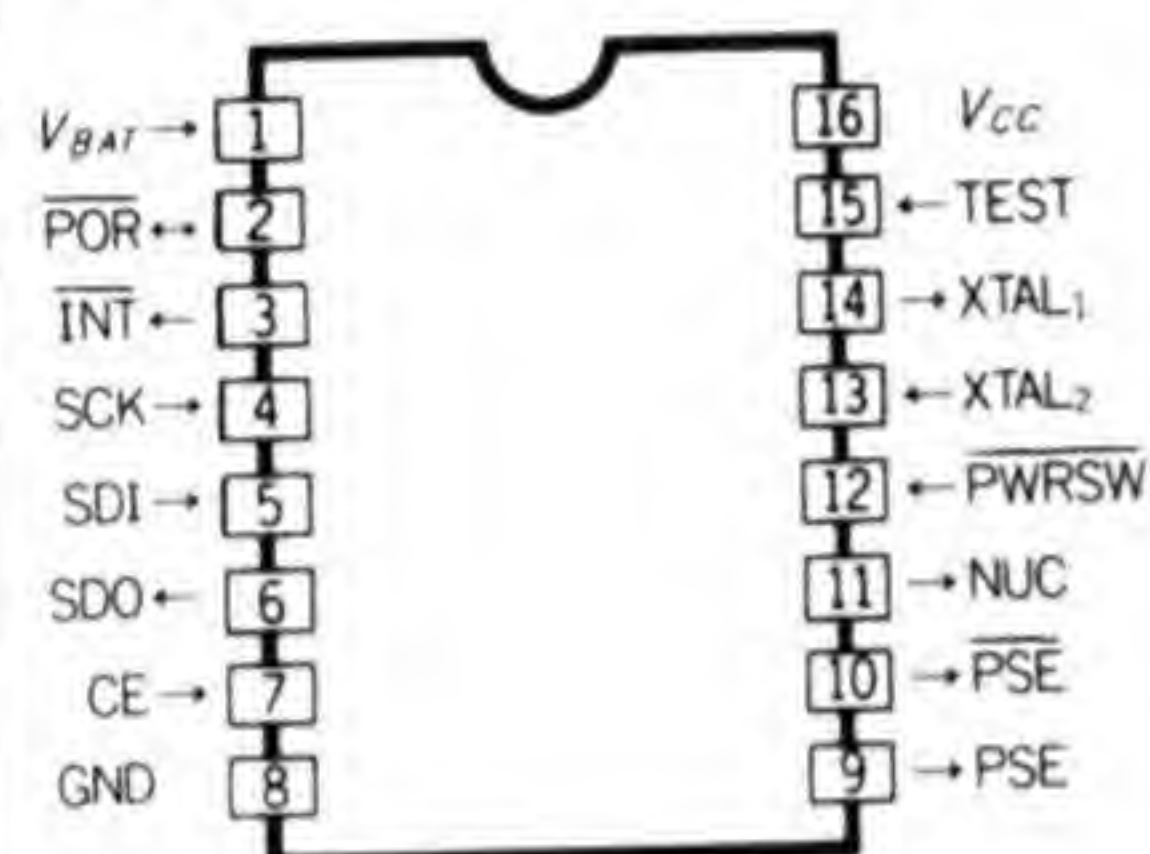
■ バッテリ・バックアップ動作 DC特性

項目	記号	測定条件	min	typ	max	単位
電源電圧	V <sub>CCL</sub>		2.7		4.5	V
電源電圧	I <sub>CCL</sub> *	水晶発振 V <sub>CCL</sub> =3.0V SQW:ディセーブル CKOUT:f <sub>osc</sub> (無負荷)	4MHz 1MHz 32kHz		600 350 100	μA
		外部クロック	4MHz 1MHz 32kHz	50 30	500 150 70	
入力“H”レベル電圧	V <sub>IHL</sub>	V <sub>CCL</sub> =2.7~3.5V V <sub>CCL</sub> =3.5~4.5V	$\overline{CE}, \overline{CKFS}, \overline{PS}$	0.7×V <sub>CCL</sub> 2.5	V <sub>CCL</sub>	V
			$\overline{RES}, \overline{OSC}_1$	0.8×V <sub>CCL</sub>	V <sub>CCL</sub>	V
入力“L”レベル電圧	V <sub>ILL</sub>		$\overline{CKFS}, \overline{PS}$ $\overline{RES}, \overline{OSC}_1$	-0.3	0.5	V
出力“H”レベル電圧	V <sub>OHL</sub>	I <sub>OH</sub> =-800mA	SQW, CKOUT	0.8×V <sub>CCL</sub>		V
出力“L”レベル電圧	V <sub>OLL</sub>	I <sub>OL</sub> =800mA	SQW, CKOUT IRQ		0.5	V



# SRTC [Serial Real Time Clock]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~6.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STB}$	-65~150	°C

## ■ DC 特性

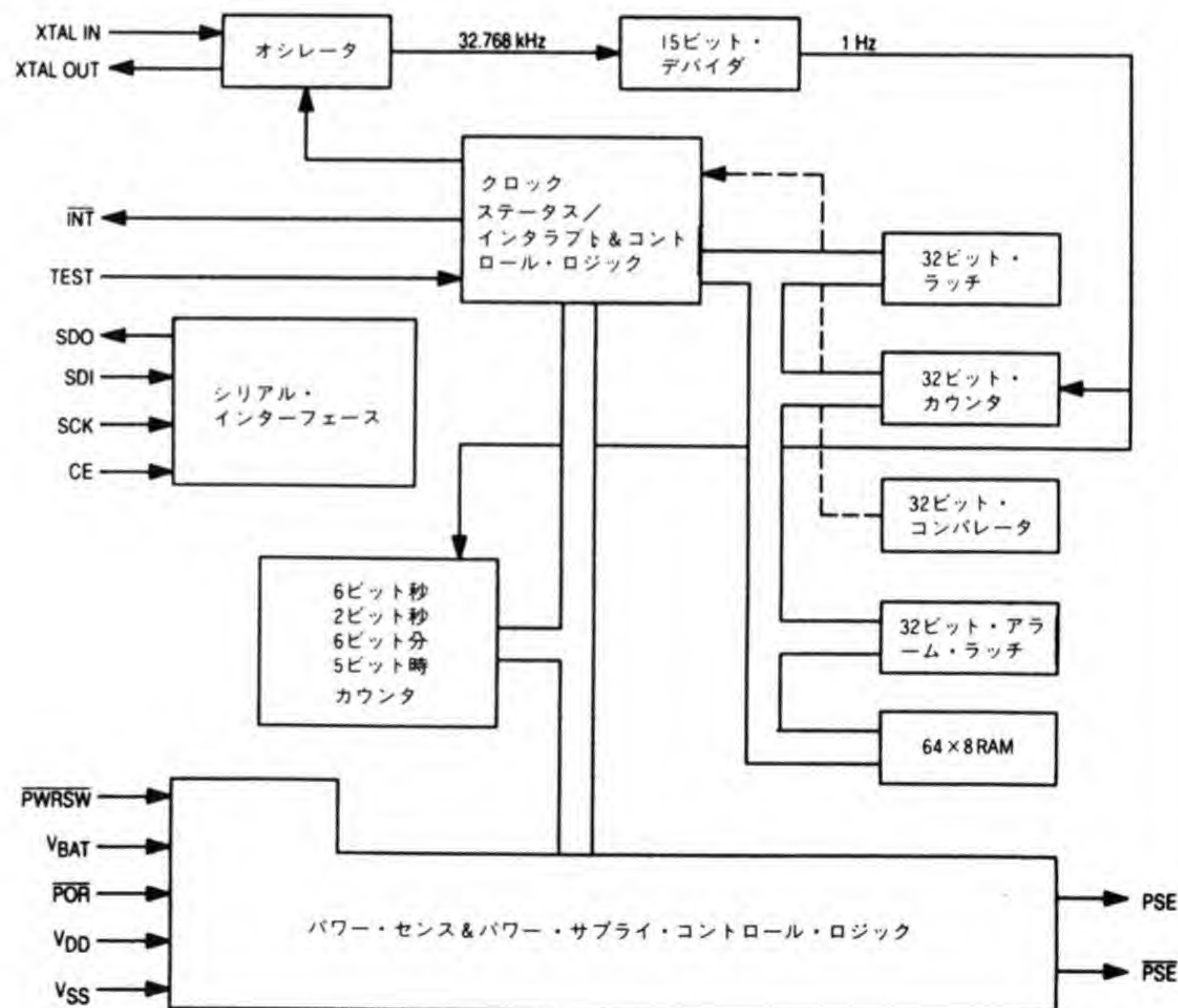
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		1.35	V
$V_{IH}$		4.2*	V
$V_{OL}$	$I_{OL} = 20\ \mu\text{A}$	0.1	V
$V_{OH}$	$I_{OH} = 20\ \mu\text{A}$	4.4*	V
$I_{OFL}$	$V_{CC} = 5.5\text{V}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{CC} = 5.5\text{V}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		20	pF

## ■ 特 徴

- ・ MC68HC68T1と同等機能を内蔵し、オペレーションを簡素化したリアル・タイム・クロック
- ・ 自動閏年補正機能付きの完全なクロック
- ・ 64バイトのRAM内蔵
- ・ 最小計時電圧は2.2V
- ・ CPU出力によって規則正しいパワー・アップ/ダウンを実行
- ・ シリアル・インターフェース・オペレーション

## ■ ブロック図

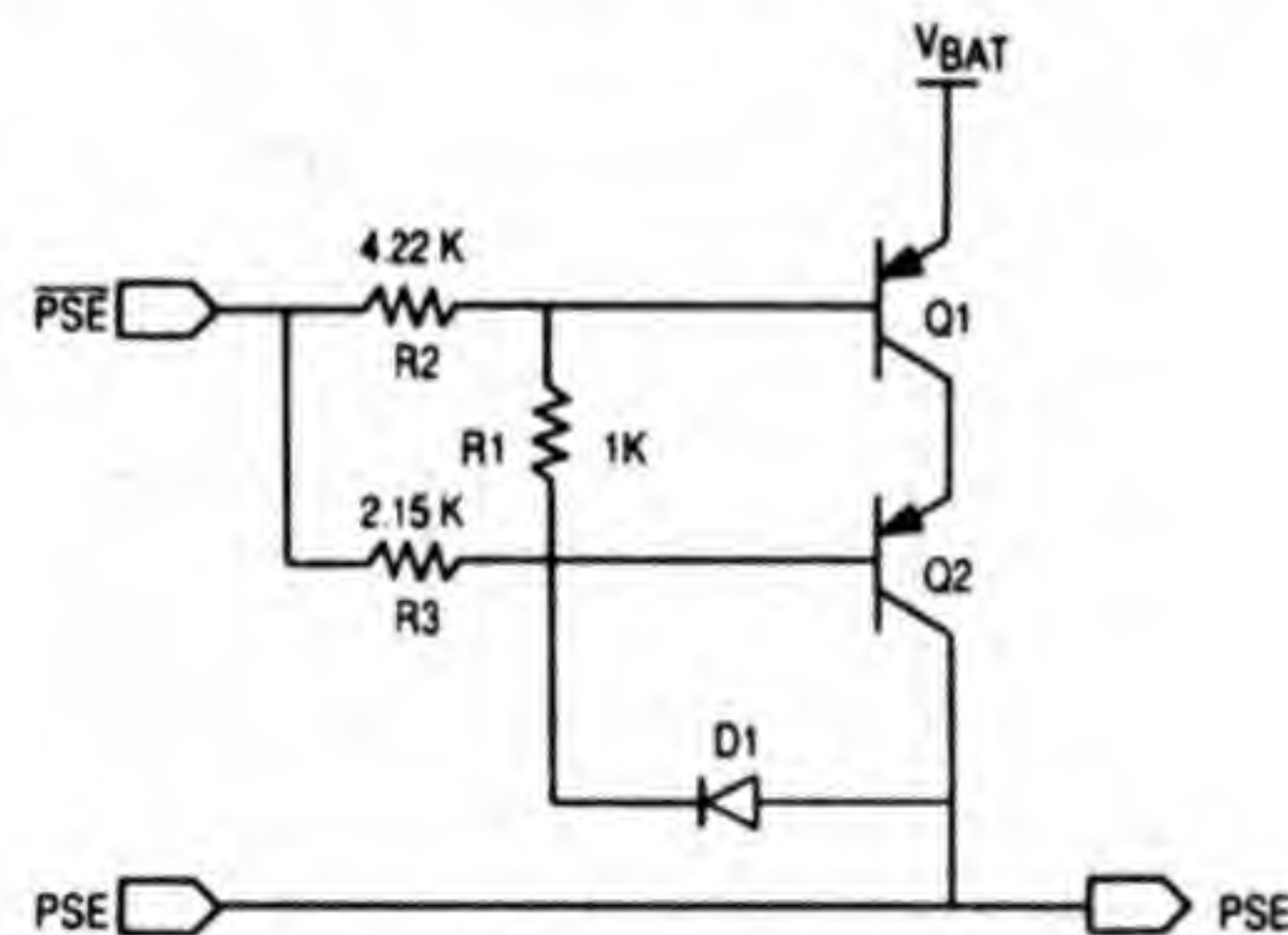




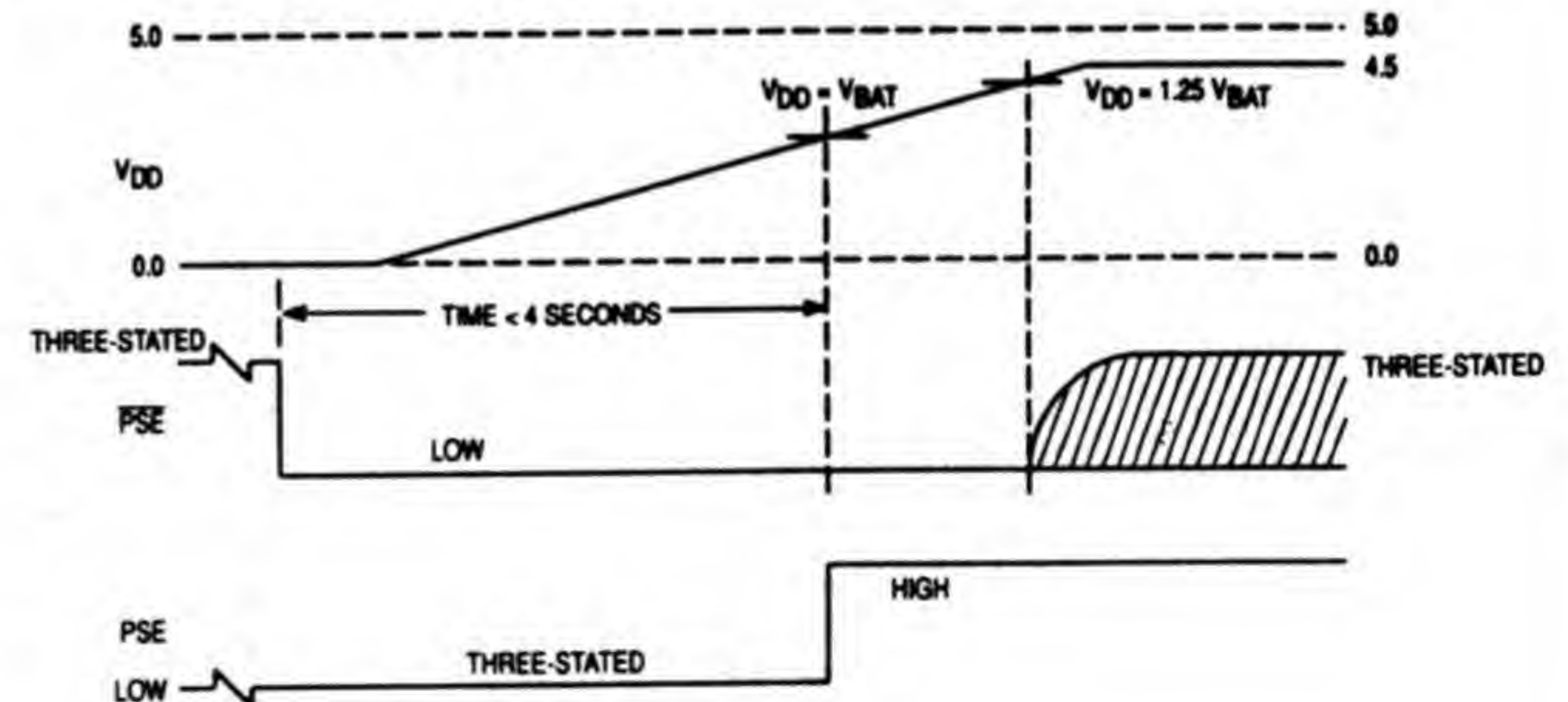
■端子機能

端子名	名称	ピン番号	入出力	機能
V <sub>BAT</sub>	電池用端子	1	入力	内蔵 RAM、発振器の電源端子、抵抗を介して電池に接続する。
POR	パワー・オン・リセット	2	入出力	外部の RC 回路網を使用して、内部のパワー・オン・リセット信号を発生する。
INT	インタラプト	3	出力	内部のステータス/インタラプト・レジスタがセットされると、Low 出力となる。
SCK	シリアル・クロック	4	入力	内部インターフェース・ロジックにデータをシフト・イン、シフト・アウトするためのシリアル・ロック。
SDI	シリアル・データ入力	5	入力	入力データは SCK の立ち上がりでシフトされ、立ち下がりでラッチされる。
SDO	シリアル・データ出力	6	出力	出力データは、SCK の立ち上がりでシフトされ、立ち上がりでラッチされる。
CE	チップ・イネーブル	7	入力	チップ・イネーブルが High のとき、インターフェース・ロジックへの入力が可能となる。CE 端子は内部でプル・ダウン (100k) されている。
PSE	電源イネーブル	9	出力	システム電源制御用の出力端子。V <sub>CC</sub> -0.6V の出力で、10mA の駆動が可能。クロック・コントロール・レジスタのパワー・ダウン・ビットの制御によりネゲートされ、V <sub>CC</sub> > V <sub>BAT</sub> のときアサートされる。
PSE	電源イネーブル	10	出力	PSE のコンプリメンタリ出力。V <sub>CC</sub> > (1.25 × V <sub>BAT</sub> ) のときネゲートされる。
NUC	未使用	11	出力	テスト・モード時に、32kHz の出力となる。
PWRSW	パワー・スイッチ	12	入力	パワー・オン/オフ・スイッチ接続端子。シュミット・トリガ入力で、内部はプル・アップ (100k) されている。
XTAL <sub>1</sub> XTAL <sub>2</sub>	クリスタル	13 14	入力 出力	32.768kHz クリスタル接続端子。
TEST	テスト・モード	15	入力	High のとき、テスト・モードに入る。内部はプル・ダウン (20k) されている。

■インターフェース回路 (PSE, PSE インターフェース)



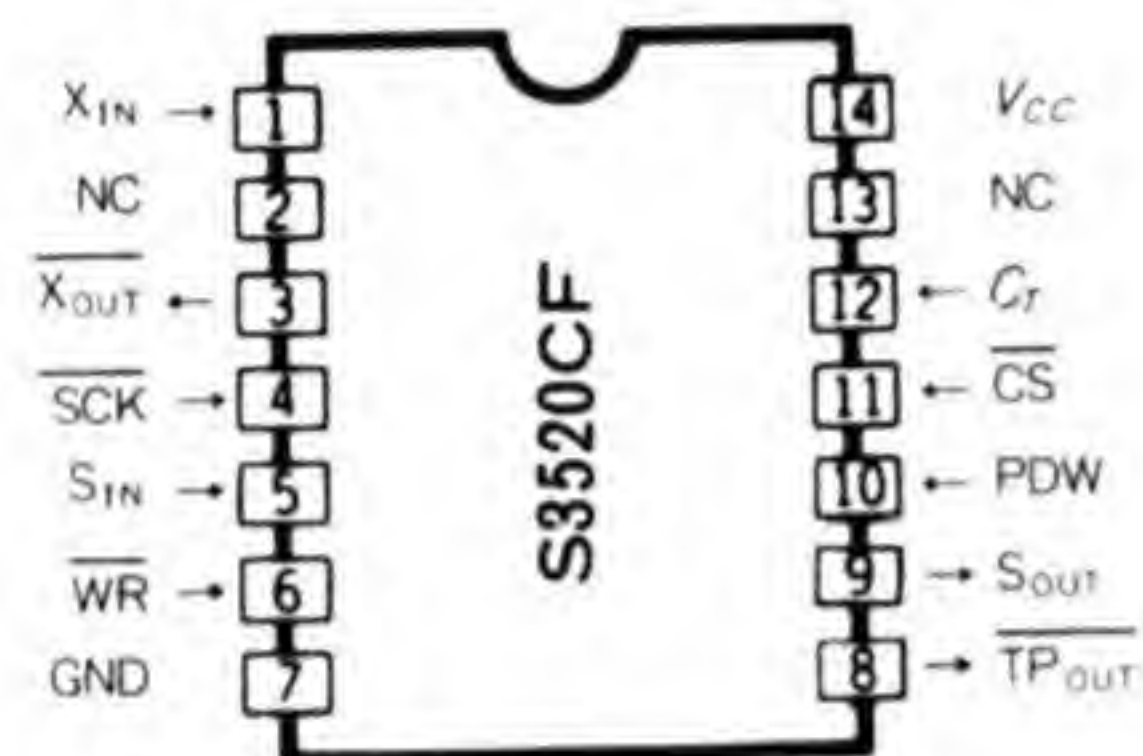
■パワー・アップ・シーケンス





# RTC (Real Time Clock Plus RAM)

## ■ ピン接続



## ■ 特 徴

- ・ 5本のラインを使用し、CPUとシリアル・インターフェースが可能
- ・ データはBCDでシリアル出力
- ・ 時刻、カレンダーはインクリメント方式で修正
- ・ 2099年までのオート・カレンダー内蔵
- ・ ソフトウェアによる±30秒補正機能内蔵
- ・ 30×4ビットSRAM内蔵
- ・ 基準周波数出力は、1Hz/1024Hzの切り替えが可能
- ・ 広データ保持電圧範囲 2.0~6.0V
- ・ 電源電圧変動に対し周波数安定度が良い  
±5ppm

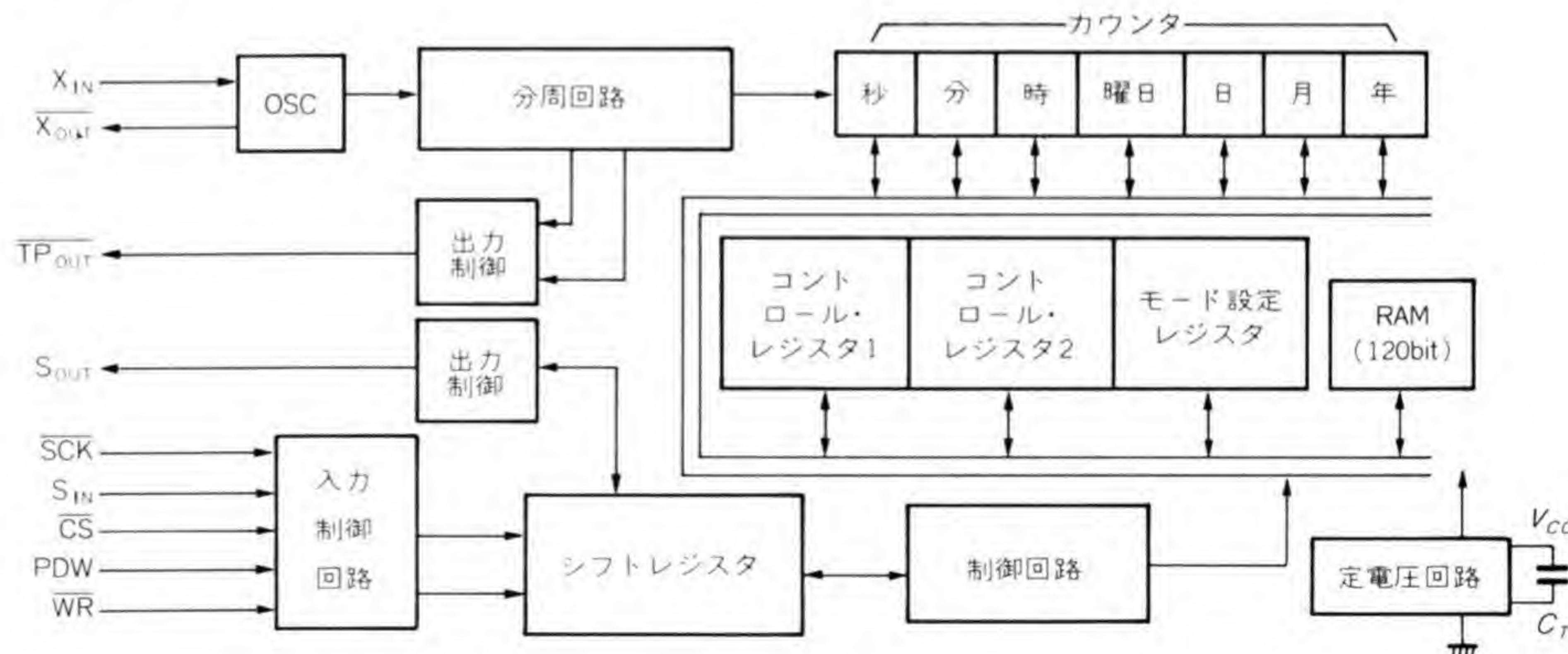
## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.3~6.5	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.3$	V
消費電力	$P_D$	200	mW
動作温度	$T_{OPR}$	-30~75	°C
保存温度	$T_{STG}$	-55~125	°C

## ■ DC特性 ( $T_a = -30 \sim 75^\circ\text{C}$ , $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		$0.2 \times V_{CC}$	V
$V_{IH}$		$0.8 \times V_{CC}$ *	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OL} = 0.55\text{V}$	±2	μA
$I_{IL}$	$V_{IN} = 0.55\text{V}$	±2	μA

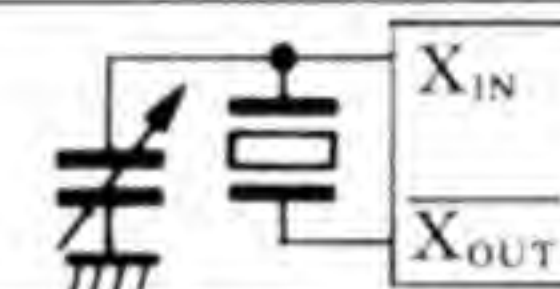
## ■ ブロック図





■端子機能

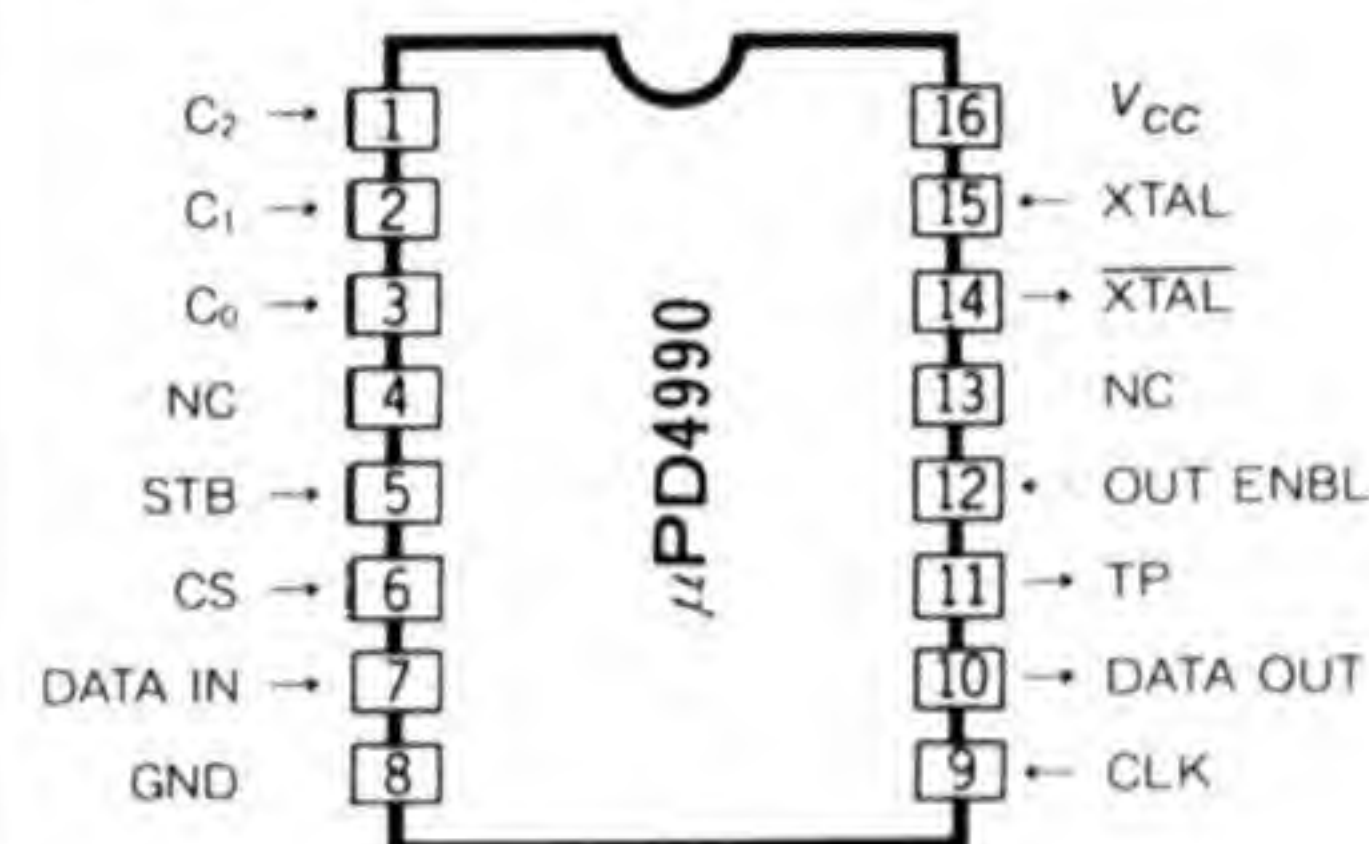
端子名	ピン番号	機能
$X_{IN}$	1	発振回路入力端子
$\overline{X_{OUT}}$	3	発振回路出力端子
$\overline{SCK}$	4	シリアル I/O の同期信号入力端子, 8 クロック/サイクル
$S_{IN}$	5	シリアル・アドレス/データ入力端子 カウンタのアドレスまたはレジスタ/RAM のアドレス/データを入力
$S_{OUT}$	9	シリアル・アドレス/データ出力端子 カウンタのアドレスまたはレジスタ/RAM のアドレス/データを入力
$\overline{WR}$	6	書き込み選択端子 $\overline{WR} = "L"$ : 書き込み $\overline{WR} = "H"$ : 読み出し
$\overline{CS}$	11	チップ・セレクト端子 $\overline{CS} = "L"$ : 選択状態 $\overline{CS} = "H"$ : $S_{OUT}$ は高インピーダンスになる
PDW	10	システム電源立ち上がりの確認信号 パワー・ダウン検出回路に接続する, PDW を使用しない時は "H" に固定. PDW = "L" の時, $\overline{CS}$ に関係なくアクセス不可 ( $S_{OUT}$ , $\overline{TP_{OUT}}$ は高インピーダンス) になる
$\overline{TP_{OUT}}$	8	基準信号出力端子, 1Hz/1024Hz の切り替え出力
$V_{CC}$	14	正電源端子 (通常 +5 V, バックアップ時 +3 V)
GND	7	負電源端子, 通常 GND に接続
$C_T$	12	$V_{CC}$ と $C_T$ 端子間に, 0.0047 $\mu$ F のコンデンサを接続する





# RTC (Real Time Clock)

## ■ ピン接続



## ■ 特 徴

- ・時刻 (時, 分, 秒), カレンダ (年, 月, 日, 曜) のカウンタを内蔵
- ・32.768kHzの水晶発振回路内蔵
- ・うるう年を自動判定
- ・データ形式はBCD (ただし月だけは16進) で, シリアル入出力の機能をもつ
- ・シリアル入力によりコマンド設定できる
- ・タイミング・パルス出力として, 64, 256, 2048, 4096 Hz, インターバル出力1, 10, 30, 60sが選択できる
- ・14ピン, 16ピンのパッケージがある

## ■ 最大定格

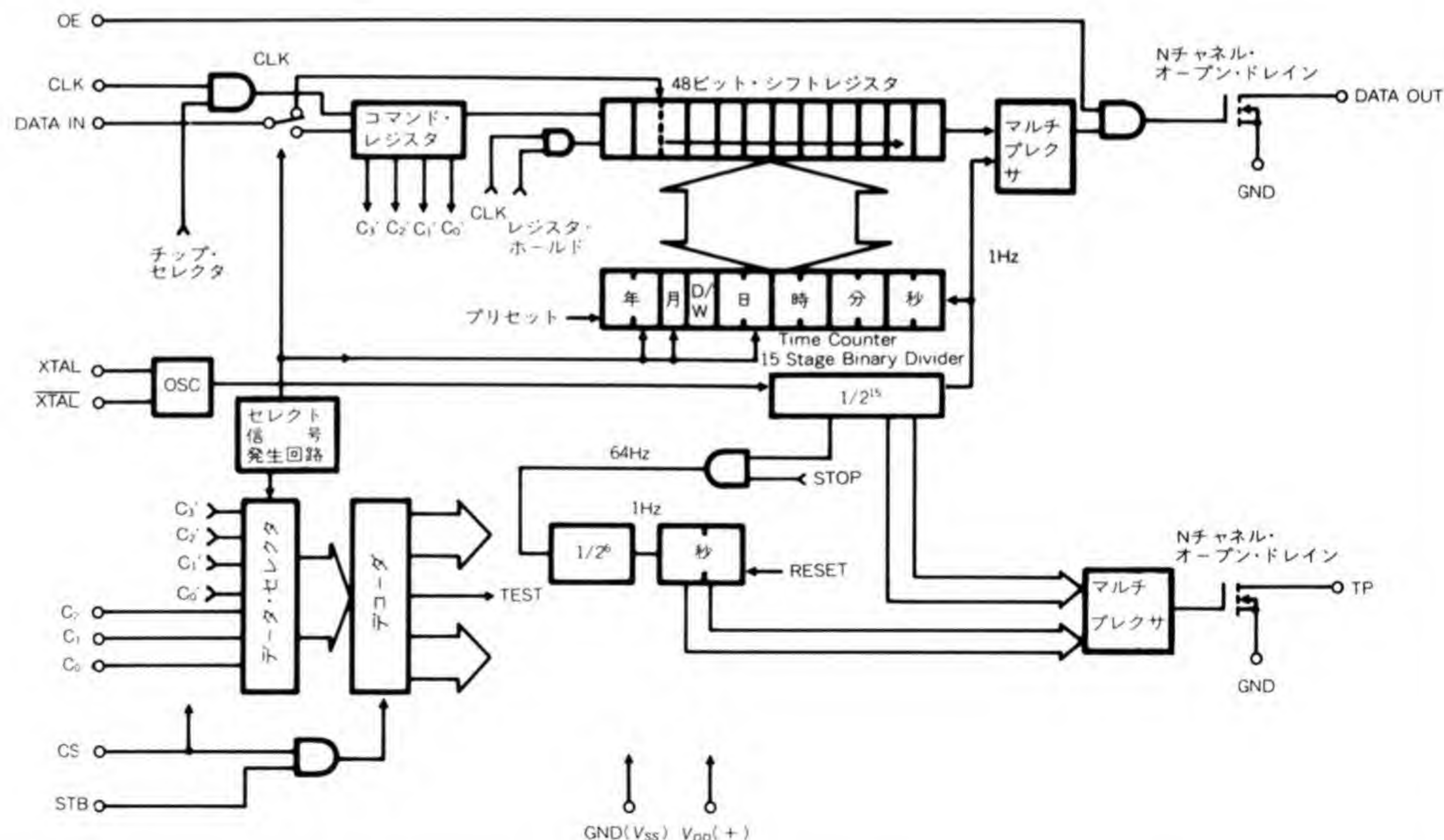
項 目	記号	定 格	単位
電源電圧	$V_{CC}$	7.0	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$-40 \sim 85$	°C
保存温度	$T_{STG}$	$-65 \sim 125$	°C

## ■ DC特性

( $T_a = 25^\circ\text{C}$ ,  $V_{CC} = 2.0 \sim 5.5\text{V}$ )

記号	測 定 条 件	max/min*	単位
$V_{IL}$		$0.3 V_{CC}$	V
$V_{IH}$		$0.7 V_{CC}$ *	V
$V_{OL}$	$I_{OL} = 500\mu\text{A}$	0.4	V
$I_{IL}$	$V_{IN} = 5.5\text{V}$	1	$\mu\text{A}$
$CLK$		DC ~ 500	kHz

## ■ ブロック図





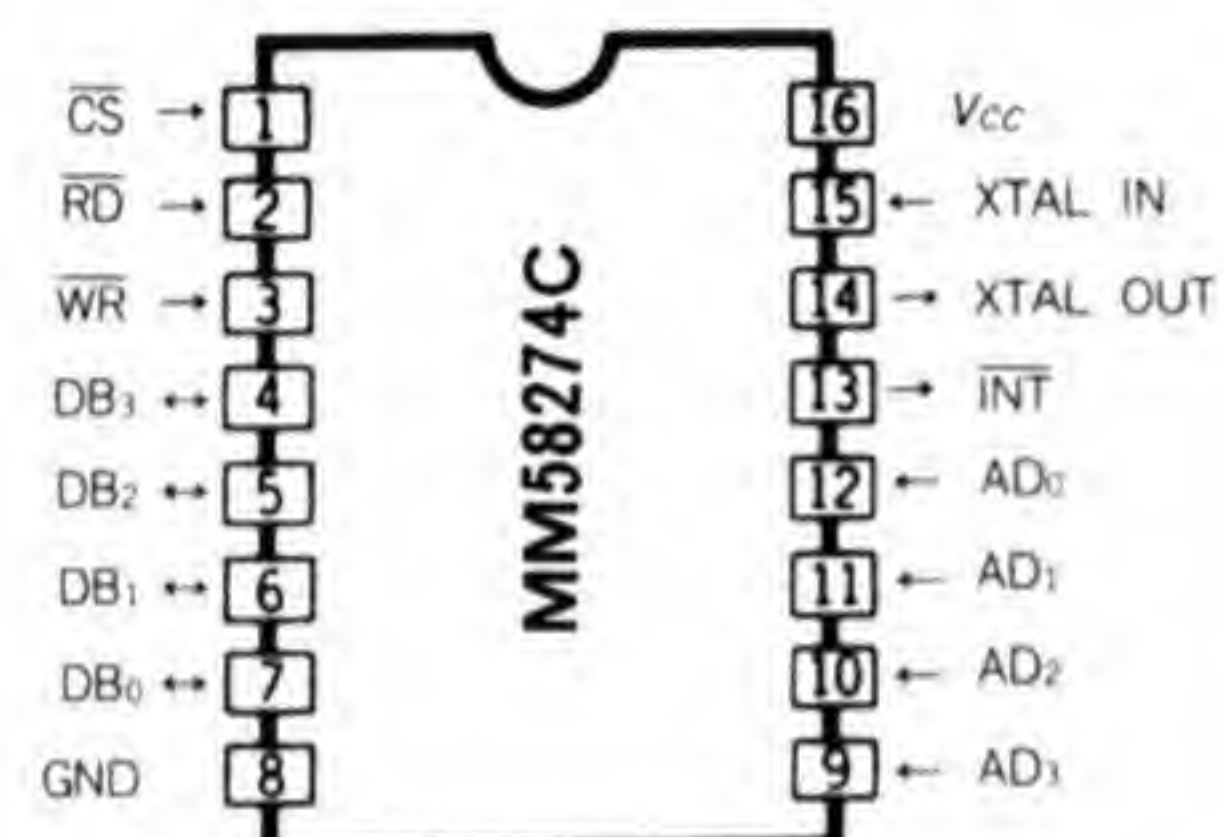
■端子機能

端子名	名称	ピン番号	入出力	機能
C <sub>0</sub> , C <sub>1</sub> , C <sub>2</sub>	コマンド入力	3 ~ 1	入力	ファンクション・モードの選択, タイミング・パルス出力の設定などに使用するコマンド入力端子
STB	ストロープ入力	5	入力	データ, コマンドの入力時に使用する書き込みストロープ信号
DATA IN	データ入力	7	入力	40/52ビット・シフトレジスタのデータ入力
CLK	クロック入力	9	入力	40/52ビット・シフトレジスタのシフト・クロック入力
DATA OUT	データ出力	10	出力	40/52ビット・シフトレジスタのデータ出力で, オープン・ドレイン端子
TP	タイミング・パルス出力	11	出力	各種設定により, 1秒~60秒のパルス出力, インタラプト出力などを行う, オープン・ドレイン出力端子
OUT ENBL	出力禁止	12	入力	DATA OUT をハイ・インピーダンスにする出力禁止端子
XTAL	水晶振動子	15	入力	水晶振動子接続端子
$\overline{\text{XTAL}}$		14	出力	
V <sub>CC</sub>	電源	16	—	+側電源端子
GND	グラウンド	8	—	-側電源端子



# RTC [Real Time Clock]

## ■ ピン接続



## ■ 特 徴

- ・秒～年，曜日，12/24時間制対応のリアル・タイム・クロック
- ・秒～年，曜日の各レジスタは独立にアクセス可能
- ・データ変化フラグを利用して，時間変化の試験を容易に行うことが可能
- ・0.1～60秒間でプログラマブルな割り込み機能内蔵
- ・4ビットのアドレス・バスと4ビットのデータ・バスをもつ
- ・32.768kHzの水晶振動子を使用
- ・スタンバイ時に2.2Vまで動作可能

## ■ 最大定格

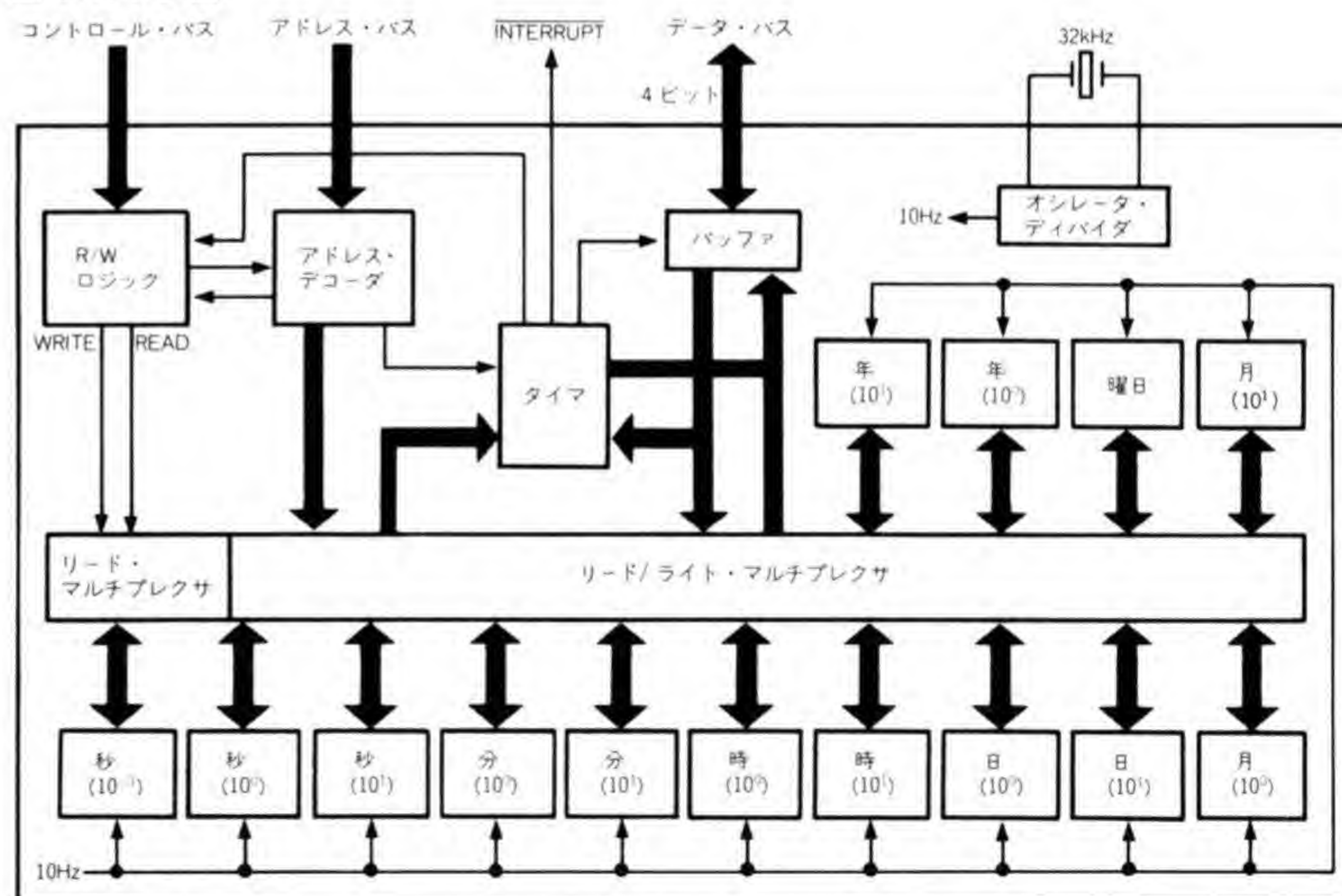
項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.3～6.5	V
入力電圧	$V_{IN}$	-0.3～ $V_{CC}+0.3$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	-40～85	°C
保存温度	$T_{STG}$	-65～150	°C

## ■ DC特性

( $T_a = -40 \sim 85^{\circ}\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 1.6\text{mA}$	3.7*	V
$I_{OL}$	$V_{OUT} = V_{CC}$	2.0	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0$ , アドレス, データ端子	80	$\mu\text{A}$
$I_{CC}$	$V_{CC} = 2.2\text{V}$	10	$\mu\text{A}$
	$V_{CC} = 5\text{V}$	1	mA
$C_{IN}$		10	pF
$C_{OUT}$		(typ)10	pF

## ■ ブロック図





■ 端子機能

端子名	名 称	ピン番号	入 出 力	機 能
$\overline{CS}$	チップ・セレクト	1	入 力	外部とのデータのリード/ライトに使用し、 $\overline{CS} = "L"$ のときアクセス可能
$\overline{RD}$	リード	2	入 力	"L" にすることにより、 $AD_0 \sim AD_3$ で指定したレジスタ/カウンタの内容を $DB_0 \sim DB_3$ に出力する
$\overline{WR}$	ライト	3	入 力	"L" にすることにより、 $AD_0 \sim AD_3$ で指定したレジスタ/カウンタに、 $DB_0 \sim DB_3$ のデータを入力する
$DB_3 \sim DB_0$	データ・バス	4 ~ 7	入出力	双方向のデータ・バス。CPU のデータ・バスに接続する
$AD_3 \sim AD_0$	アドレス入力	9 ~ 12	入 力	レジスタ/カウンタ指定用のアドレス入力。CPU のアドレス・バスに接続する
$\overline{INT}$	インタラプト出力	13	出 力	CPU に対する一定周期の割り込み出力。割り込み周期は、あらかじめプログラム可能
XTAL OUT	クリスタル出力	14	出 力	32.768kHz の水晶振動子接続端子。XTAL OUT が内部インバータの出力端子となっている
XTAL IN	クリスタル入力	15	入 力	



Pin diagram of the MSM6242 microcontroller:

- Pin 1: STD P
- Pin 2:  $\overline{CS}_0$
- Pin 3: ALE
- Pin 4:  $A_0$
- Pin 5:  $A_1$
- Pin 6:  $A_2$
- Pin 7:  $A_3$
- Pin 8:  $\overline{RD}$
- Pin 9: (0V) GND
- Pin 10:  $\overline{WR}$
- Pin 11:  $D_1$
- Pin 12:  $D_2$
- Pin 13:  $D_3$
- Pin 14:  $D_0$
- Pin 15:  $\overline{CS}_1$
- Pin 16: XT
- Pin 17: XT
- Pin 18:  $V_{DD} (+5V)$

- ・秒～年、曜日のリアルタイム・クロック
- ・マイコン・バス対応のインターフェース
- ・ソフトによる30秒補正
- ・アラームに用いる周期的な割り込み機能（または周期的な波形出力）
- ・計時のSTOP／START機能
- ・24時間制／12時間制の選択可能

- ・ 8048系, 8051系, 8085系のALE入力 (ALE出力のないマイコンの場合は" H" に固定で使用)
- ・ C-MOSデバイスによる低消費電流
- ・ 低いSTANDBY電圧, 小さいSTANDBY電流
- ・ 32.768kHzの水晶振動子を使用

[illegible]



## ■ 端子機能

端子名	ピン番号	入出力	機能
$D_0 \sim D_3$	14 ~ 11	入出力	マイコンのデータ・バスに接続する。正論理。 $\overline{CS}_0 = "L"$ , $CS_1 = "H"$ , $\overline{RD} = "L"$ かつ $\overline{WR} = "H"$ のときのみ出力となり、その他はハイ・インピーダンスとなる
$A_0 \sim A_3$	4 ~ 7	入力	Address bus 0 ~ 3。マイコンのアドレス・バスに接続する。ALEと組み合わせて使用する
ALE	3	入力	Address Latch Enable。アドレス・データおよび $\overline{CS}_0$ を読み込む。ALE = "H" のとき、アドレス・バスおよび $\overline{CS}_0$ が読み込まれ、ALE = "L" の間、それらのデータは保持される。 ALE出力をもつマイコンの場合は、それに接続し、もたないマイコンの場合は、"H" に固定する
$\overline{WR}$	10	入力	Write。 $CS_1 = "H"$ のとき、 $A_0 \sim A_3$ と ALE により指定されたレジスタに、 $D_0 \sim D_3$ のデータを $\overline{WR}$ の立ち上がりで書き込む
$\overline{RD}$	8	入力	Read。 $CS_1 = "H"$ のとき、 $\overline{RD}$ が "L" の間、 $D_0 \sim D_3$ にレジスタのデータを出力する。 $\overline{WR}$ , $\overline{RD}$ は同時に "L" としない
$\overline{CS}_0, CS_1$	2, 15	入力	Chip Select 0, 1。ALE, $\overline{WR}$ および $\overline{RD}$ 入力の有効、無効を制御する。 $\overline{CS}_0 = "L"$ かつ $CS_1 = "H"$ のときのみ有効となる
STD.P	1	出力	Standard Pulse。トープン・ドレイン出力で、 $C_E$ レジスタの $D_1$ データに従って出力される
XT, $\overline{XT}$	16, 17	—	Xtal OSC。32.768 kHz 水晶発振用端子

## ■ 動作範囲

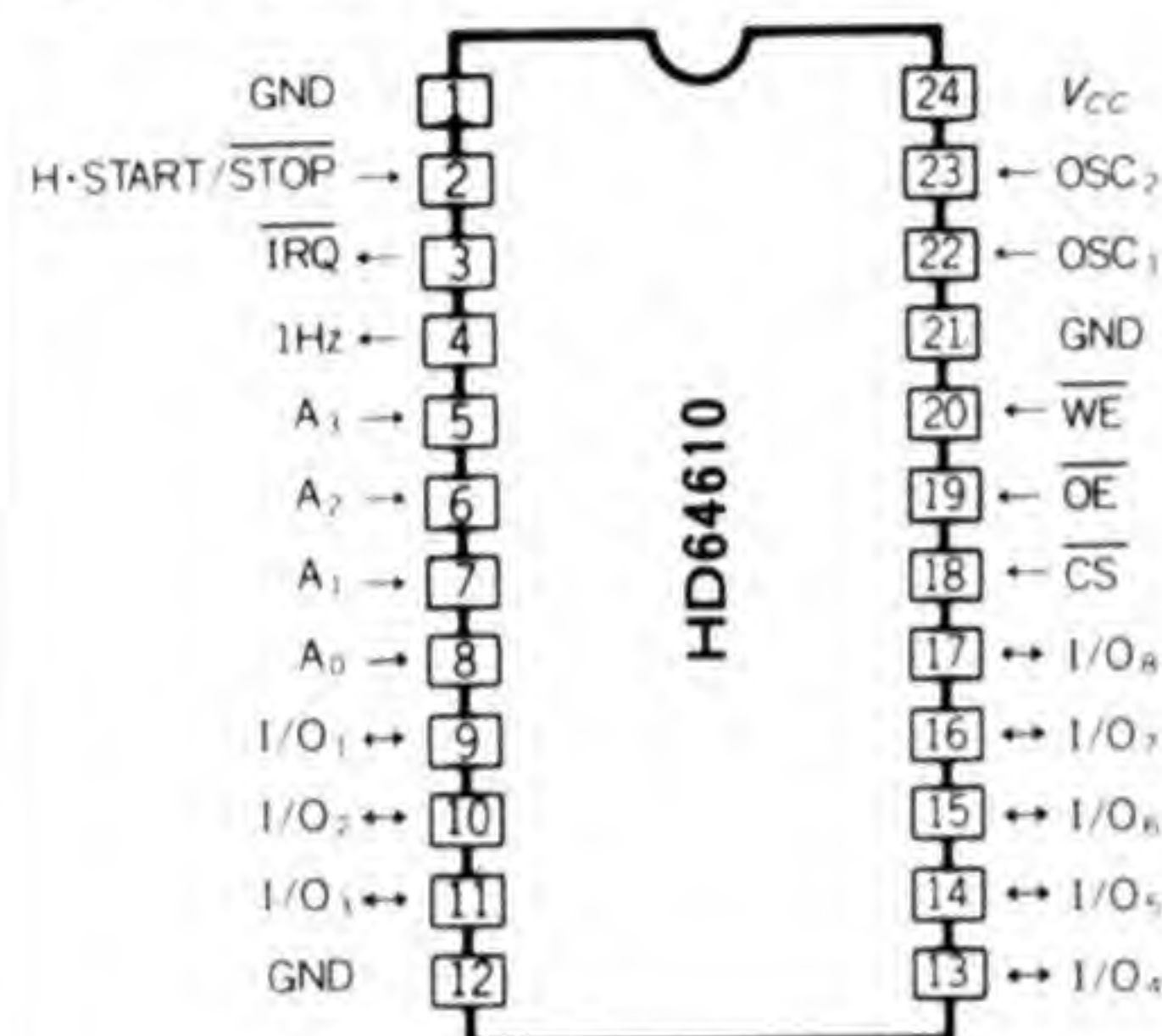
項目	記号	範囲	単位
電源電圧	$V_{DD}$	4 ~ 6	V
計時電源電圧	$V_{CLK}$	2.0 ~ 6	V
水晶周波数	$f_{XT}$	32.768	kHz

(注) 計時電源電圧：水晶発振および計時を保証する電源電圧



# RTC [Real Time Clock]

## ■ ピン接続

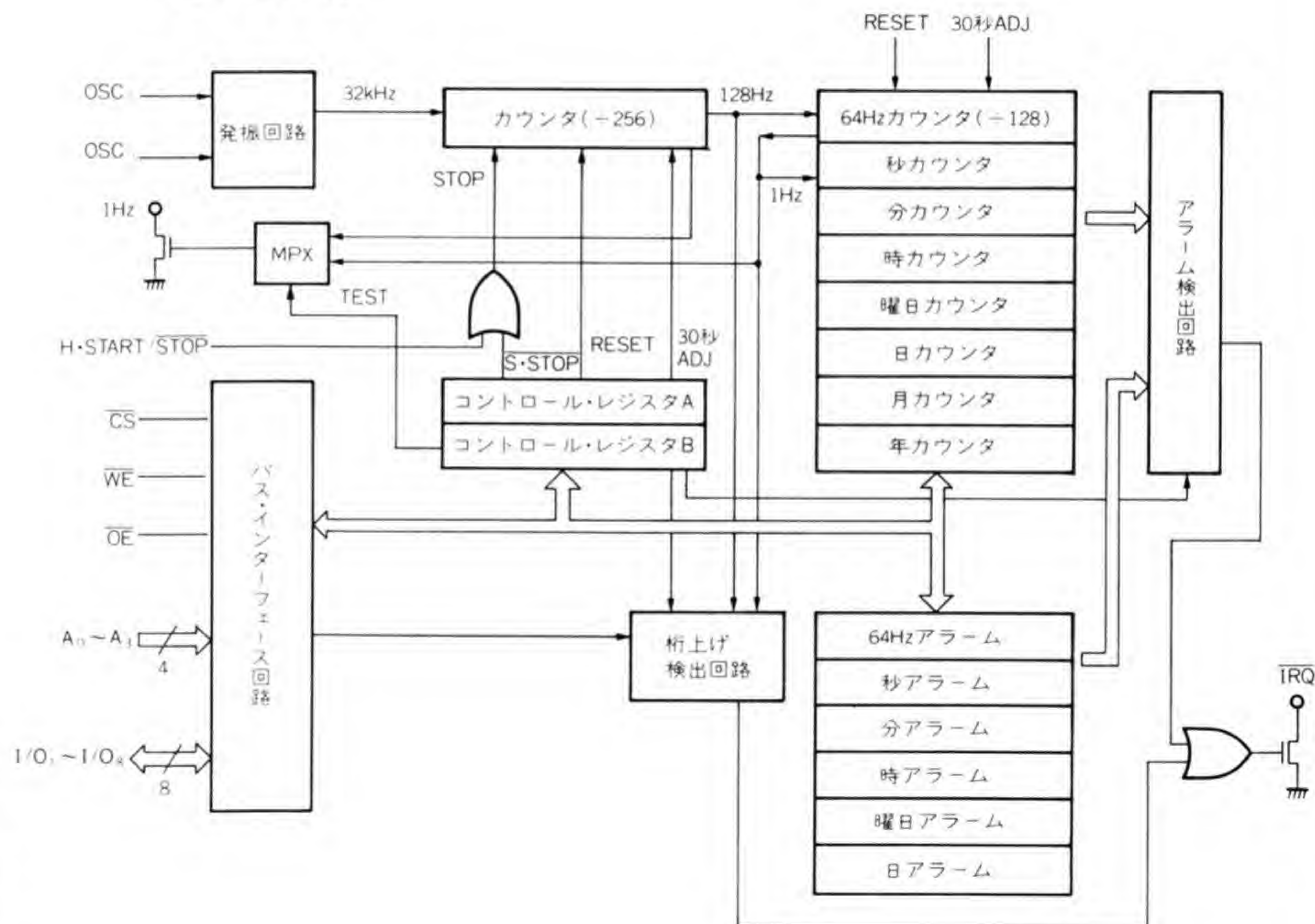


## ■ 特 徴

- ・ 8ビットのエデータ・バス（スタティックRAMインターフェース）
- ・ 発振回路内蔵
- ・ 時計・カレンダー機能（BCD表示）  
秒, 分, 時間, 日付, 曜日, 年月のカウンタ内蔵

- ・ START/STOP機能
- ・ ±30秒補正機能内蔵
- ・ アラーム割り込み, 桁上げ割り込み
- ・ 閏年自動補正
- ・ 1Hz出力端子付き

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	-20~75	°C
保存温度	$T_{STG}$	-55~150	°C

## ■ DC特性 ( $T_a = -20 \sim 75^\circ\text{C}$ , $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.1\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 1\text{mA}$	2.4*	V
$I_{OL}$		±10	μA
$I_{IH}$		±2	μA
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	12.5	pF



## ■端子機能

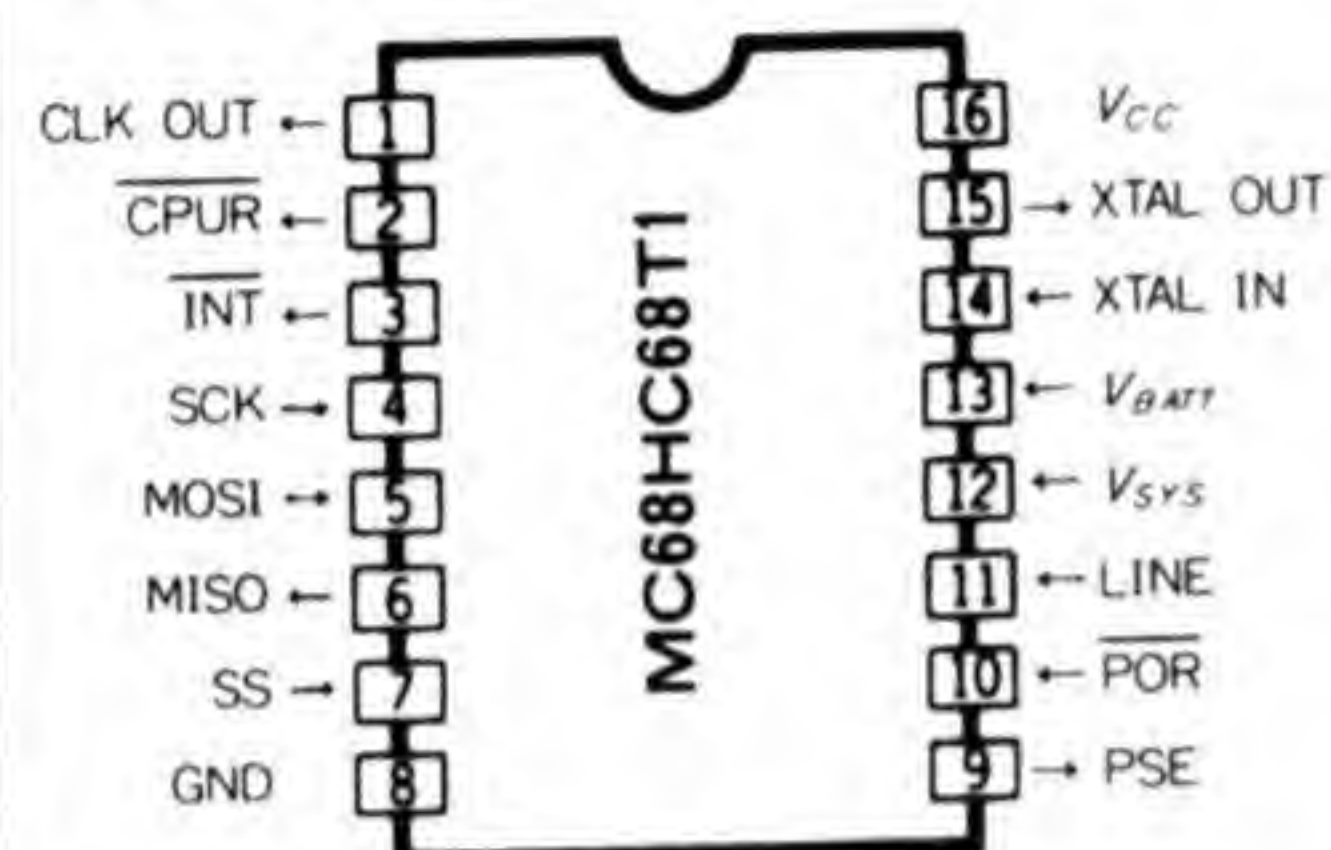
分 類	ピン番号	端 子 名	名 称	入 出 力	機 能
電 源	24	V <sub>cc</sub>	V <sub>cc</sub>	—	電源に接続する 電源投入時およびバス・アクセス時には 5 V ± 10% の電圧を供給し、バッテリー・バックアップ時は、2 V 以上の電圧を供給する
	1, 12, 21	GND	GND	—	グラウンド(GND)に接続する 1ピン、12ピンはIC内部で独立に使用されておりますので、どちらもグラウンドに接続するボード実装時には、それぞれの端子間に電位差が生じないように、プリント基板の設計をする。また、1ピンは、発振回路部の基準電位ですので、特に電位の安定化に配慮する 21ピンは発振安定化のため、グラウンドに接続する(注)
クロック	22 23	OSC <sub>1</sub> OSC <sub>2</sub>	OSC <sub>1</sub> OSC <sub>2</sub>	入 力	水晶振動子を接続するための入力端子 周波数は32.768kHzを使用する
MPUバス・インターフェース	8 ~ 5	A <sub>0</sub> ~ A <sub>3</sub>	Address Bus	入 力	内部の16バイトのレジスタをアクセスするためのアドレス情報を入力する端子
	9 ~ 11, 13 ~ 17	I/O <sub>1</sub> ~ I/O <sub>8</sub>	Data Bus	入出力	8ビット・データの入出力を行う双方向性データ・バス。この端子は、スリーステート出力バッファとなっており、CSとOEが“Low”入力でかつWEが“High”入力(リード・アクセス時)以外は、ハイ・インピーダンス状態になっている
	18	$\overline{\text{CS}}$	Chip Select	入 力	本ICをアドレッシングするための端子であり、MPUは $\overline{\text{CS}}$ が“Low”レベルのときのみ本ICに対してアクセス可能
	19	$\overline{\text{OE}}$	Output Enable	入 力	MPUが本ICのレジスタをリードする場合、“Low”にする端子。 $\overline{\text{OE}}$ と $\overline{\text{WE}}$ の両方が“Low”レベルの場合、 $\overline{\text{WE}}$ 機能が優先する
	20	$\overline{\text{WE}}$	Write Enable	入 力	MPUが本ICのレジスタへライトする場合、“Low”にする端子
時計制御	3	$\overline{\text{IRQ}}$	Interrupt Request	出 力	MPUに割り込みを要求する信号 この信号は、桁上げ・アラーム発生により、割り込み条件が成立した場合“Low”レベルになる この信号を解除するには、MPUがコントロール・レジスタAのフラグに“0”をライトするか割り込みイネーブル・ビットを“0”にする この信号はオープン・ドレイン構造で、割り込み要求がないときはハイ・インピーダンス状態になる。プルアップ抵抗を接続することにより、他のIRQ信号と接続することができる
	2	H-START/ $\overline{\text{STOP}}$	Hardware Start/Stop	入 力	時計・カウンタ機能を起動・停止制御する信号。 この端子機能は、内部レジスタのS-START/ $\overline{\text{STOP}}$ ビットが“0”のとき有効。S-START/ $\overline{\text{STOP}}$ ビットが“1”のときは、この端子の入力レベルに影響されず、カウント動作が続く
	4	1 Hz	1 Hz	出 力	1Hzの内部基準クロックをモニタすることができる 1Hz信号をモニタするには、電源投入後、コントロール・レジスタBのビット3 = “0”，ビット0 = “1”に設定する必要がある

(注) 21ピンの V<sub>ss</sub> 端子は、構造的に内部のチップには接続されていない。したがって、DC 的に測定すること。この端子はオープンである。ただし、発振回路を周囲の端子から電磁氣的に遮断するため、このピンは必ず GND に接続すること。



# RTC (Real Time Clock Plus RAM)

## ■ ピン接続

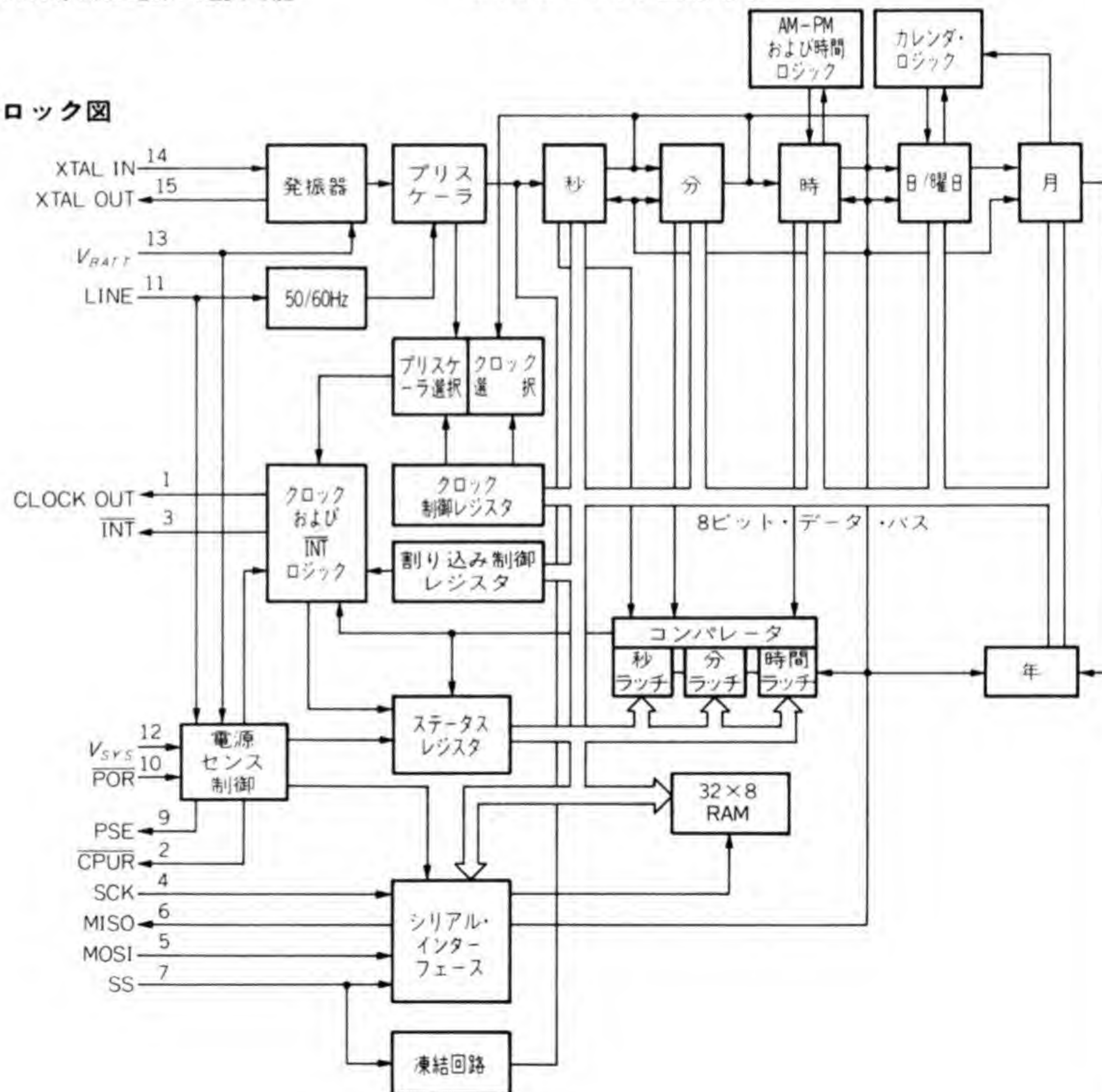


## ■ 特 徴

- ・ 自動閏年補正機能付きの完全なクロック
- ・ 32バイトのRAM内蔵
- ・ 最小計時電圧は2.2V
- ・ クロックまたはRAMにおける連続アドレスへのリード/ライトのためのバースト・モードをもつ
- ・ 発振回路として水晶または50/60Hz電源の選択可能

- ・ BCDデータをレジスタに保持可能
- ・ 凍結回路により、クロック・リード時のソフトウェア・オーバヘッドを排除
- ・ CPU R出力によって規則正しいパワー・アップ/ダウンを実行
- ・ ウォッチ・ドッグ回路内蔵

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.5$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	-40~85	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a = -40 \sim 85^{\circ}\text{C}$ ,  $V_{CC} = 3 \sim 6\text{V}$ )

記号	測 定 条 件	max/min*	単位
$V_{IL}$	$V_{CC} = 3.0\text{V}$	0.9	V
$V_{IH}$	$V_{CC} = 3.0\text{V}$	2.1*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 1.6\text{mA}$	3.7*	V
$I_{OL}$	$V_{OUT} = V_{CC}, \text{GND}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = V_{CC}, \text{GND}$	$\pm 1$	$\mu\text{A}$
$C_{IN}$		10	pF



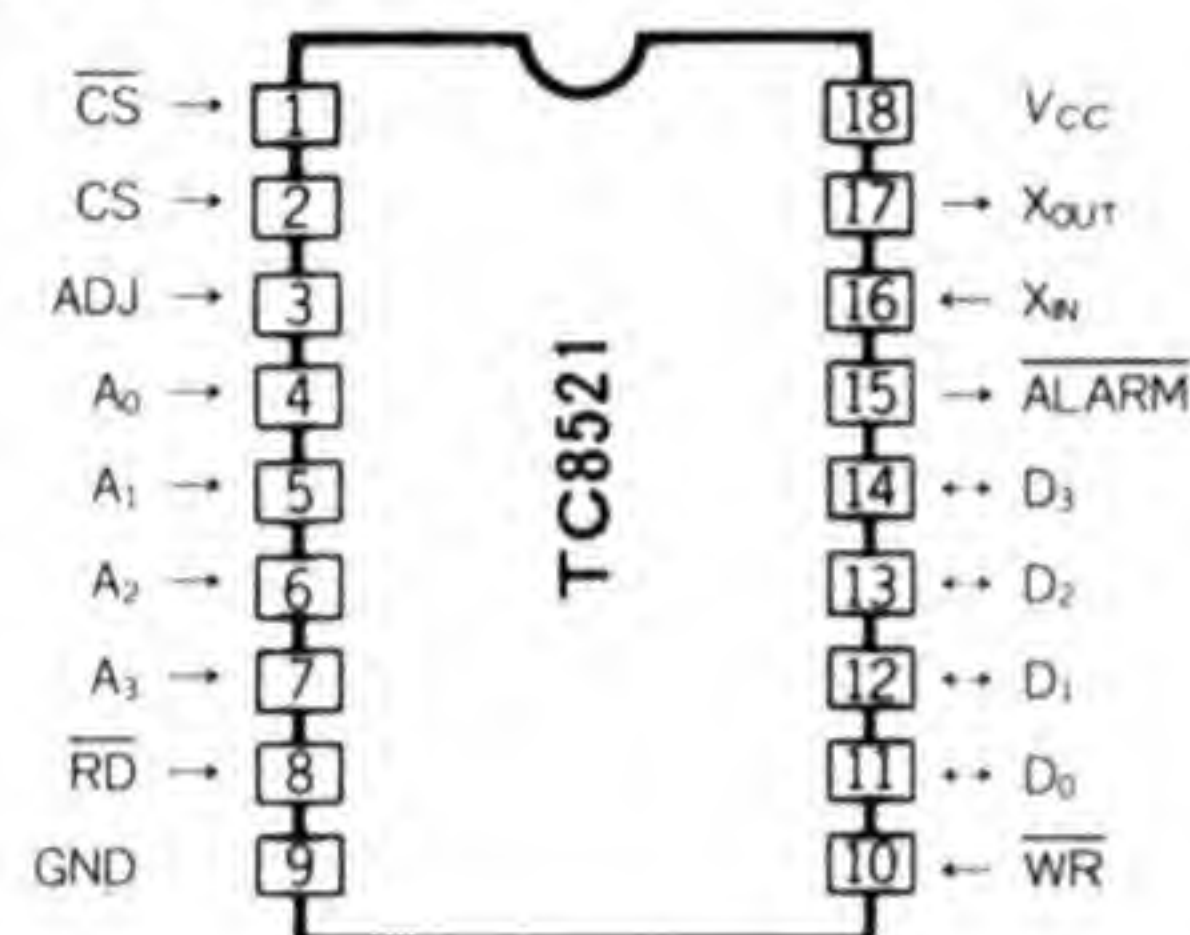
## ■端子機能

端子名	名称	ピン番号	入出力	機能
CLK OUT	クロック出力	1	出力	この信号は、バッファされたクロック出力で七つの選択可能な周波数の一つを供給する。クロック制御レジスタの最下位3ビットの内容によって出力周波数が決まる
$\overline{\text{CPUR}}$	CPU リセット	2	出力	アクティブ“L”出力を使用して、マイクロプロセッサのリセット・ピンを駆動し、規則的なパワーアップ/パワーダウンを行わせることができる
$\overline{\text{INT}}$	割り込み	3	出力	アクティブ“L”出力。電源障害が発生した時、セットしていたアラーム時間になった時、選択していた周期割り込み信号がアクティブになった時に、“L”になる
SCK	シリアル・クロック	4	入力	このシリアル・クロック入力を使用して、内部インタフェース・ロジックにデータがシフト・インおよびシフト・アウトされる
MOSI	マスタ・アウト・スレーブ・イン	5	入力	このポートに現われるシリアル・データは、ロジックがイネーブルされていれば、SCKによってインタフェース・ロジックにラッチされる
MISO	マスタ・イン・スレーブ・アウト	6	出力	このポートに現われるシリアル・データは、ロジックがイネーブルされていれば、SCKによってインタフェース・ロジックからシフト・アウトされる
SS	スレーブ・セレクト	7	入力	スレーブ・セレクト入力ピンが“H”になると、インタフェース・ロジックがアクティブになる。それ以外のとき、ロジックはリセット状態、そして MISO ピンはハイ・インピーダンス状態になっている。
PSE	電源イネーブル	9	出力	システム電源制御用の出力端子。V <sub>sys</sub> がシステム障害によって“L”にリセットされた後、V <sub>sys</sub> がV <sub>BATT</sub> 電圧以上に上昇した場合、割り込みが発生した場合、パワー・オン・リセットが発生した場合などにイネーブルになる
$\overline{\text{POR}}$	パワー・オン・リセット	10	入力	外部 RC 回路網を使用して、内部パワー・オン・リセット信号を発生する
LINE	ライン・センス	11	入力	LINE センス入力を用いて、二つの機能の一つを駆動することができる。一つは時計カウンタの周波数ソースとしてこの入力信号を利用する。もう一つの機能は LINE 入力をイネーブルして電源の障害を検出する
V <sub>sys</sub>	システム電圧	12	入力	この入力にはシステム電圧に接続される。CPU が割り込み制御レジスタのビット 6 を“H”にセットしてパワー・ダウンを開始した後、このピンのレベルがいったん V <sub>BATT</sub> +0.7V 以下に低下してから、V <sub>BATT</sub> 入力ピンのレベルにより 0.7V 高い電圧まで上昇するとパワー・ダウンが終了する
V <sub>BATT</sub>	バッテリー電圧	13	入力	このピンは発振器の電源であり、バッテリーの正端子に接続しなければならない



# RTC [Real Time Clock]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$-40 \sim +85^{\circ}\text{C}$	$^{\circ}\text{C}$
保存温度	$T_{STG}$	$-65 \sim +125$	$^{\circ}\text{C}$

## ■ DC特性

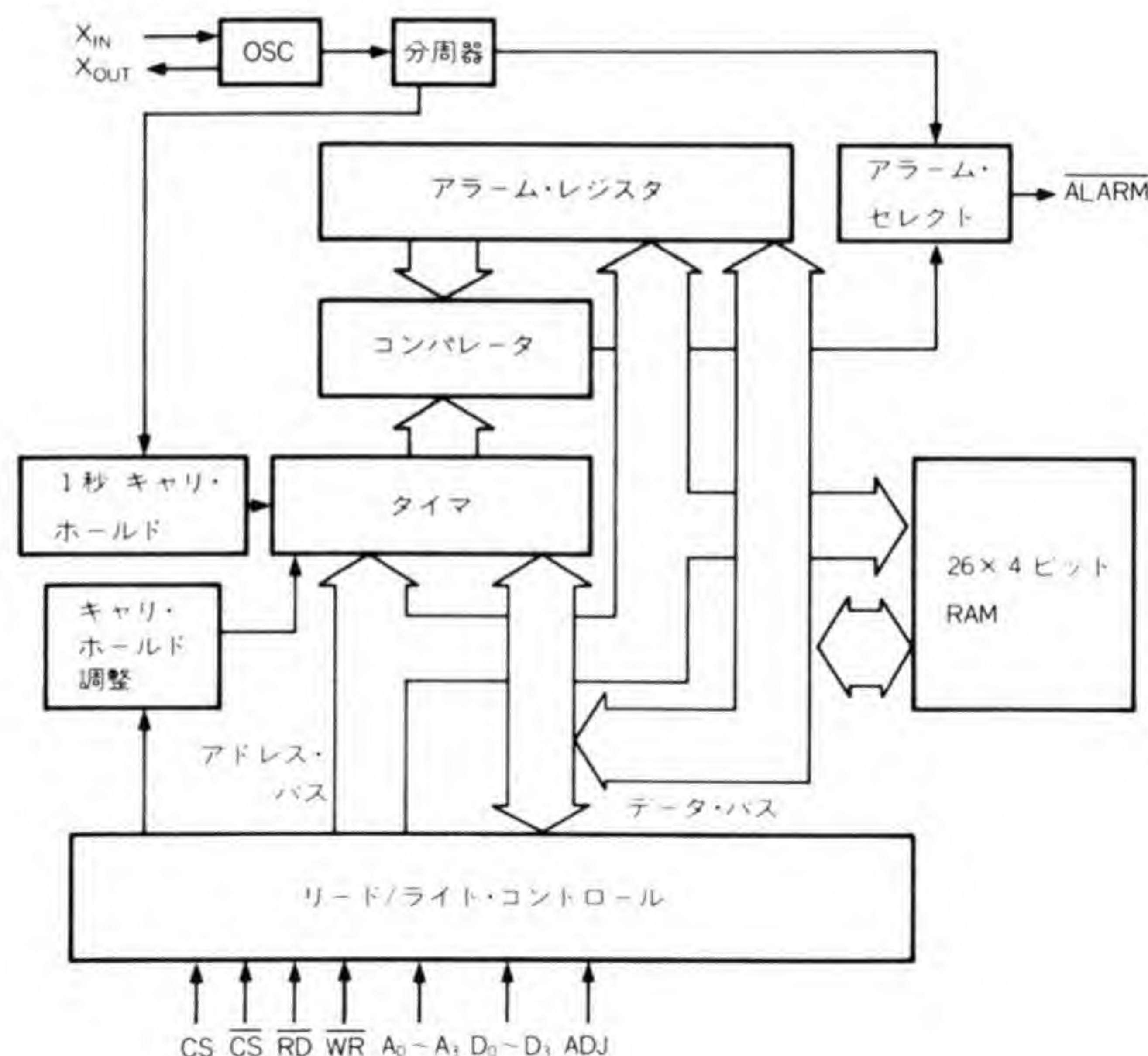
( $T_a = -40 \sim +85^{\circ}\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 2\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 0.5\text{mA}$	$V_{CC} - 0.4^*$	V
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$

## ■ 特徴

- ・低消費電力
- ・32.768kHzの水晶発振回路内蔵
- ・時計機能(時分秒, 月日曜日)
- ・オート・カレンダー
- ・24時間/12時間計のどちらかを選択可能
- ・ $\pm 30$ 秒補正機能をもつ
- ・アラーム信号または16Hz, 1Hzのパルス出力可能
- ・26×4ビットのRAM内蔵
- ・バッテリ・バックアップ動作可能
- ・4ビット双方向データ・バス
- ・CPUバスと直結可能

## ■ ブロック図





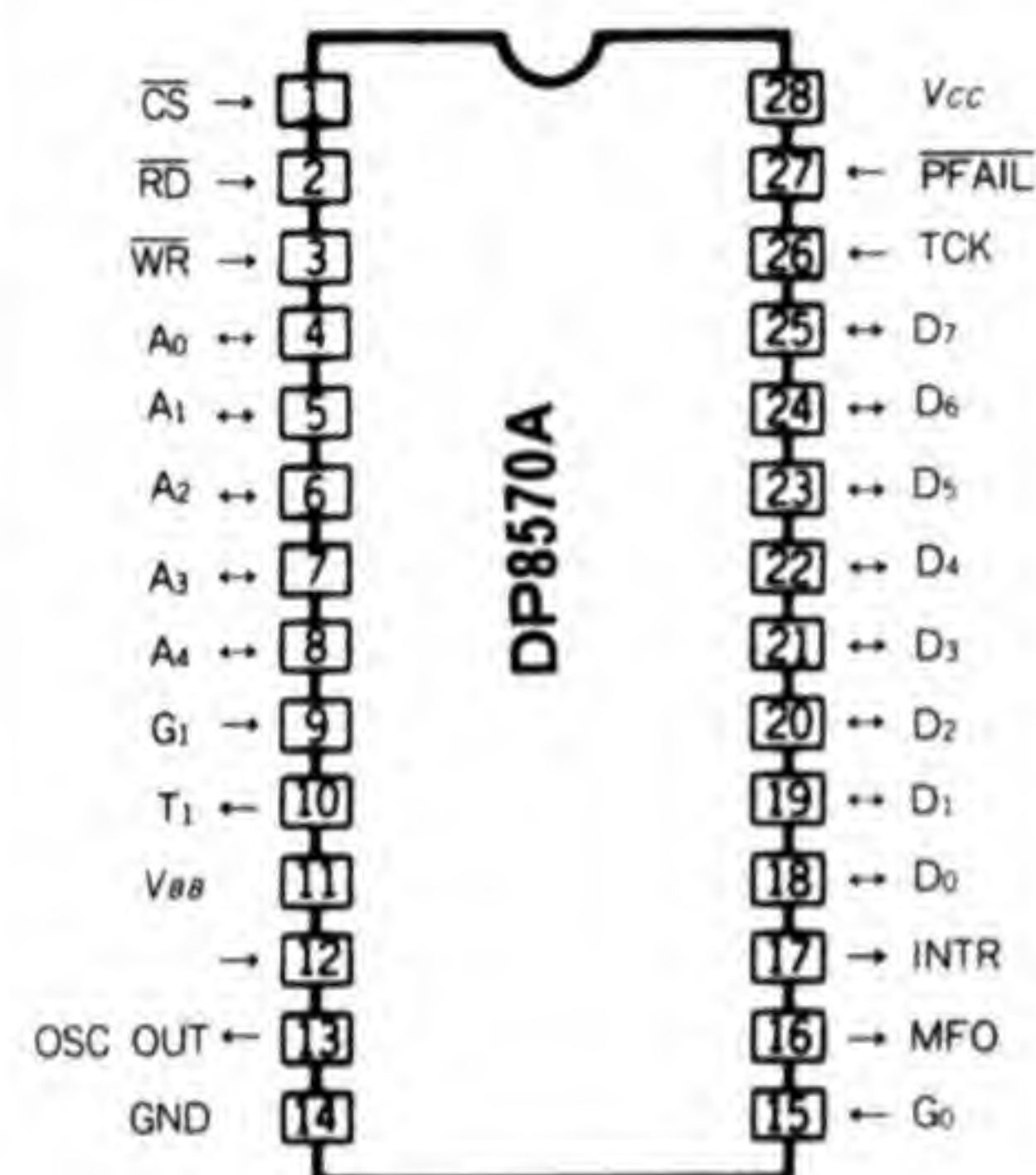
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS}$	チップ・セレクト	1	入力	$\overline{CS}$ が“0”で、CSが“1”のとき RTC が選択され、リード/ライト動作が可能になる。 $\overline{CS}$ は、CPU に接続して使用する。 CS は、周辺回路部電源のパワーダウン検出部に接続して使用する
CS		2	入力	
ADJ	アジャスト	3	入力	この信号により秒を補正する。秒が 0 ～ 29 秒のときに、この信号を“H”レベルにすると秒を 0 にする。また 30 ～ 59 秒の時は分を桁上げして秒を 0 にする
A <sub>0</sub> ～A <sub>3</sub>	アドレス	4～7	入力	RTC のレジスタを選択するためのアドレス入力。CPU 側のアドレス・バスと接続する
$\overline{RD}$	リード	8	入力	チップが選択されている状態で“0”にすることにより、CPU は RTC のレジスタの内容を読み出すことができる
GND	グラウンド	9	—	IC のグラウンド、システムのグラウンドと接続する
$\overline{WR}$	ライト	10	入力	チップが選択されている状態で“0”にすることにより、CPU は RTC のレジスタへデータを書き込むことができる
D <sub>0</sub> ～D <sub>3</sub>	データ	11～14	入出力	CPU 側とデータのやり取りをするための双方向性データ・バス (4 ビット)
$\overline{ALARM}$	アラーム	15	出力	アラーム信号と、16Hz、1Hz のクロック・パルスを出力する。オープン・ドレイン出力になっている
X <sub>IN</sub>	クロック	16	入力	水晶振動子接続端子
X <sub>OUT</sub>		17	出力	
V <sub>CC</sub>	電源	18	—	電源 (+5 V) 端子



# RTC (Real Time Clock Plus RAM)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	$-40 \sim 85$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

## ■ DC特性

( $T_a = -40 \sim 85^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ ,  $V_{BB} = 3\text{V}$ )

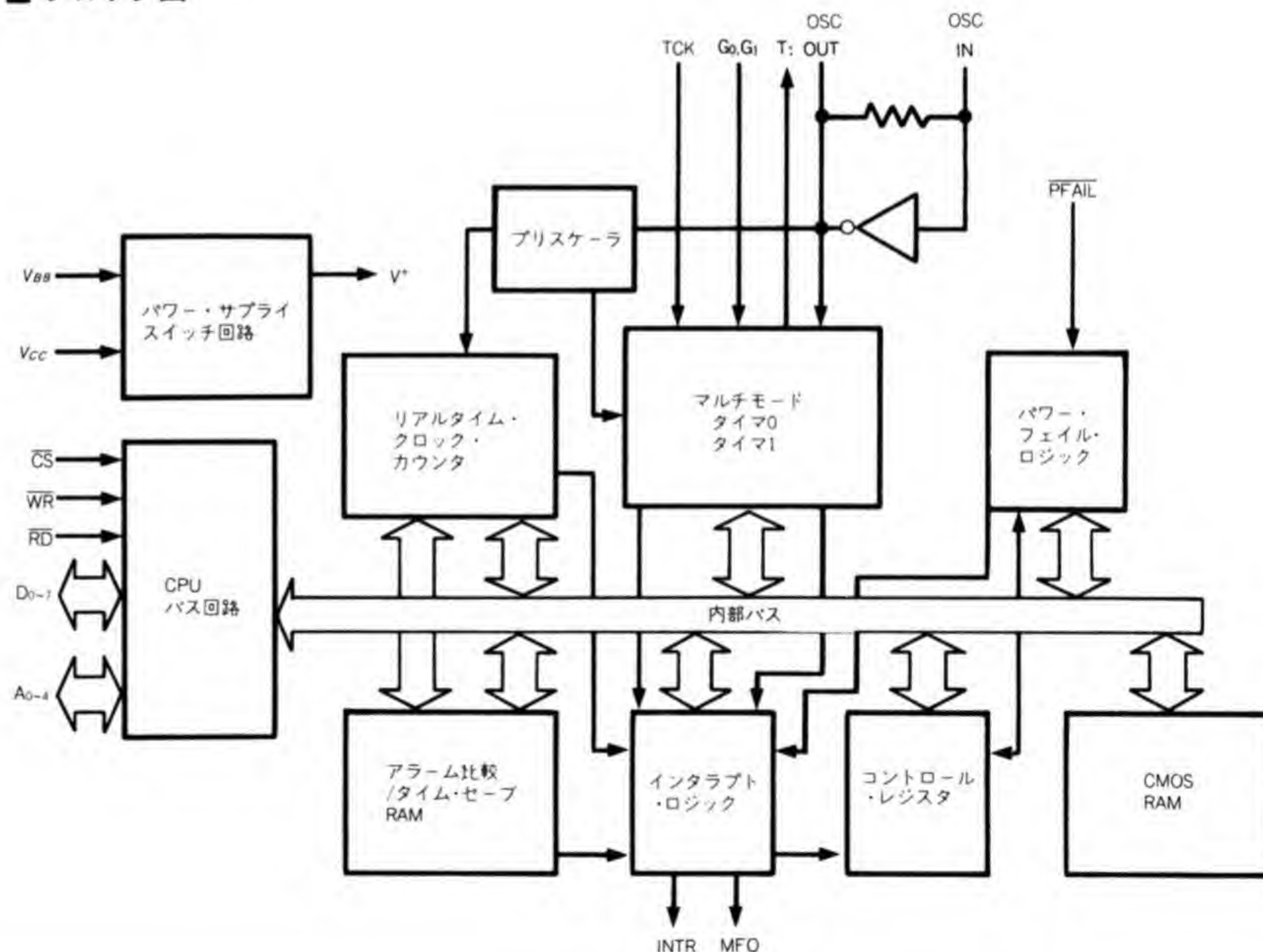
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OH} = 4.0\text{mA}$	0.25	V
$V_{OH}$	$I_{OL} = 4.0\text{mA}$	3.5*	V
$I_{OL}$	$V_{OUT} = 0, V_{CC}$	$\pm 5$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0, V_{CC}$	$\pm 1$	$\mu\text{A}$
$I_{BB}$	$f = 32.768\text{kHz}$	10	$\mu\text{A}$
	$f = 4.19\text{MHz}$	400	$\mu\text{A}$
$C_{IN}$		5	pF

## ■ 特 徴

- ・秒～年、曜日、12/24時間制対応のリアル・タイム・クロック
- ・4種類の発振周波数を選択可能  
32K, 32.768K, 4.194M, 4.9152MHz
- ・二つの16ビット・タイマを内蔵
- ・二つの電源端子をもち、パワー・フェイル時の電源切り替え動作および内部保護動作を行う

- ・各種割り込み出力機能を内蔵。  
割り込み周期は0.01～1秒間でプログラマブル。  
アラーム割り込み出力。  
パワー・フェイル割り込み出力。
- ・44バイトのCMOS RAMを内蔵
- ・スタンバイ時に2.2Vまで動作可能

## ■ ブロック図





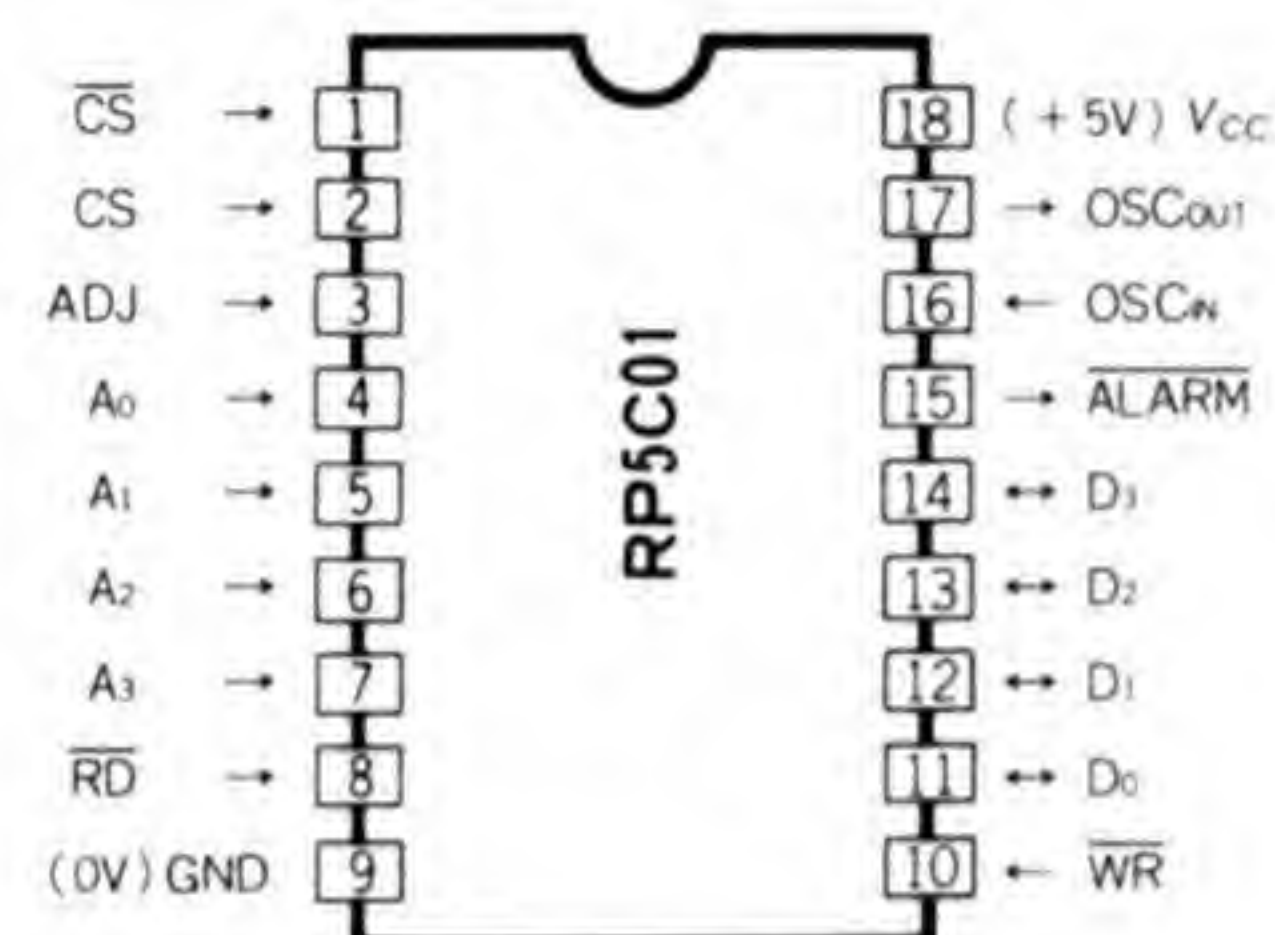
## ■ 端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS}$	チップ・セレクト	1	入力	チップ・セレクト入力。リード/ライト動作時に使用
$\overline{RD}$	リード	2	入力	リード入力。 $\overline{RD}$ が“L”のとき有効
$\overline{WR}$	ライト	3	入力	ライト入力。 $\overline{WR}$ が“L”のとき有効
$A_0 \sim A_4$	アドレス	4 ~ 8	入出力	内部レジスタ選択用アドレス入力。パワー・ダウン時ディセーブル状態
$G_1$	ゲート 1	9	入力	タイマ 1、タイマ 2 のゲート信号。“L” アクティブでそれぞれのタイマへの入力が可能となる
$G_0$	ゲート 0	15	入力	
$T_1$	タイマ 1 出力	10	出力	タイマ 1 の信号出力端子
OSC IN	オシレータ入力	12	入力	水晶振動子接続端子。水晶はパワー・セーブ時も発振を続ける
OSC OUT	オシレータ出力	13	出力	
MFO	マルチ・ファンクション出力	16	出力	CPU への 1 秒割り込み信号出力
INTR	インタラプト	17	出力	タイミング・イベントやパワー・ダウン時の割り込み信号出力
$D_0 \sim D_7$	データ・バス	18 ~ 25	入出力	CPU データ・バスと接続し、データの入出力を行う
TCK	タイマ・クロック	26	入力	タイマ 0 およびタイマ 1 へのクロック入力
$\overline{PFAIL}$	パワー・フェイル	27	入力	外部の電圧検出信号を入力する。“L” アクティブでパワー・フェイル・モードになる
$V_{BB}$	バッテリ・パワー端子	11	—	バックアップ電源端子
$V_{CC}$	電源	28	—	電源端子
GND	グラウンド	14	—	グラウンド



# RTC (Real Time Clock)

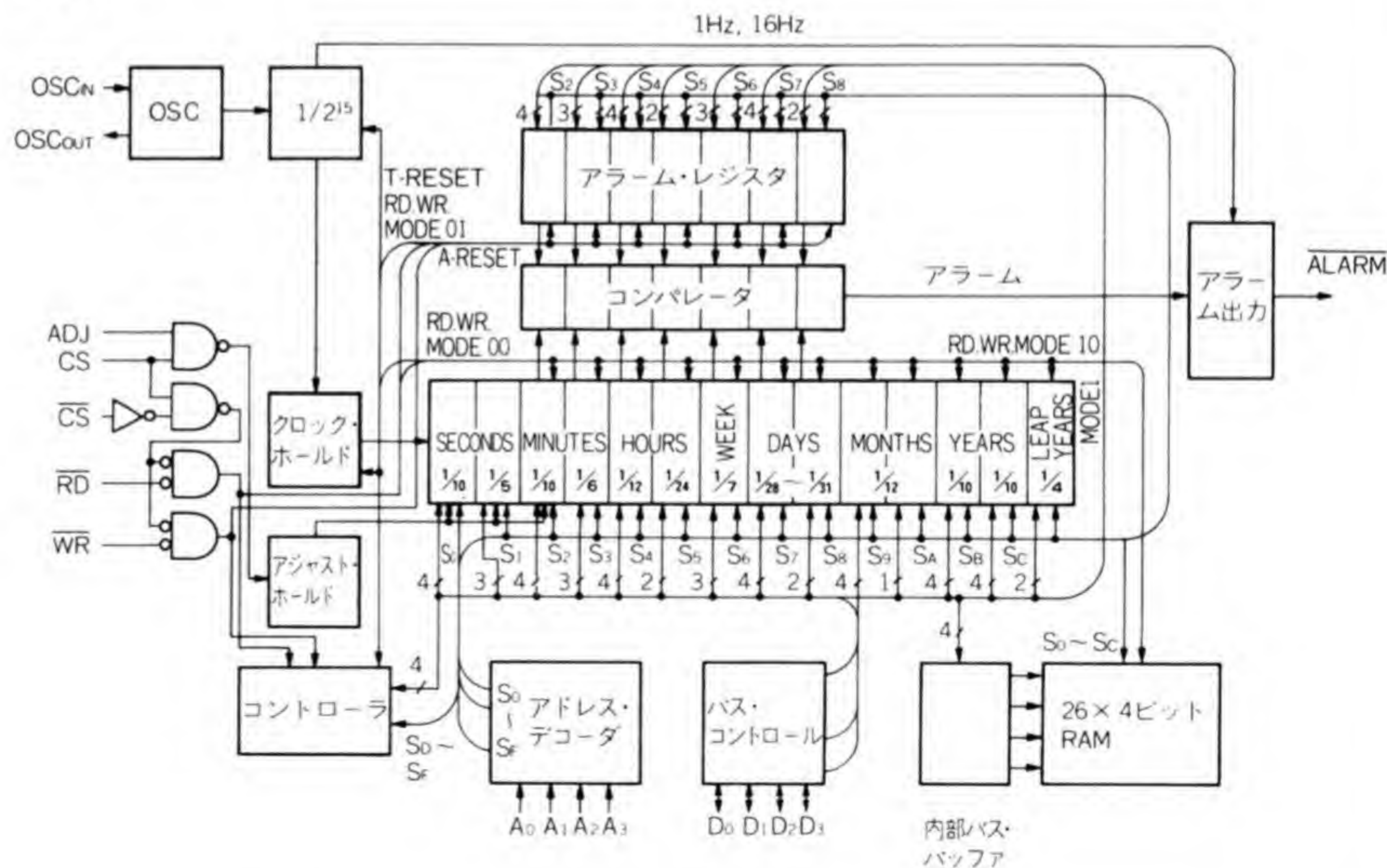
## ■ ピン接続



## ■ 特徴

- ・ CPUと直結可能
- ・ 4ビット双方向バス D0~D3
- ・ 4ビット・アドレス入力 A0~A3
- ・ 時刻(時, 分, 秒), カレンダ(100年, うるう年, 月, 日, 曜日)のカウンタを内蔵
- ・ 24時間制/12時間制の選択可能
- ・ 時計のデータはすべてBCDコードで表現
- ・ ±30秒アジャスタ機能
- ・ バッテリ・バックアップが可能
- ・ 26×4ビットのRAMを内蔵
- ・ アラーム信号, または16Hzか1Hzのタイミング・パルス出力可能

## ■ ブロック図



## ■ 最大定格

項目	記号(条件)	定格	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
入力電圧	$V_{IN}$ (GND端子を基準とする)	-0.3 ~ +7.0	V
出力電圧	$V_{OUT}$	-0.3 ~ +7.0	V
消費電力	$P_D$ ( $T_a = 25^\circ\text{C}$ )	700	mW
動作温度	$T_{OPR}$	0 ~ +70	$^\circ\text{C}$
保存温度	$T_{STG}$	-40 ~ +125	$^\circ\text{C}$

## ■ DC特性

( $T_a = 0 \sim +70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

項目(条件)	min/max*	単位
$V_{IH}$	2.0	V
$V_{IL}$	-0.3/0.8*	V
$V_{OH}$ ( $I_{OH} = -400\mu\text{A}$ )	2.4	V
$V_{OL}$ ( $I_{OL} = 2\text{mA}$ )	0.4*	V
$I_I$ ( $V_I = 0 \sim 5.25\text{V}$ )	$\pm 10^*$	$\mu\text{A}$
$I_{OZ}$	$\pm 10^*$	$\mu\text{A}$
$I_{CC1}$ ( $V_{CC} = 2.2\text{V}$ )	15*	$\mu\text{A}$
$I_{CC2}$ ( $V_{CC} = 5.0\text{V}$ ) (2)	250*	$\mu\text{A}$

注(1) 電流はICに流れ込む向きを正とする  
 (2) CPU接続時(リード/ライト・サイクル10 $\mu\text{s}$ )



## ■ 端子機能

端子名	ピン番号	入出力	機能
$\overline{CS}$	1	入力	外部のインターフェースを行うときに使用する。CS="H", $\overline{CS}$ ="L"で有効。CSは周辺回路部電源のパワー・ダウン検出部に接続。 $\overline{CS}$ はマイコンに接続する
CS	2	入力	
ADJ	3	入力	"H"で秒の補正を行う。 0～29秒→0秒 30～59秒→分をカウント・アップして0秒に
A <sub>0</sub> ～A <sub>3</sub>	4～7	入力	アドレス・ピン。CPUのアドレス・バスを接続する
$\overline{RD}$	8	入力	I/Oコントロール入力。CPU←RP5C01のとき"L"
(0V)GND	9	—	グラウンド
$\overline{WR}$	10	入力	I/Oコントロール入力。CPU→RP5C01のとき"L"
D <sub>0</sub> ～D <sub>3</sub>	11～14	入出力	双方向性データ・バス。 CPUのデータ・バスに接続する
ALARM	15	出力	アラーム信号と、16HzCK、1HzCKパルスを出力する。オープン・ドレイン出力
OSC <sub>IN</sub>	16	入力	水晶振動子接続端子。32.768kHz
OSC <sub>OUT</sub>	17	出力	
(+5V)V <sub>CC</sub>	18	—	+5V電源

## ■ AC特性

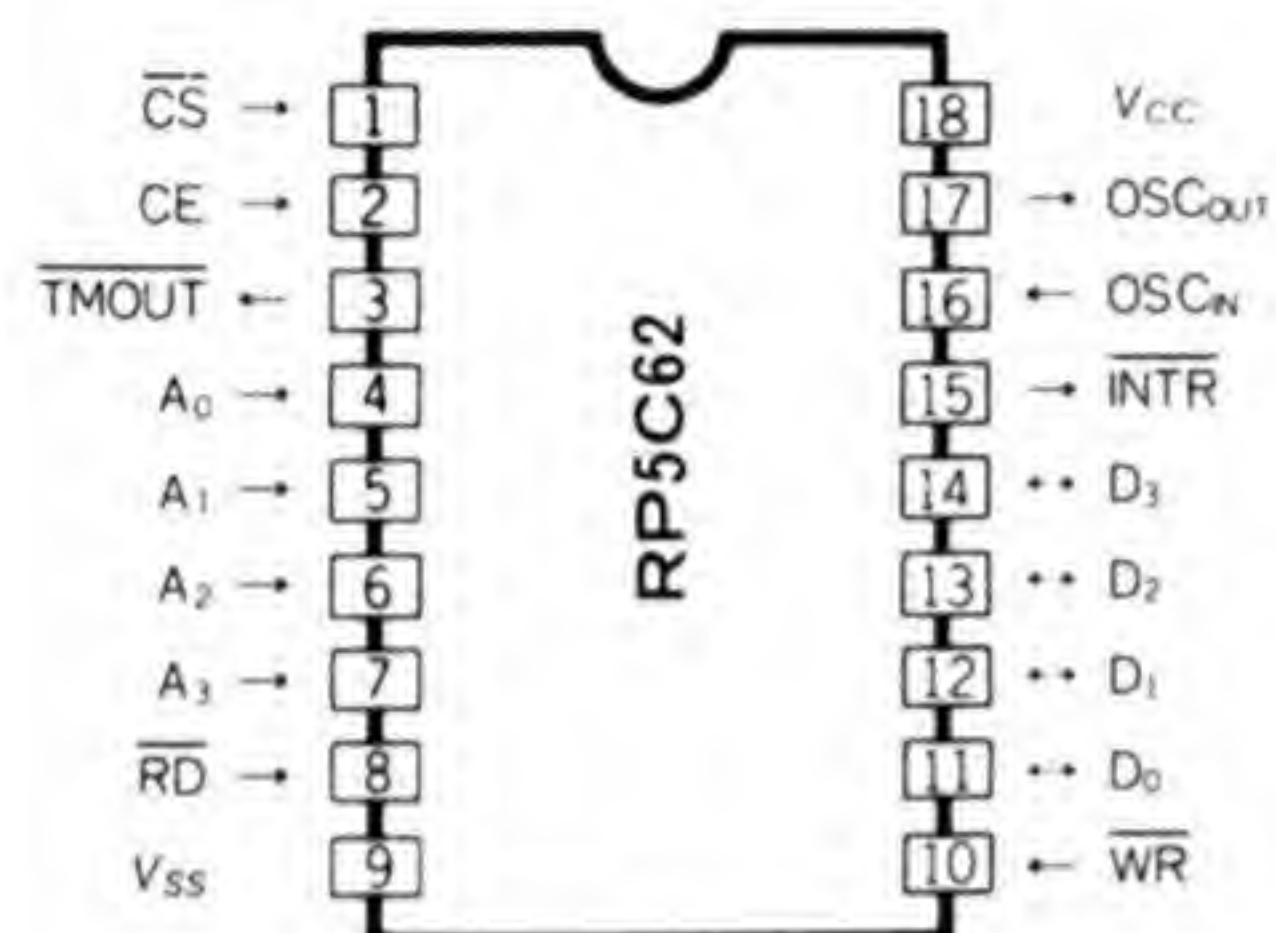
(T<sub>a</sub>=0～+70°C, V<sub>CC</sub>=5V±5%)

記号	min/max*	単位
t <sub>AC</sub>	170	ns
t <sub>CC</sub>	400/10000	ns
t <sub>CA</sub>	10	ns
t <sub>RD</sub>	340*	ns
t <sub>RDH</sub>	0	ns
t <sub>WDL</sub>	40*	ns
t <sub>WD</sub>	20	ns



# RTC (Real Time Clock)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
消費電力	$P_D$	0.3	W
動作温度	$T_{OPR}$	$-20 \sim 70$	°C
保存温度	$T_{STG}$	$-40 \sim 125$	°C

## ■ DC特性

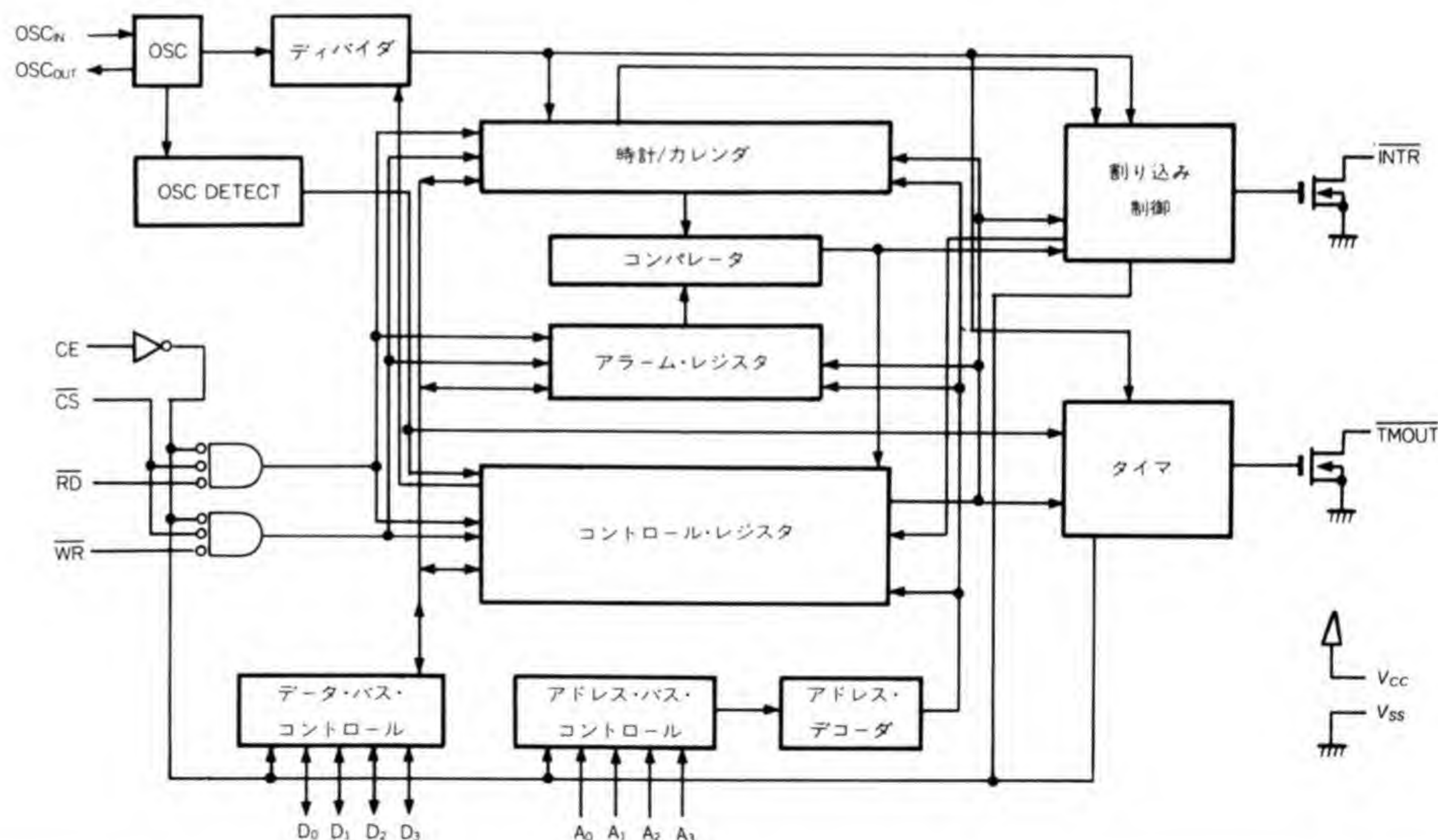
( $T_a = -20 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 2\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 5$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 1$	$\mu\text{A}$

## ■ 特徴

- ・ CPUと直結可能
- ・ 4ビット双方向バス D0~D3
- ・ 4ビット・アドレス入力 A0~A3
- ・ 発振回路を定電圧駆動しており、電源電圧変動に対し発振周波数の安定度よい ( $\pm 1\text{ppm}$ 以内)
- ・ CPUに対する一定周期割り込み発生およびアラーム一致割り込み発生機能
- ・ 時刻 (時, 分, 秒), カレンダ (うるう年, 年, 月, 日, 曜日) のカウンタを内蔵
- ・ 24時間制/12時間制の選択可能
- ・ 時計のデータはすべてBCDコードで表現
- ・  $\pm 30$ 秒アジャスト機能
- ・ バッテリ・バックアップが可能
- ・ 計時データの有効/無効判別機能

## ■ ブロック図





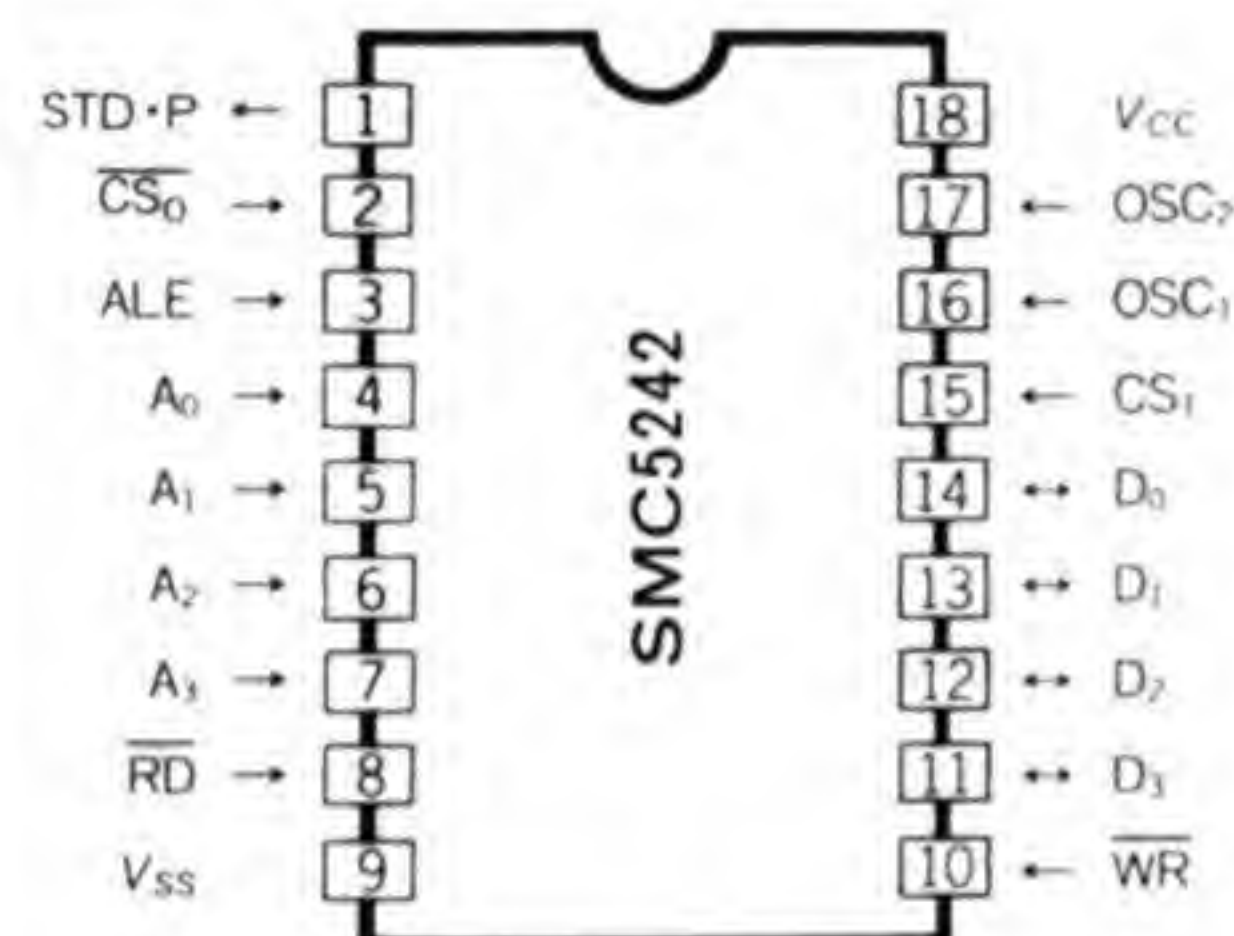
■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{\text{CS}}$ CE	チップ・セレクト, チップ・イネーブル入力	1 2	入力	外部とインターフェースを行うときに使用し、 $\overline{\text{CS}} = \text{"L"}$ 、 $\text{CE} = \text{"H"}$ のときアクセス可能。CE はシステム電源側のパワー・ダウン検出部に接続し、 $\overline{\text{CS}}$ はマイコンのアドレス・バスに接続する
$\overline{\text{TMOUT}}$	タイマ出力	3	出力	タイマ出力で、割り込み用フリーラン・タイマ、ウォッチドグ・タイマとして使用可能。CE = "L" のとき（バッテリ・バックアップ時）は、動作停止（出力 OFF）となる。Nチャネルのオープン・ドレイン出力
$\text{A}_0 \sim \text{A}_3$	アドレス入力	4 ~ 7	入力	CPU のアドレス・バスと接続する。CE と内部でゲートされている
$\overline{\text{RD}}$	読み出し制御入力	8	入力	"L" にすることにより、 $\text{A}_0 \sim \text{A}_3$ で指定されたカウンタ/レジスタの内容を $\text{D}_0 \sim \text{D}_3$ に出力する。 $\overline{\text{CS}} = \text{"L"}$ 、 $\text{CE} = \text{"H"}$ で有効になる
$\overline{\text{WR}}$	書き込み制御入力	10	入力	"L" あるいは "L" → "H" にすることにより、 $\text{A}_0 \sim \text{A}_3$ で指定されたカウンタ/レジスタに $\text{D}_0 \sim \text{D}_3$ の内容を書き込む。 $\overline{\text{CS}} = \text{"L"}$ 、 $\text{CE} = \text{"H"}$ で有効になる
$\text{D}_0 \sim \text{D}_3$	双方向データ・バス	11 ~ 14	入出力	CPU のデータ・バスに接続する。入力部は CE と内部でゲートされている
$\overline{\text{INTR}}$	割り込み出力	15	出力	CPU に対する一定周期の割り込み、またはアラーム一致の割り込みを出力する。CE = "L" のとき（バッテリ・バックアップ時）も動作する。Nチャネルのオープン・ドレイン出力
$\text{OSC}_{\text{IN}}$ $\text{OSC}_{\text{OUT}}$	発振回路入出力	16 17	入力 出力	$\text{OSC}_{\text{IN}} - \text{OSC}_{\text{OUT}}$ 間に 32.768kHz の水晶振動子を接続し、 $V_{\text{CC}} - \text{OSC}_{\text{IN}}$ 間および $V_{\text{CC}} - \text{OSC}_{\text{OUT}}$ 間に容量を外付けして発振回路を構成する
$V_{\text{CC}}$ $V_{\text{SS}}$	正電源入力 負電源入力	18 9	—	$V_{\text{CC}}$ に +5V を接続し、 $V_{\text{SS}}$ を接地する



# RTC (Real Time Clock)

## ■ ピン接続



## ■ 特 徴

- ・ 4ビット双方向データ・バスおよび4ビット・アドレス・バス
- ・ 32.768kHzの水晶発振回路内蔵
- ・ 24時間/12時間計のどちらかを選択可能
- ・ 時計データはすべてBCDコードで表現
- ・ ソフトによる30秒前後での分析上げ自動判別補正機能

## ■ 最大定格

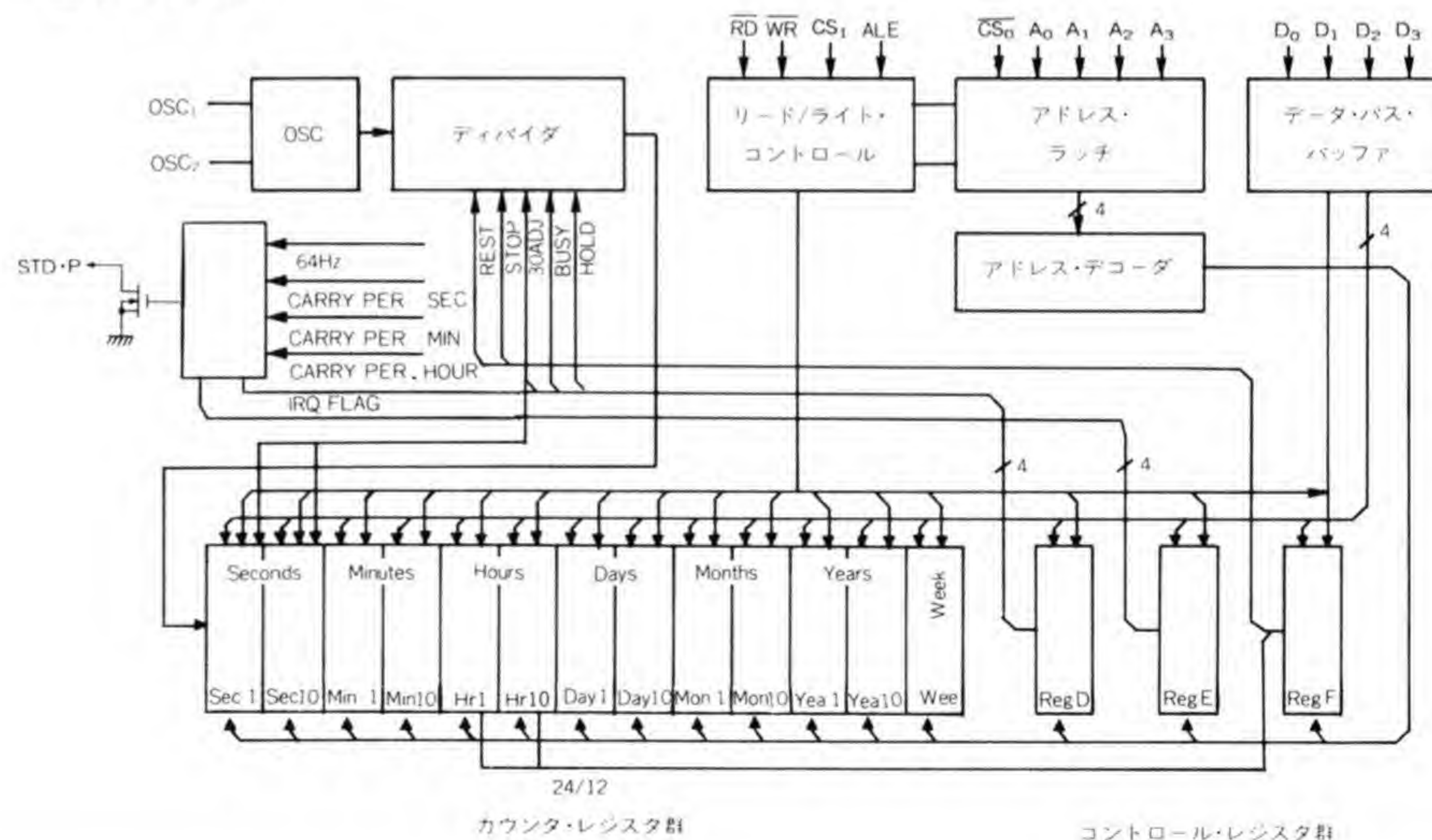
項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.3$	V
消費電力	$P_D$		W
動作温度	$T_{OPR}$	-30~85	°C
保存温度	$T_{STG}$	-55~150	°C

## ■ DC特性

( $T_a = -30 \sim 85^\circ\text{C}$ ,  $V_{CC} = 5V \pm 10\%$ )

記号	測 定 条 件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		20	pF

## ■ ブロック図





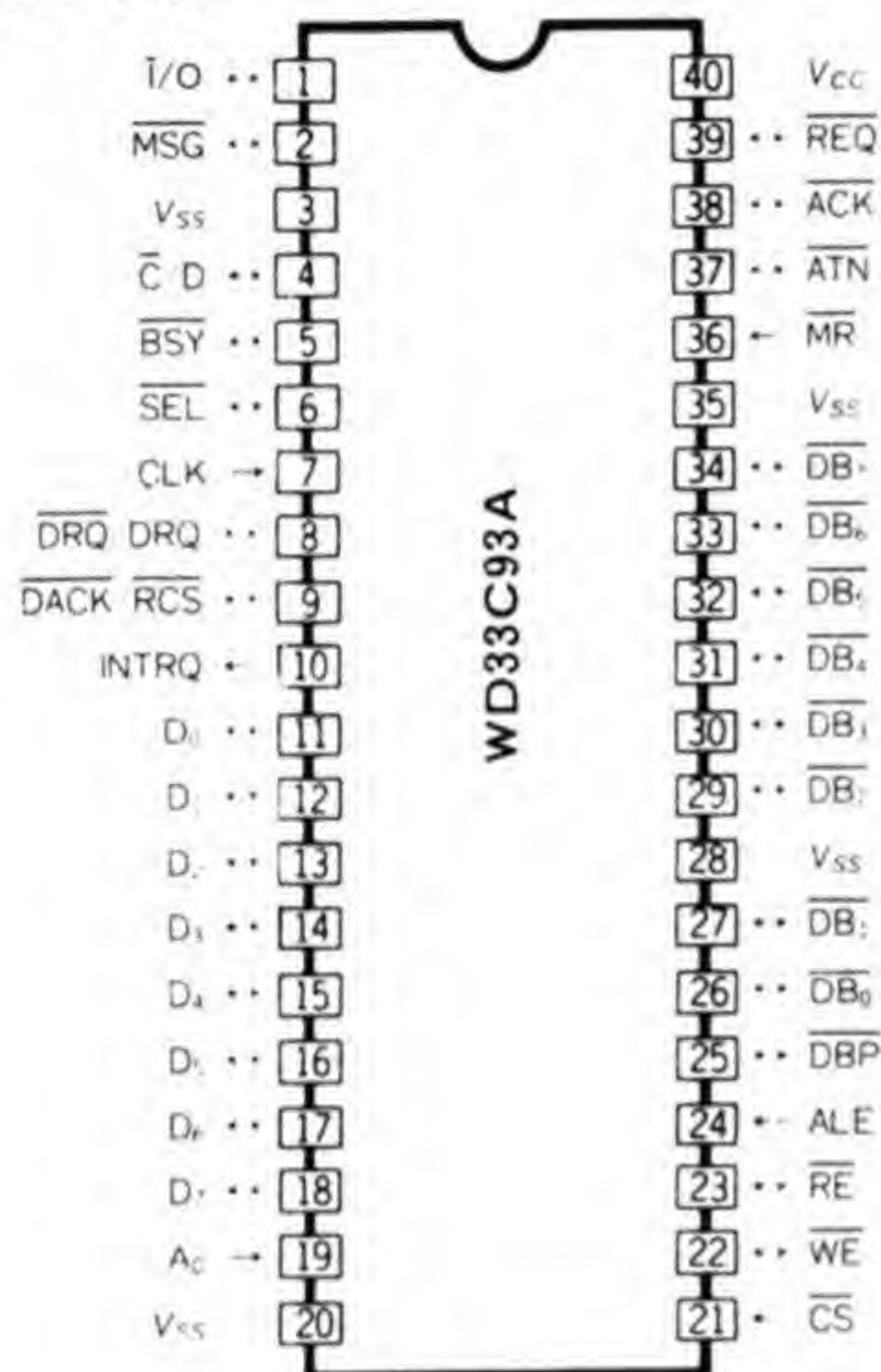
## ■端子機能

端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>3</sub>	データ・バス	11~14	入出力	双方向のデータ・バスで、マイクロコンピュータのデータ・バスなどに接続して使用する。このバスを通じ内部カウンタ、レジスタへデータの読み出し、書き込みを行う
A <sub>0</sub> ~A <sub>3</sub>	アドレス	4~7	入力	アドレスの入力端子で、マイクロコンピュータのアドレスなどに接続して使用する。このICの内部カウンタ、レジスタの選択(アドレス選択)を行う。 次項のALEと組み合わせて使用することもできる
ALE	アドレス・ラッチ・イネーブル	3	入力	アドレス・データおよびCS <sub>0</sub> を読み込み、内部的に保持するための入力端子。 ALE="H"のときは、アドレスおよびCS <sub>0</sub> はIC内に読み込まれ、ALEの立ち下がりでそのアドレスおよびCS <sub>0</sub> を保持する。保持はALE="L"の間続く。 ALE出力をもたないマイクロコンピュータの場合は、この端子を"H"で使用する
WR	ライト	10	入力	"L"レベルにすることにより、アドレス入力A <sub>0</sub> ~A <sub>3</sub> により指定されたカウンタ、レジスタにデータ・バス(D <sub>0</sub> ~D <sub>3</sub> )上のデータを書き込む
RD	リード	8	入力	"L"レベルにすることにより、アドレス入力A <sub>0</sub> ~A <sub>3</sub> により指定されたカウンタ、レジスタよりそのデータ内容をデータ・バス(D <sub>0</sub> ~D <sub>3</sub> )上に出力する
CS <sub>0</sub>	チップ・セレクト0	2	入力	"L"レベルで本ICを活性(イネーブル)状態にする。ALEと組み合わせて使用することもできる
CS <sub>1</sub>	チップ・セレクト1	15	入力	本ICをスタンバイ状態、またはオペレーション状態にするための入力端子。 CS <sub>1</sub> を"H"にすることにより本ICを活性(イネーブル)状態にする。 ("L"にて本ICをスタンバイ状態にすることができる)
STD・P	スタンダード・パルス	1	出力	Nチャネルのオープン・ドレイン構成の出力端子で、周期的な割り込み波形、または周期的なパルス波形を出力する。タイミング発生時に"L"になる。 CS <sub>0</sub> 、CS <sub>1</sub> により禁止されることはない
OSC <sub>1</sub> OSC <sub>2</sub>	水晶発振端子	16 17	入力	32.768kHzの水晶発振用端子
V <sub>CC</sub> V <sub>SS</sub>	電源端子	18 9	—	V <sub>CC</sub> にプラス電源、V <sub>SS</sub> に0V(グラウンド)電源を供給する



# SCSI Controller

## ■ ピン接続



## ■ DC特性

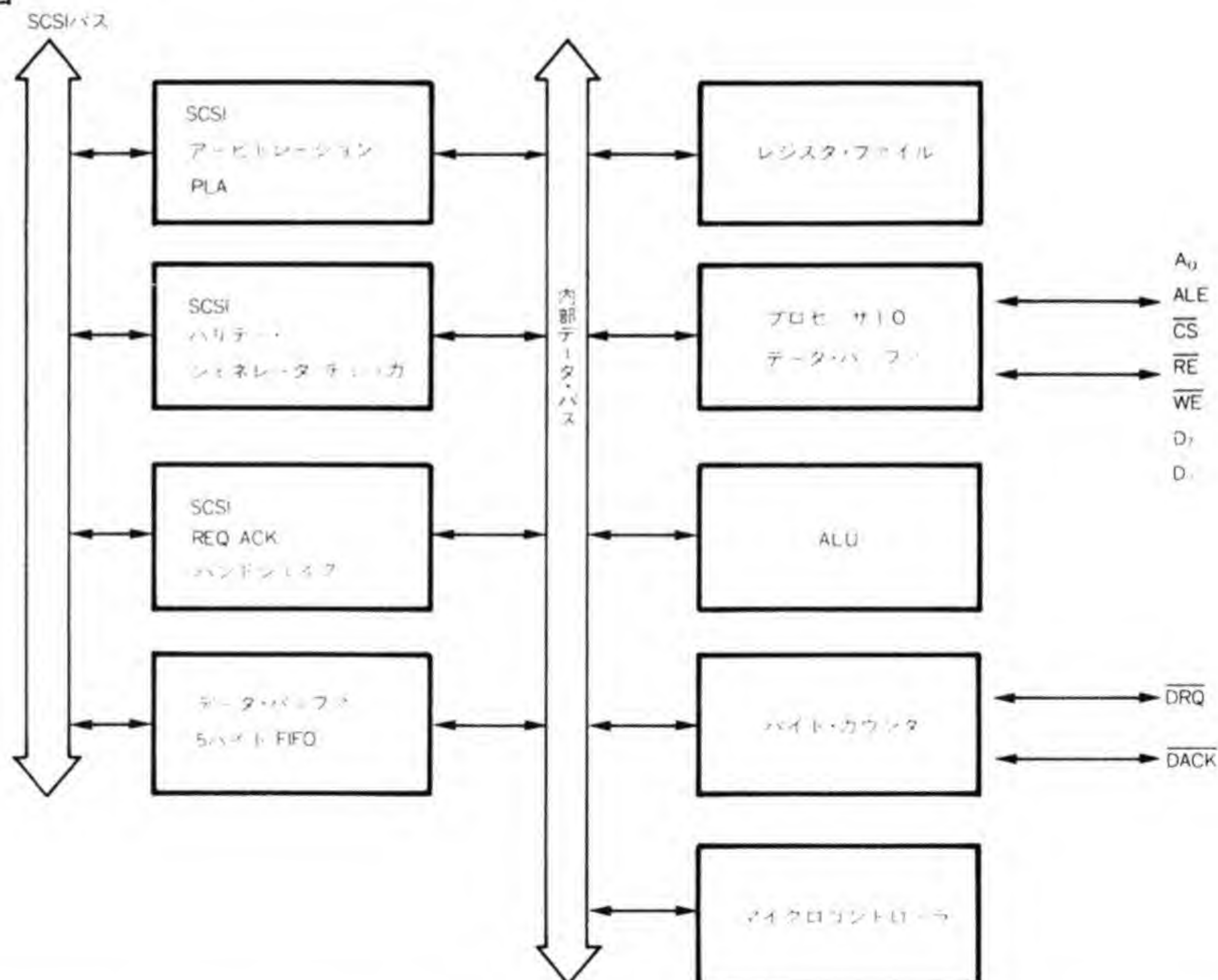
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IN}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 4\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0.4 \sim V_{CC}$	10	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0.4 \sim V_{CC}$	10	$\mu\text{A}$

## ■ 特徴

- CPU, SCSIのインターフェースの機能を持ち内蔵のマイクロコントローラで制御される
- 非同期で2.5 Mバイト/秒の転送速度をもつ・マルチプレクス/ノンマルチプレクスの両方のアドレス/データ・バスに対応できる8ビット・データ・バスをもつ
- イニシエータとターゲットの両機能をもつ
- プログラム転送またはDMA転送が可能で、さらにWDバスを用いた転送も可能
- 24ビット転送カウンタ内蔵
- SCSIバスに直接接続できるドライバ回路を内蔵

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.2 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.2 \sim 7.0$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	$0 \sim 70$	$^\circ\text{C}$
保存温度	$T_{STG}$	$-55 \sim 125$	$^\circ\text{C}$



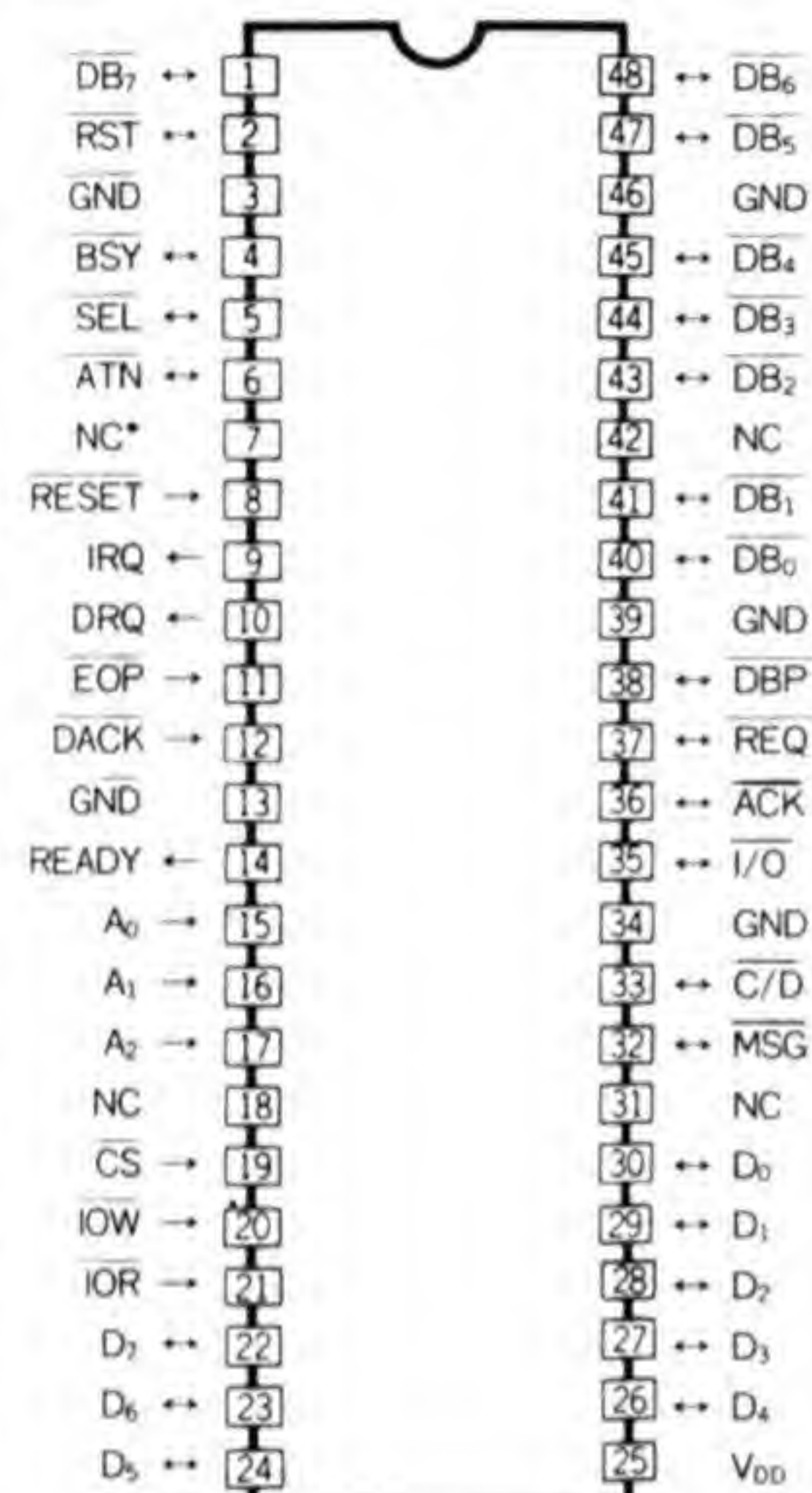
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{\text{I/O}}$	入出力	1	入出力	SCSI バス上でのデータの入出力を制御する。“L” のときイニシエータからターゲットへ、“H” のときターゲットからイニシエータとなる
$\overline{\text{MSG}}$	メッセージ	2	入出力	メッセージ・フェーズであることを示す。イニシエータのとき入力、ターゲットのとき出力
$\overline{\text{C/D}}$	コントロール/データ	4	入出力	コマンド・フェーズ、ステータス・フェーズ、メッセージ・フェーズのとき“L” となる
$\overline{\text{BSY}}$	ビジー	5	入出力	SCSI バスの使用状態を示す信号。ターゲットのとき出力、イニシエータのとき入力となる
$\overline{\text{SEL}}$	セレクト	6	入出力	セレクション・フェーズ、リセレクション・フェーズで使用される
$\overline{\text{DBP}}$	SCSI データ・パリティ	25	入出力	SCSI バス・データ・パリティ
$\overline{\text{DB}}_0$ └ $\overline{\text{DB}}_7$	データ 0 └ データ 7	26, 27, 29 └ 34	入出力	SCSI バス・データの入出力端子
$\overline{\text{ATN}}$	アテンション	37	入出力	アテンション・コンディションを示す信号
$\overline{\text{REQ}}$	リクエスト	39	入出力	ターゲットがデータの要求やデータの用意ができたことをイニシエータに知らせる信号
CLK	クロック	7	入 力	クロック入力
$\overline{\text{DRQ/DRQ}}$	データ・リクエスト	8	入出力	DMA コントローラとのハンドシェイクに使用する
$\overline{\text{DACK/RCS}}$	DMA アクノリッジ/RAM セレクト	9	入出力	DMA コントローラからのアクノリッジ入力信号。外部 RAM を使用するときは、チップ・セレクト信号を出力する
INTRQ	割り込み要求	10	出 力	割り込み要求出力
$\text{D}_0$ └ $\text{D}_7$	データ 0 ~ 7	11 └ 18	入出力	レジスタのリード/ライト用の双方向データ・バス
$\text{A}_0$	アドレス 0	19	入 力	内部レジスタ・アクセス用のアドレス入力
$\overline{\text{CS}}$	チップ・セレクト	21	入 力	内部レジスタ・アクセスのためのチップ・セレクト
$\overline{\text{WE}}$	ライト・イネーブル	22	入出力	ライト・イネーブル信号。外部バッファ・アクセス時は $\overline{\text{WE}}$ を出力する
$\overline{\text{RE}}$	リード・イネーブル	23	入出力	リード・イネーブル信号。外部バッファ・アクセス時は $\overline{\text{RE}}$ を出力する
ALE	アドレス	24	入 力	アドレス・ラッチ・イネーブル信号
$\overline{\text{MR}}$	マスタ・リセット	36	入 力	マスタ・リセット入力
$\overline{\text{ACK}}$	アクノリッジ	38	入出力	ターゲットからの転送要求信号 $\overline{\text{REQ}}$ に対する応答信号



# SCSI IC (SCSI Interface Chip)

## ■ ピン接続



NC\* : No Connection

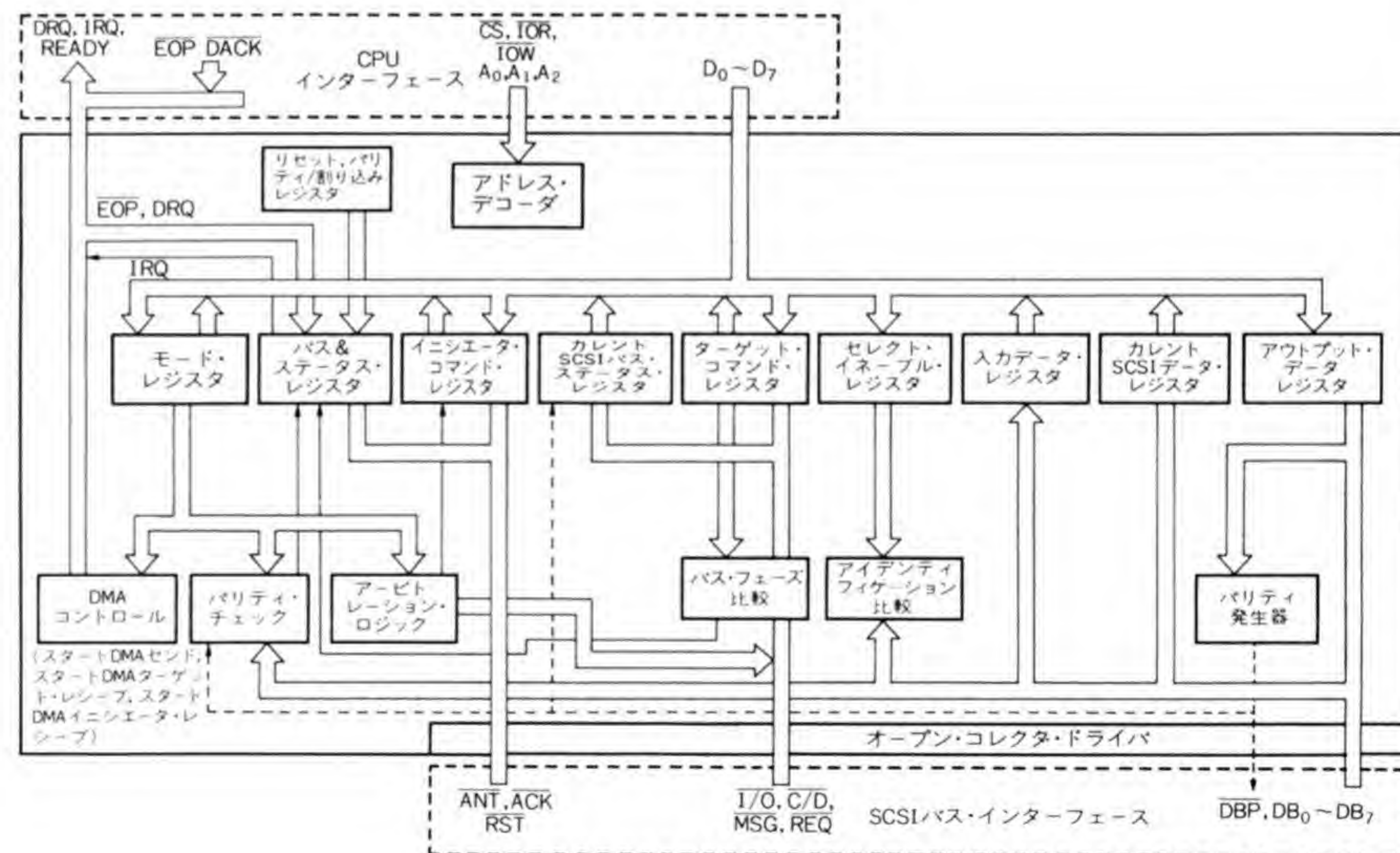
## ■ DC特性

項目 (条件)	min/max*	単位
$V_{IH}$	$2.0 / V_{DD} + 0.5$	V
$V_{IL}$	$-0.5 / 0.8$	V
SCSIバス・ピン		
$I_{IH} (V_{IH} = 5.25V)$	$50^*$	$\mu A$
$I_{IL} (V_{IL} = 0V)$	$-50^*$	$\mu A$
ほかのすべてのピン		
$I_{IH} (V_{IH} = 5.25V)$	$10^*$	$\mu A$
$I_{IL} (V_{IL} = 0V)$	$-10^*$	$\mu A$
SCSIバス・ピン		
$V_{OL} (I_{OL} = 48.0mA)$	$0.5^*$	V
ほかのすべてのピン		
$V_{OH} (I_{OH} = -4.0mA)$	2.4	V
$V_{OL} (I_{OL} = 8mA)$	$0.4^*$	V

## ■ 特徴

- ・ CPU, SCSI のインターフェースの機能をもつ
- ・ 非同期で 1.5 Mbyte/sec の転送速度をもつ・パリティ・ジェネレータをもち、パリティ・チェックが行える
- ・ アービトレーションの機能をもつ
- ・ SCSIバスを直接制御できる
- ・ 不平衡出力のバス・バッファを内蔵
- ・ CPUからは I/O デバイスまたはメモリとしてアクセスする
- ・ DMA または プログラムによる入出力のいずれでもアクセスできる
- ・ CPU に対する割り込み処理の機能をもつ

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{DD}$	$-0.5 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{DD} + 0.5$	V
出力電圧	$V_{OUT}$	$-0.3 \sim +5.25$	V
保存温度	$T_{STG}$	$-55 \sim +150$	$^{\circ}C$
動作温度	$T_{OPR}$	$0 \sim 70^*$	$^{\circ}C$



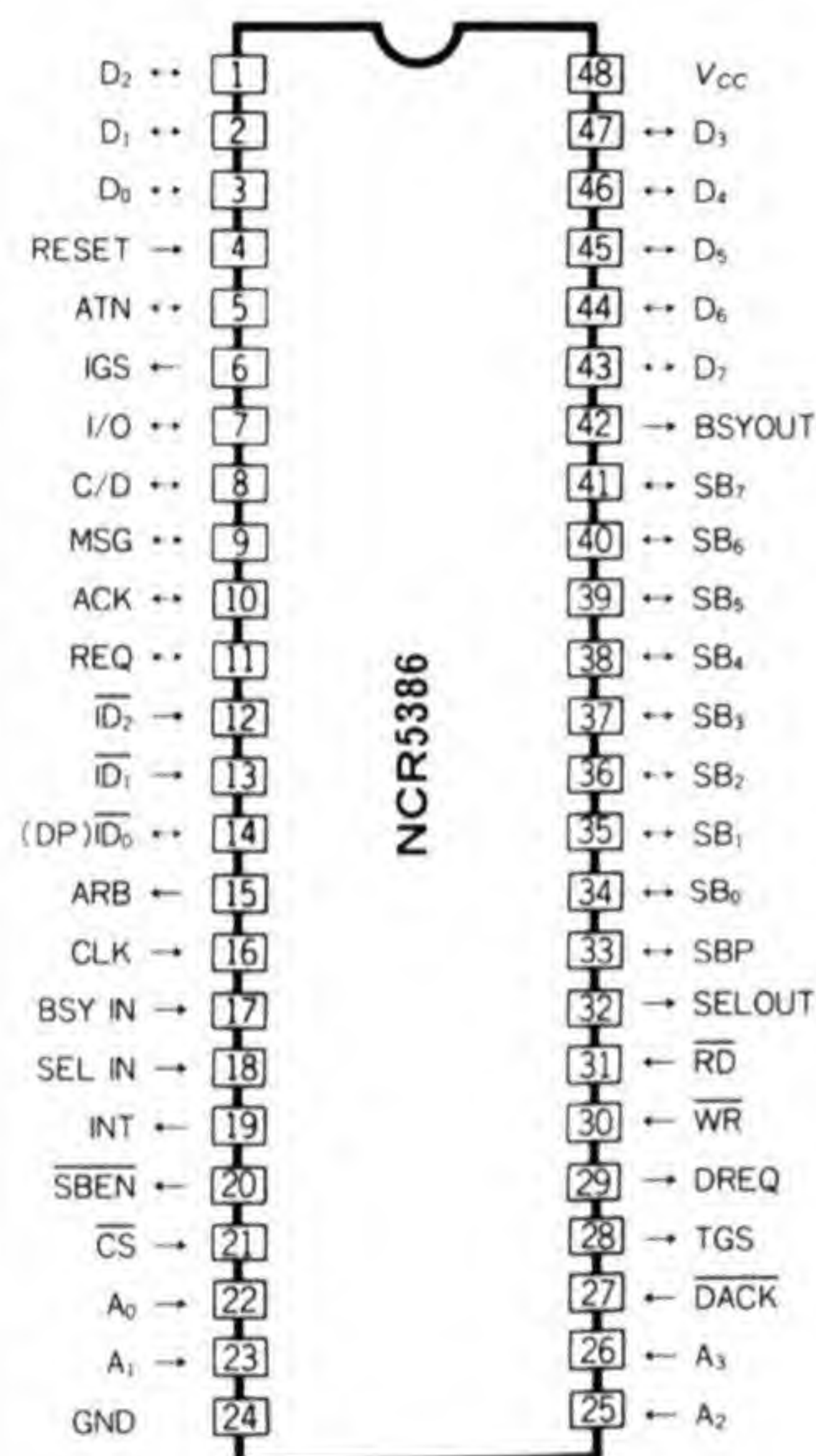
## ■端子機能

端子名	名称	ピン番号	入出力	機能
A <sub>0</sub> , A <sub>1</sub> , A <sub>2</sub>	アドレス	15, 16, 17	入力	内部レジスタ群をアドレスするために、 $\overline{CS}$ , $\overline{IOR}$ , $\overline{IOW}$ と共に使用される
$\overline{CS}$	チップ・セレクト	19	入力	Chip Select. A <sub>0</sub> ~A <sub>2</sub> によって選択された内部レジスタの読み出し/書き込みをイネーブルにする。アクティブ“L”
$\overline{DACK}$	DMA 可	12	入力	DMA Acknowledge. DRQ をリセットし、入出力データ転送のために、データ・レジスタをセレクトする。アクティブ“L”
DRQ	DMA 要求	10	出力	DMA Request. データ・レジスタが読み出し/書き込み可能状態であることを示す。コマンド・レジスタ中の DMA モードが正の場合のみ起こる。DACK によってクリアされる
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	30~26, 24~22	入出力	双方向。3 ステート。マイクロプロセッサ・データ・バスと接続する。アクティブ“H”
$\overline{EOP}$	終了	11	入力	End of Process. DMA 転送をターミネイトするのに使われる。DMA 中にアサートしたら、現在のバイトは転送されるが、次のバイトは要求されない
$\overline{IOR}$	I/O リード	21	入力	I/O Read. $\overline{CS}$ と A <sub>0</sub> ~A <sub>2</sub> によって選択された内部レジスタを読み出すために使われる。 $\overline{DACK}$ と共に使われたときは、入力データ・レジスタをセレクトする。アクティブ“L”
$\overline{IOW}$	I/O ライト	20	入力	I/O Write. $\overline{CS}$ と A <sub>0</sub> ~A <sub>2</sub> によって選択された内部レジスタに書き込むために使われる。 $\overline{DACK}$ と共に使うとき、出力レジスタをセレクトする。アクティブ“L”
IRQ	割り込み要求	9	出力	Interrupt Request. エラー状態または動作終了を知らせる
READY	レディ	14	出力	ブロック・モード DMA 転送のスピードをコントロールするのに使用できる。データの送信/受信の用意のあることを示すためにアクティブになる
$\overline{RESET}$	リセット	8	入力	すべてのレジスタをクリアする。これは、SCSI の RST 信号をアクティブ状態にさせるものではない。アクティブ“L”
$\overline{ACK}$	アクノリッジ	36	入出力 オープン・コレクタ	イニシエータによってドライブされ、REQ/ACK データ転送のハンドシェイクにおけるアクノリッジを示す。ターゲット・ロールでは、REQ 信号の応答としてレシーブされる
$\overline{ATN}$	アテンション	6		イニシエータによってドライブされ、アテンションの状態を示す。この信号は、ターゲット・ロールにおいてレシーブされる
$\overline{BSY}$	ビジィ	4		SCSI バスが使用されていることを示す。イニシエータとターゲットの両方のデバイスによってドライブされる
$\overline{C/D}$	コントロール/データ	33		ターゲットによってドライブされる。データ・バス上に、コントロールまたはデータの情報があることを示す。この信号はイニシエータによってレシーブされる
$\overline{I/O}$	入出力	35		SCSI 上で、データの方向を制御するターゲットによってドライブされる。“L”で、イニシエータへの入力を示す。この信号は、セレクション・フェーズとリセレクション・フェーズとを区別するのにも使われる
$\overline{MSG}$	メッセージ	32		メッセージ・フェーズ中にターゲットによってドライブされる。イニシエータによってレシーブされる
$\overline{REQ}$	リクエスト	37		ターゲットによってドライブされる。REQ/ACK データ転送のハンドシェイクのためのリクエストを示す。イニシエータによってレシーブされる
$\overline{RST}$	バス・リセット	2		SCSI バスのリセット状態を示す
$\overline{DB_0} \sim \overline{DB_7}$ , $\overline{DBP}$	データ・バス	40, 41, 43~45 47, 48, 1, 38		八つのデータ・ビットと一つのパリティ・ビットで、データ・バスを形成する。 $\overline{DB_7}$ は、最上位ビットで、アービトラリションで最も高いプライオリティをもつ。データ・パリティは奇数
$\overline{SEL}$	選択信号	5		イニシエータがターゲットをセレクトするために、またはターゲットがイニシエータをリセレクトするために使われる



# SCSI Controller

## ■ ピン接続



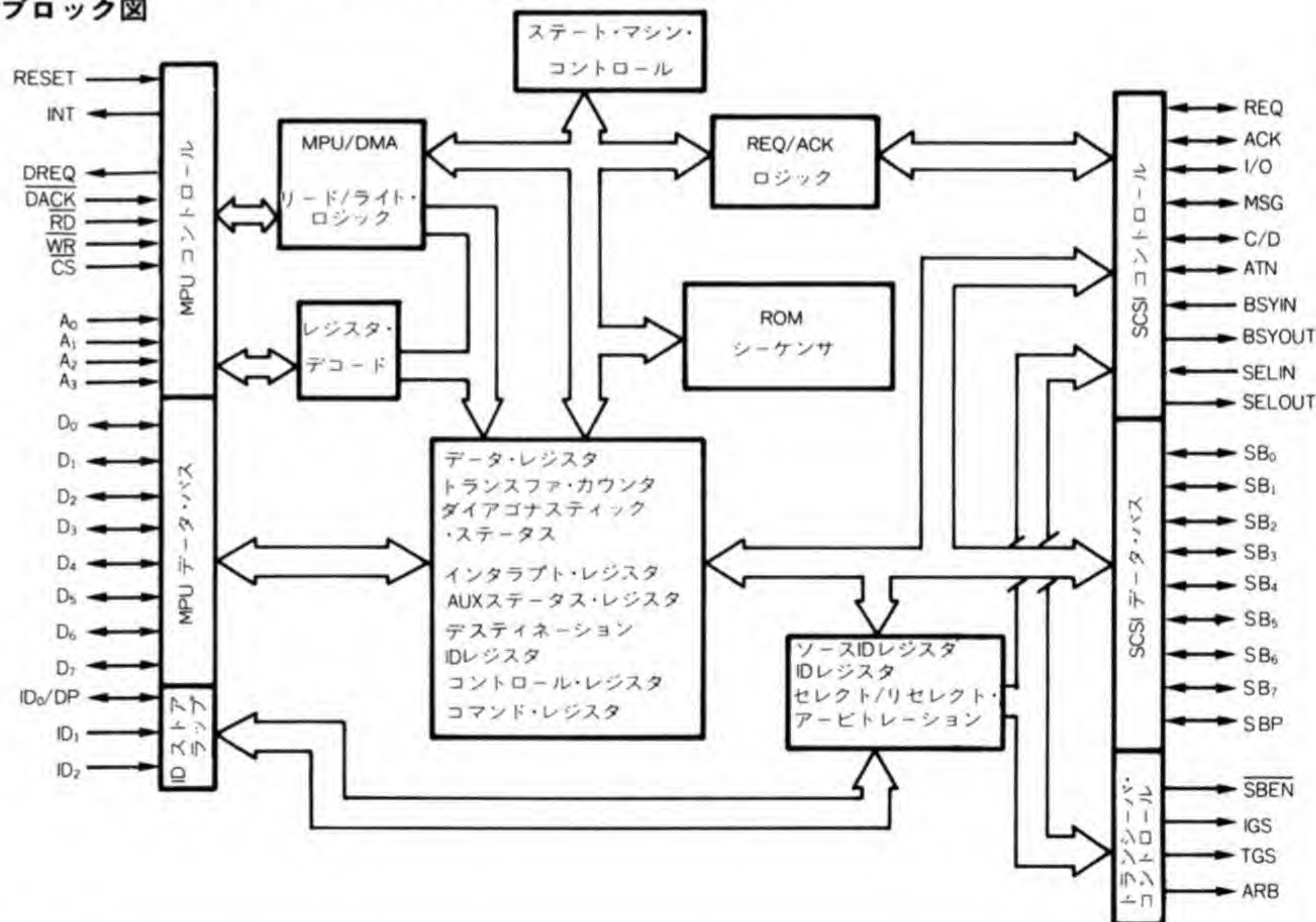
## ■ 動作条件

項目	記号	定格	単位
電源電圧	V <sub>cc</sub>	4.75~5.25	V
消費電流	I <sub>cc</sub>	max 300	mA
動作温度	T <sub>OPR</sub>	0~70	°C

## ■ 特徴

- ・ CPU, SCSI のインターフェースの機能をもつ
- ・ ANSI X3T9.2 に準拠した SCSI コントローラ
- ・ イニシエータとターゲットの両機能をもつ
- ・ 非同期で 2.0 Mバイト/秒の転送速度をもつ・パリティ・ジェネレータをもち、パリティ・チェックが行える
- ・ アービトレーションの機能をもつ
- ・ CPU からは I/O デバイスまたはメモリとしてアクセスする
- ・ DMA またはプログラムによる入出力のいずれでもアクセスできる
- ・ CPU に対する割り込み処理の機能をもつ

## ■ ブロック図



## ■ DC特性

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 2.0mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> = 400μA	2.4*	V
I <sub>IL</sub>	V <sub>IN</sub> = 0.5.25V	±10	μA



## ■端子機能

端子名	名称	ピン番号	入出力	機能
CLK	クロック	16	入力	内部動作タイミングを作るクロック入力
RESET	リセット	4	入力	リセット入力・
D <sub>0</sub> ~D <sub>7</sub>	データ 0 ~ 7	3 ~ 1, 47 ~ 43	入出力	レジスタのリード/ライト用の双方向データ・バス, CPU バスに接続する
INT	割り込み要求	19	出力	割り込み要求出力
$\overline{\text{WR}}$	ライト	30	入力	データ・バスから内部レジスタにデータを書き込むためのストロブ信号
$\overline{\text{RD}}$	リード	31	入力	内部レジスタからデータ・バスにデータを読み出すためのストロブ信号
$\overline{\text{CS}}$	チップ・セレクト	21	入力	内部レジスタをアクセスするためのチップ・セレクト信号
A <sub>0</sub> ~A <sub>3</sub>	アドレス 0 ~ 3	22, 23, 25, 26	入力	内部レジスタのアドレスを決める
DREQ	データ・リクエスト	29	出力	データ・リクエスト信号で, 転送データがあることを示す
$\overline{\text{DACK}}$	データ・アクノリッジ	27	入力	DMA コントローラからのデータ・アクノリッジ信号, この信号で DREQ はクリアされる
$\overline{\text{ID}}_0(\text{DP})$	ID	14	入出力	SCSI バス ID を決める 3 ビットの設定端子, 14 ピンはオプションとして, データ・バス・パリティ出力として使える
$\overline{\text{ID}}_1 \sim \overline{\text{ID}}_2$		13, 12	入力	
SB <sub>0</sub> ~SB <sub>7</sub>	データ 0 ~ 7	34~41	入出力	SCSI バス・データの入出力端子, SBP は, SCSI バス・データ・パリティ
SBP	SCSI パリティ	33		
BSYIN	ビジィ入力	17	入力	SCSI バスの使用状態を入力する
BSYOUT	ビジィ出力	42	出力	SCSI バスの使用状態を出力する
SELIN	セレクト入力	18	入力	セレクション・フェーズ, リフレクション・フェーズで使用される SEL 信号入力
SELOUT	セレクト出力	32	出力	セレクション・フェーズ, リフレクション・フェーズで使用される SEL 信号出力
ATN	アテンション	5	入出力	アテンション・コンディションを示す信号
ACK	アクノリッジ	10	入出力	ターゲットからの転送要求信号 REQ に対する応答信号
REQ	リクエスト	11	入出力	ターゲットがデータの要求やデータの用意ができたことをイニシエータに知らせる信号
MSG	メッセージ	9	入出力	メッセージ・フェーズであることを示す, イニシエータのとき入力, ターゲットのとき出力
C/D	コントロール/データ	8	入出力	コマンド・フェーズ, ステータス・フェーズ, メッセージ・フェーズのとき "H" となる
I/O	入出力	7	入出力	SCSI バス上でのデータの入出力を制御する
IGS	イニシエータ・グループ	6	出力	イニシエータ・グループの選択信号
TGS	ターゲット・グループ	28	出力	ターゲット・グループの選択信号
$\overline{\text{SBEN}}$	SCSI バス・イネーブル	20	出力	SCSI データ・バス・イネーブル, 外部の SCSI データ・バスをイネーブルにする
ARB	アービトレーション・フェーズ	15	出力	アービトレーション・フェーズであることを示す



The diagram shows the HD64951 microcontroller with its pins numbered 1 through 68. The functions are as follows:

- Pins 1-9:** DGND<sub>1</sub>, SDB<sub>3</sub>, SDB<sub>4</sub>, SDB<sub>5</sub>, SDB<sub>6</sub>, DGND<sub>2</sub>, SDB<sub>7</sub>, SDBP, ATN, BSY, DGND<sub>3</sub>, ACK, RST, MSG, SEL, DGND<sub>4</sub>, C/D.
- Pins 10-16:** SDB<sub>2</sub>, SDB<sub>1</sub>, SDB<sub>0</sub>, INC, CLK, RESET, MPUDACK.
- Pins 17-26:** IRQ (MPUREADY), V<sub>CC</sub>, D<sub>0</sub>, D<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub>, D<sub>4</sub>, D<sub>5</sub>, D<sub>6</sub>, NC.
- Pins 27-37:** NC, NC, D<sub>7</sub>, D<sub>8</sub>, D<sub>9</sub>, D<sub>10</sub>, D<sub>11</sub>, D<sub>12</sub>, D<sub>13</sub>, D<sub>14</sub>, D<sub>15</sub>.
- Pins 38-43:** BHE, UDS, A<sub>0</sub>, A<sub>1</sub>, A<sub>2</sub>, A<sub>3</sub>, A<sub>4</sub>.
- Pins 44-54:** CS, R/W (IOR), LDS (IOW), NCDR/w, DR/w (DRD), DS (DWR), GND, WAIT, DACK, DREQ, DONE.
- Pins 55-60:** ID<sub>0</sub>, ID<sub>1</sub>, ID<sub>2</sub>, DV<sub>CC</sub>, I/O, REQ.
- Pins 61-68:** Same as pins 1-9.

項 目	記号	定 格	單位
電源電圧	$V_{CC}$	7	V
入力電圧	$V_{IN}$	7	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-55~125	°C

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=4\text{mA}$	0.5	V
$V_{OH}$	$I_{OH}=0.4\text{mA}$	2.4*	V

- ・CPU, SCSIのインターフェースの機能をもつ
- ・非同期で1.5Mバイト/秒の転送速度をもつ・イニシエータとターゲットの両機能をもつ
- ・8ビットのタイム・アウト検出カウンタを内蔵
- ・8/16ビットのマイコン・バスに接続可能
- ・DMA機能をもつ
- ・ドライバ回路, ヒステリシス付きレシーバ回路を内蔵

The diagram illustrates the internal architecture of the SCSI controller. It features a central vertical bus labeled 'ドライバ/レシーバ' (Driver/Receiver). On the left, this bus connects to external signals: REQ, I/O, C/D, MSG, ACK, BSY, SEL, RST, and ATN. On the right, it connects to address lines A0-A4, CS, R/W (IO), LDS (IO), and UDS (BHE). The controller's internal components include:

- SCSIバス・コントロール・ステータス・レジスタ** (SCSI Bus Control Status Register) and **SCSIバス・コントロール・シーケンサ** (SCSI Bus Control Sequencer), which interface with the external SCSI bus.
- MPUインターフェース** (MPU Interface) connected to address lines A0-A4, CS, and control signals R/W (IO), LDS (IO), and UDS (BHE).
- 入力データレジスタ (IN)** (Input Data Register) and **出力データレジスタ (OUT)** (Output Data Register) for data transfer between the SCSI bus and the system bus.
- Own IDレジスタ** and **Partner IDレジスタ** for device identification.
- アービトレーション・コマンド** (Arbitration Command) and **DMAコマンド** (DMA Command) blocks.
- バス・セトル/バス・フリー・ディレイ** (Bus Settle/Bus Free Delay) and **アービトレーション/セレクション・ディレイ** (Arbitration/Selection Delay) blocks.
- 割り込み・ステータス** (Interrupt Status) and **タイマ** (Timer) blocks.
- DMAインターフェース** (DMA Interface) connected to the system bus and DMA signals.

The system bus interface on the right includes data lines D0-D15, an interrupt signal IRQ, and DMA control signals DREQ, DACK, DR/W (DRD), DS (DWR), WAIT, and DONE.



## ■端子機能

端子名	名称	ピン番号	入出力	機能				
D <sub>0</sub> ~D <sub>6</sub> , D <sub>7</sub> , D <sub>8</sub> ~D <sub>15</sub>	データ・バス	19~25, 29, 30~37	入出力	データ転送を行うための入出力端子				
A <sub>0</sub> ~A <sub>4</sub>	アドレス・バス	39~43	入力	内部レジスタを選択するアドレス信号を入力する端子				
$\overline{CS}$	チップ・セレクト	44	入力	本チップを選択するための入力端子				
R/ $\overline{W}$	リード/ライト	45	入力	R/ $\overline{W}$ 信号を入力する端子				
$\overline{LDS}$	ロー・データ・ストロブ	46	入力	CPU が出力する $\overline{LDS}$ 信号の入力端子				
$\overline{UDS}$	アップ・データ・ストロブ	38	入力	CPU が出力する $\overline{UDS}$ 信号の入力端子				
$\overline{IRQ}$	インタラプト・リクエスト	17	出力	内部動作の終了およびエラー検出を通知するための割り込み要求信号				
$\overline{DREQ}$	DMA リクエスト	53	出力	DMA 転送を要求する信号端子				
$\overline{DACK}$	DMA アクノリッジ	52	出力	$\overline{DREQ}$ 信号に対する応答信号を入力する端子				
$\overline{WAIT}$	ウェイト	51	出力	READ/WRITE 期間の延長を要求する信号				
$\overline{DONE}$	ダン	54	入出力	DMA 転送が終了すると DMAC から出力される信号を入力、または DMA 転送中にエラーが発生した場合、DMAC に対し信号を出力する端子				
$\overline{DR}/W$	DMA リード/ライト	48	入力	DMAC が出力する R/ $\overline{W}$ 信号を入力する端子				
$\overline{DS}$	データ・ストロブ	49	入力	DMAC が本チップに対してリード/ライトを行うときのタイミング信号 $\overline{DS}$ の入力端子				
$\overline{MPUDTACK}$	MPU データ・アクノリッジ	16	出力	内部レジスタをアクセスするとき、データのアクセス完了時期を示す出力端子				
ID <sub>0</sub> ~ID <sub>2</sub>	アイデンティファイ・データ 0 ~2	55~57	入力	リセット時本端子に入力される信号レベルにより、アービトレーション・フェーズ時に SCSI バス上に出力する自身の ID が決定される				
INC	インプット・クロック	13	入力	タイマが起動した場合、本端子から入力するクロックによりクロック・タイムアウト・カウンタに設定した値はデクリメントされる				
$\overline{SDB}_0 \sim \overline{SDB}_7$ , $\overline{SDBP}$	SCSI データ・バス	12~10, 8~5, 3, 2	入出力	SCSI インターフェースのデータ・バス用の入出力端子				
$\overline{ACK}$	アクノリッジ	66	入出力	応答信号の入出力端子				
$\overline{REQ}$	リクエスト	60	入出力	$\overline{REQ}$ 信号の入出力端子				
$\overline{C/D}$	コマンド/データ	61	入出力	各フェーズと転送方向の指定検知を行う				
$\overline{I/O}$	インプット/アウトプット	59						
$\overline{MSG}$	メッセージ	64		MSG	$\overline{C/D}$	I/O	インフォメーション・トランスファ・フェーズ	転送方向
				L	L	L	メッセージ・イン・フェーズ	INIT ← TARG
				L	L	H	メッセージ・アウト・フェーズ	INIT → TARG
				H	L	L	ステータス・フェーズ	INIT ← TARG
				H	L	H	コマンド・フェーズ	INIT → TARG
H	H	L	データ・イン・フェーズ	INIT ← TARG				
H	H	H	データ・アウト・フェーズ	INIT → TARG				
$\overline{BSY}$	ビジィ	68	入出力	SCSI バスを占有したいとき “L” を出力する端子				
$\overline{SEL}$	セレクション	63	入出力	イニシエータ、ターゲットに対し、 $\overline{SEL}$ 信号を入出力する				
$\overline{ATN}$	アテンション	1	入出力	$\overline{ATN}$ 信号の入出力端子				
$\overline{RST}$	リセット	65	入出力	SCSI のリセット状態を起動する、 $\overline{RST}$ 信号の出力端子				



Pin diagram of the HD64961 microcontroller. The chip has 80 pins. The top edge pins (60 to 41) are: 60 (DGND1), 59 (DV<sub>cc</sub>1), 58 (-DONE), 57 (-WAIT), 56 (-DACK), 55 (GND4), 54 (-DREQ), 53 (-DRD (D - R/W)), 52 (-DWR ( - DOS)), 51 (TP1), 50 (-END), 49 (V<sub>cc</sub>2), 48 (CLK), 47 (GND3), 46 (-RESET), 45 (-IRQ), 44 (RDY), 43 (-IOR (R/ - W)), 42 (-IOW ( - LDS)), 41 (-BHE ( - UDS)). The left edge pins (61 to 80) are: 61 (-SD80), 62 (-SD81), 63 (-SD82), 64 (DGND2), 65 (-SD83), 66 (-SD84), 67 (-SD85), 68 (DGND3), 69 (-SD86), 70 (-SD87), 71 (-SD88), 72 (DGND4), 73 (-ATN), 74 (-BSY), 75 (-ACK), 76 (DGND5), 77 (-RST), 78 (-MSG), 79 (-SEL), 80 (DGND6). The right edge pins (40 to 21) are: 40 (GND2), 39 (V<sub>cc</sub>1), 38 (-CS), 37 (-TPO), 36 (A0), 35 (A1), 34 (A2), 33 (A3), 32 (A4), 31 (D0), 30 (D1), 29 (D2), 28 (D3), 27 (D4), 26 (D5), 25 (D6), 24 (D7), 23 (DPL), 22 (D8), 21 (GND1). The bottom edge pins (1 to 20) are: 1 (DGND7), 2 (DV<sub>cc</sub>2), 3 (DGND8), 4 (-CD), 5 (DGND9), 6 (-REQ), 7 (DGND10), 8 (-IO), 9 (IO0), 10 (IO1), 11 (IO2), 12 (DPH), 13 (D15), 14 (D14), 15 (D13), 16 (D12), 17 (D11), 18 (D10), 19 (D9), 20 (V<sub>cc</sub>3).

項 目	記号	定 格	単位
電源電圧	$V_{cc}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{in}$	$-0.3 \sim V_{cc} + 0.3$	V
動作温度	$T_{opK}$	$-20 \sim 75$	°C
保存温度	$T_{stb.}$	$-55 \sim 125$	°C

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=3\text{ mA}$	0.4	V
$V_{OH}$	$I_{OH}=1\text{ mA}$	3.5*	V
$I_{IL}$	$V_{IN}=0.5\sim V_{CC}-0.5$	1.0	$\mu\text{A}$
$C_{IN}$	$f=1\text{ MHz}, T_a=25^\circ\text{C}$	15	pF

**■ブロック図**

The diagram illustrates the internal structure of the SCS-1 SCSI Controller, showing the flow of data and control signals between various functional blocks.

**External Signals:**

- ID0~2:** Input to the Arbitration Control block.
- CLK:** Clock signal input to the Macro Command Control block.
- RESET:** Reset signal input to the Macro Command Control block.
- SCSI Control Bus Signals (Left):**
  - BSY, -SEL, -CD, -IO, -MSG, -RST, -ATN, -REQ, -ACK: Bidirectional signals.
  - SDB 0~7, -SDBP: Data bus signals.
- System Bus Signals (Right):**
  - IRQ: Interrupt request output.
  - RDY: Ready signal output.
  - A0~A4: Address bus signals.
  - CS: Chip select input.
  - IOR (R/W): Input/output strobe input.
  - IOW (-LDS): Input/output word strobe input.
  - BHE (-UDS): Input/output byte strobe input.
  - CPUデータバス:** CPU data bus connection.
  - D0~15, DPH, DPL: Data bus signals.
  - DREQ: DMA request output.
  - DACK: DMA acknowledge output.
  - DRD (D-R/W): DMA read/write strobe input.
  - DWR (-DDS): DMA write strobe input.
  - DONE: DMA done output.
  - WAIT: DMA wait output.
  - END: DMA end output.

**Internal Blocks and Connections:**

- SCSIバスインタフェース:** Manages the SCSI bus interface, including bus arbitration and data transfer control.
- アービトレーションコントロール:** Contains the arbitration/selection sequence generator and control registers, receiving ID0~2 and managing bus arbitration.
- マクロコマンドコントロール:** Contains the command sequencer and command registers, receiving CLK and RESET, and managing high-level commands.
- タイムアウト/トランスファカウンタ:** Manages transfer timeouts and counts.
- トランスファコントロール:** Contains the REQ/ACK sequencer, data buffer (16x9-bit FIFO), parity circuit, and DREQ/DACK sequencer, managing data transfer details.
- リード/ライトコントロール:** Manages read and write operations, interfacing with the CPU and DMA.
- CPUインタフェース:** Manages the interface with the CPU, including address and data bus connections.
- DMAインタフェース:** Contains a parity circuit and manages DMA transfer operations.



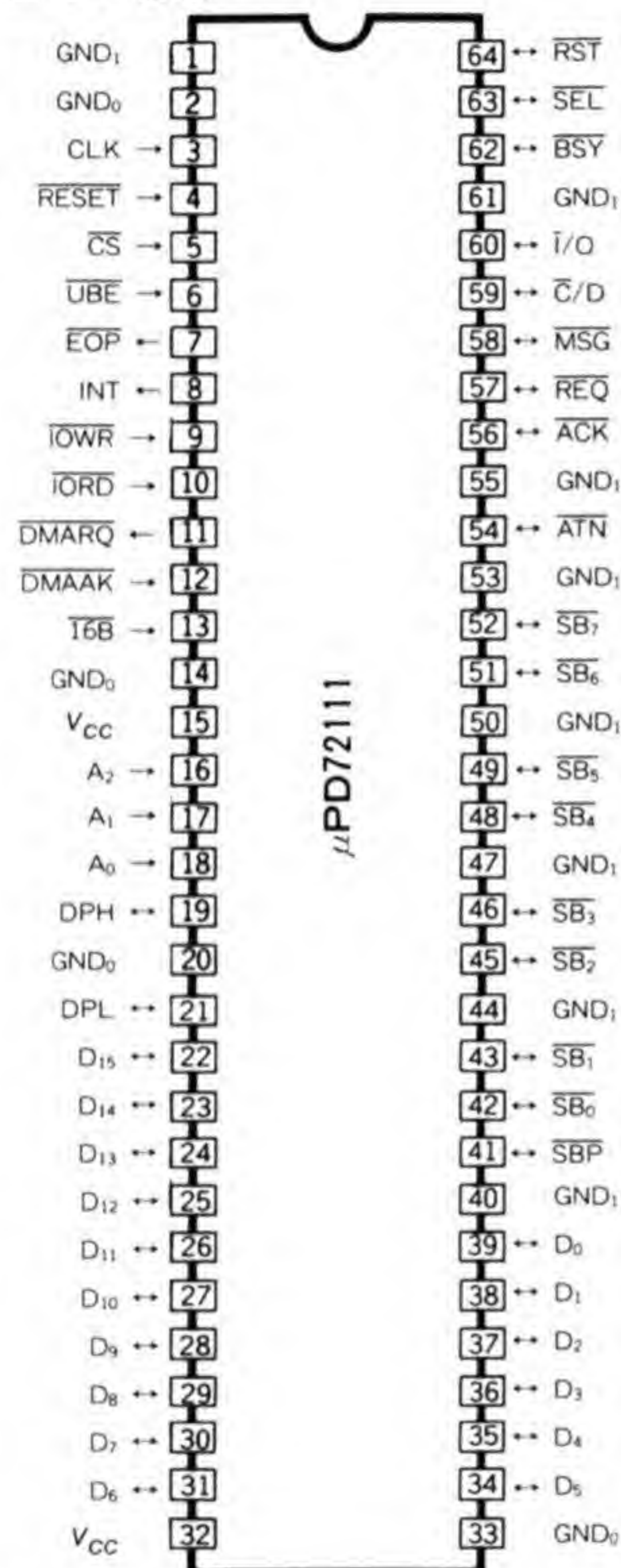
## ■端子機能

端子名	ピン番号	入出力	機 能
D0～D7	24～31	入出力	CPU接続用のデータ・バス
DPL	23	入出力	DMAサイクルにおけるD0～D7のバリティ入出力
D8～D15	13～19, 22	入出力	CPU接続用のデータ・バス
DPH	12	入出力	DMAサイクルにおけるD8～D15のバリティ入出力
A0～A4	32～36	入 力	アドレス信号入力端子
-CS	38	入 力	チップ・セレクト入力, ロウ・アクティブ
-IOR(R/-W)	43	入 力	80系モード:レジスタをリードするストロブ信号, 80系モード:リード/ライト動作の切り替え信号入力
-IOW(-LDS)	42	入 力	80系モード:レジスタにライトするストロブ信号, 68系モード:リード/ライトのためのストロブ信号入力(D0～D7用)
-BHE(-UDS)	41	入 力	80系モード:D8～D15のデータが有効であることを示す, 68系モード:リード/ライトのためのストロブ信号入力(D8～D15用)
RDY	44	出 力	CPUに対し, 内部レジスタのアクセス完了時期を示す出力
-IRQ	45	出 力	CPUに割り込み処理を要求する信号出力, ロウ・アクティブ
-DREQ	54	出 力	DMA転送要求出力, ロウ・アクティブ
-DACK	56	入 力	DMA転送を許可する信号の入力, ロウ・アクティブ
-DRD(D-R/W)	53	入 力	80系モード:DMA転送時のリード・ストロブ入力, 68系モード:DMA転送時のリード/ライト動作切り替え信号入力
-DWR(-DDS)	52	入 力	80系モード:DMA転送時のライト・ストロブ入力, 80系モード:DMA転送時のリード/ライト・ストロブ入力
-WAIT	57	出 力	DMAコントローラに対し, リード/ライトの期間延長を要求する, ロウ・アクティブ
-DONE	58	入出力	DMA転送中にエラーを検出すると“L”を出力する, パワー・オン・リセット時は68/80系モード設定入力
-END	50	出 力	FIFOデータ数, またはFIFOの空きバイト数を示す出力信号
-SDB0～ -SDB7	61～63, 65～ 67, 69, 70	入出力	SCSIインターフェースのデータ・バス入出力端子
-SDBP	71	入出力	-SDB0～-SDB7のバリティ入出力端子
-ACK	75	入出力	SCSIバスの-ACK信号入出力端子
-REQ	6	入出力	SCSIバスの-REQ信号入出力端子
-C/D, -I/O, -MSG	4, 8, 78	入出力	SCSIバスの-C/D, -I/O, -MSG信号接続端子で, 情報転送フェーズを示している
-BSY	74	入出力	SCSIバスの-BSY信号接続端子
-SEL	79	入出力	SCSIバスの-SEL信号接続端子
-ATN	73	入出力	SCSIバスの-ATN信号接続端子
-RST	77	入出力	SCSIバスの-RST信号接続端子
CLK	48	入 力	動作タイミングを決めるクロック入力端子
-RESET	46	入 力	初期状態にするためのリセット信号入力端子
IO0～ID2	9～11	入 力	自分のID (アイデンティティ・データ) の入力端子
DVCC1～2	2, 59	—	SCSIバス・ドライバ/レシーバの電源
DGND1～10	1, 3, 5, 7, 60, 64, 68, 72, 76, 80	—	SCSIバス・ドライバ/レシーバのグラウンド
TP0, TP1	37, 51	入 力	テスト用入力, “H” に固定する



# SCSI Controller

## ■ ピン接続



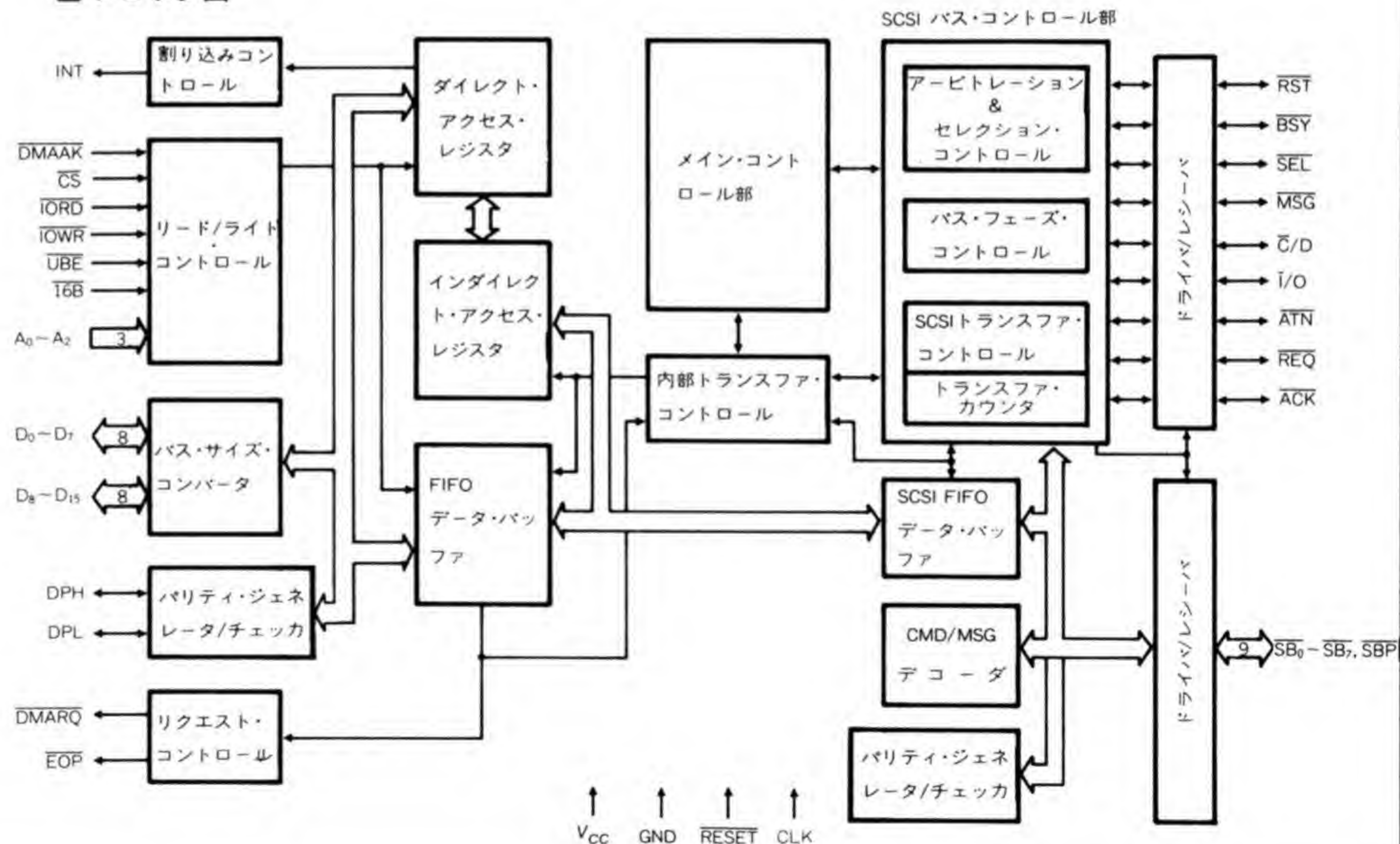
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
動作温度	$T_{OPR}$	-10~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ 特徴

- ANSI X3T9.2/82-2 Rev17B に準拠した SCSI コントローラ
- 非同期で 1.5 Mバイト/秒の転送速度をもつ・イニシエータとターゲットの両機能をもつ
- シングルエンド・タイプの SCSI バス駆動用ドライバおよびシュミット・タイプ・レシーバ内蔵
- CPU 側のバス幅を 16 ビット/8 ビットに選択可能
- プログラム転送または DMA 転送を選択可能
- 24 ビット転送カウンタ内蔵
- FIFO タイプのデータ・バッファを SCSI バス側および CPU 側の両方に内蔵

## ■ ブロック図



## ■ DC特性

( $T_a = -10 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$	CPUバス	2.2*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$ CPUバス	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$ CPUバス	2.4*	V
$I_{OL}$	$V_{OUT} = 0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	CPUバス	20	pF
	SCSIバス	100	pF



## ■端子機能

端子名	ピン番号	入出力	機能
INT	8	出力	割り込み要求信号の出力端子
$\overline{\text{IORD}}$	10	入力	内部レジスタを読み出すための、リード信号入力端子
$\overline{\text{IOWR}}$	9	入力	内部レジスタを書き込むための、ライト信号入力端子
$\overline{\text{UBE}}$	6	入力	データ・バスの上位8ビットが有効であることを示す信号の入力端子
$\overline{\text{CS}}$	5	入力	チップ・セレクト信号入力端子
$A_0 \sim A_2$	16~18	入力	レジスタを指定する3ビット・アドレス入力端子
$D_0 \sim D_{15}$	22~31, 34~39	入出力	16ビット・データ入出力端子
DPH	19	入出力	データ・バスの上位8ビットに付加されたパリティ信号の入出力端子
DPL	21	入出力	データ・バスの下位8ビットに付加されたパリティ信号の入出力端子
$\overline{\text{DMARQ}}$	11	出力	DMAサービス要求信号の出力端子
$\overline{\text{DMAAK}}$	12	入力	DMAサービス許可信号の入力端子
16 B	13	入力	16ビット・バス・モード指定信号の入力端まで、“L”のとき16ビット・バス、“H”のとき8ビット・バス・モードとなる
EOP	7	出力	DMAサービスによるデータ転送を中断、または終了させるための信号の出力端子
$\overline{\text{SB}}_0 \sim \overline{\text{SB}}_7$	42, 43, 45, 46, 48, 49, 51, 52	入出力	SCSIデータ・バス入出力端子
$\overline{\text{SBP}}$	41	入出力	SCSIデータ・バスに付加されたパリティ信号の入出力端子
$\overline{\text{ATN}}$	54	入出力	SCSIコントロール・バスの $\overline{\text{ATN}}$ 信号と接続する入出力端子
$\overline{\text{ACK}}$	56	入出力	SCSIコントロール・バスの $\overline{\text{ACK}}$ 信号と接続する入出力端子

端子名	ピン番号	入出力	機能																												
$\overline{\text{REQ}}$	57	入出力	SCSIコントロール・バスの $\overline{\text{REQ}}$ 信号と接続する入出力端子																												
$\overline{\text{MSG}}$	58	入出力	<table><tr><td><math>\overline{\text{MSG}}</math></td><td><math>\overline{\text{C/D}}</math></td><td><math>\overline{\text{I/O}}</math></td><td>バス・フェーズ</td></tr><tr><td>1</td><td>1</td><td>1</td><td>データ・アウト・フェーズ</td></tr><tr><td>1</td><td>1</td><td>0</td><td>データ・イン・フェーズ</td></tr><tr><td>1</td><td>0</td><td>1</td><td>コマンド・フェーズ</td></tr><tr><td>1</td><td>0</td><td>0</td><td>ステータス・フェーズ</td></tr><tr><td>0</td><td>0</td><td>1</td><td>メッセージ・アウト・フェーズ</td></tr><tr><td>0</td><td>0</td><td>0</td><td>メッセージ・イン・フェーズ</td></tr></table>	$\overline{\text{MSG}}$	$\overline{\text{C/D}}$	$\overline{\text{I/O}}$	バス・フェーズ	1	1	1	データ・アウト・フェーズ	1	1	0	データ・イン・フェーズ	1	0	1	コマンド・フェーズ	1	0	0	ステータス・フェーズ	0	0	1	メッセージ・アウト・フェーズ	0	0	0	メッセージ・イン・フェーズ
$\overline{\text{MSG}}$	$\overline{\text{C/D}}$	$\overline{\text{I/O}}$		バス・フェーズ																											
1	1	1		データ・アウト・フェーズ																											
1	1	0		データ・イン・フェーズ																											
1	0	1		コマンド・フェーズ																											
1	0	0		ステータス・フェーズ																											
0	0	1		メッセージ・アウト・フェーズ																											
0	0	0	メッセージ・イン・フェーズ																												
$\overline{\text{C/D}}$	59	入出力																													
$\overline{\text{I/O}}$	60	入出力																													
$\overline{\text{BSY}}$	62	入出力	SCSIコントロール・バスの $\overline{\text{BSY}}$ 信号と接続する入出力端子																												
$\overline{\text{SEL}}$	63	入出力	SCSIコントロール・バスの $\overline{\text{SEL}}$ 信号と接続する入出力端子																												
$\overline{\text{RST}}$	64	入出力	SCSIコントロール・バスの $\overline{\text{RST}}$ 信号と接続する入出力端子																												
CLK	3	入力	外部クロック入力端子																												
$\overline{\text{RESET}}$	4	入力	システム・リセット入力端子																												
$V_{CC}$	15, 32	—	正電源供給端子																												
$\text{GND}_0$	2, 14, 20, 33	—	主グラウンド (0 V) 端子																												
$\text{GND}_1$	1, 40, 44, 47, 50, 53, 55, 61	—	ドライバ/レシーバ系グラウンド (0 V) 端子																												



項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$-10 \sim 70$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

- ・ SCS I - 2 (Rev. 10)仕様準拠
- ・ 各種転送モードをサポート
  - 同期転送 : 5 MB/s MAX
  - 高速同期転送 : 10 MB/s MAX
  - 非同期転送 : 5 MB/s MAX
- ・ イニシエータ、ターゲットとして動作可能
- ・ CPU側のバス幅を8 / 16 / 32ビット選択可能
- ・ シングルエンド・タイプのSCS Iバス駆動用ドライバおよびシュミット・タイプ・レシーバ内蔵
- ・ CPUの割り込み処理を軽減する6種類の複合コマンドをサポート
- ・ 24ビット転送カウンタ内蔵
- ・ コマンド・キューイング機能

 $(T_e = -10 \sim 70^\circ\text{C}, V_{CC} = 5\text{ V} \pm 10\%)$ 

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2.5\text{ mA}$	0.4	V
$V_{OH}$	$I_{OH}=400\text{ }\mu\text{A}$	$0.7 \times V_{CC}$ *	V
$I_{OFL}$	$V_{OUT}=0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f=1\text{ MHz}, T_a=25^\circ\text{C}$	20	pF

Figure 1 is a detailed block diagram of the SCSI controller. The diagram illustrates the flow of data and control signals between various components. Key components include:

- Host Interface:** Receives signals like INT, 32B\*, 16B\*, CS, IORD, IOWR, BE3-BE0\*, A3-A0, D15-D8, D7-D0, DP3\*, DP2\*, DP1, DP0, D31-D24\*, D23-D16\*, DMAAK, DMARQ, and EOP. It includes a DMA Request Control block.
- Internal Control:** Features a Main Control Block, Direct Access Register, Indirect Access Register, Internal Transfer Control, SCSI Transfer Control, and SCSI Data Bus FIFO Buffer.
- SCSI Interface:** Includes a SCSI Host Adapter, SCSI Data Bus Parity Generator/Checker, and a SCSI Data Bus.
- External Signals:** Outputs include BSY, SEL, RST, BSYO, SELO, RSBLD\*, IDSTR\*, MSG, C/D, I/O, ATN, INIT\*, TGT\*, REQ, ACK, SB7-SB0, SBDE\*, SBIE\*, and SBP.

The diagram is labeled with various signals and components in Japanese, providing a comprehensive overview of the SCSI controller's internal structure and its connections to the host and the SCSI bus.

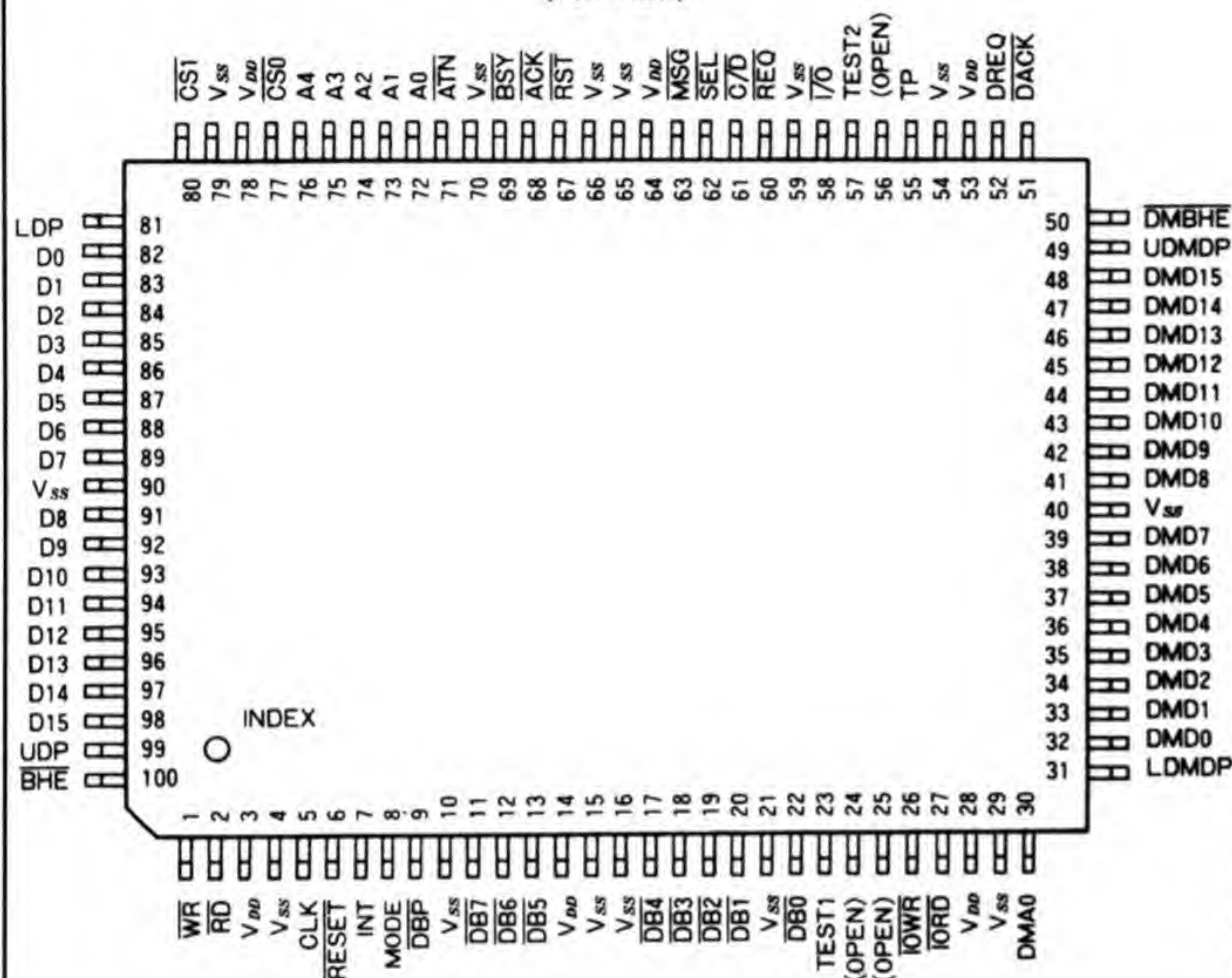


## ■端子機能

端子名	ピン番号	入出力	機能
INT	95	出力	CPUに対する割り込み要求出力
$\overline{\text{IORD}}$	97	入力	CPUが内部レジスタを読み出すためのリード信号入力
$\overline{\text{IOWR}}$	96	入力	CPUが内部レジスタに書き込むためのライト信号入力
A2~A3	4, 3	入力	レジスタを指定するためのアドレス上位2ビットの入力
A0/ $\overline{\text{BE2}}$ ~A1/ $\overline{\text{BE3}}$	6, 5	入力	32ビット・バス・モードのとき、有効バスを示す信号入力( $\overline{\text{BE2}}$ , 3), 16/8ビット・モードの時、アドレスの下位2ビット入力
$\overline{\text{BE1}}$	7	入力	32ビット・バス・モードのとき、データ・アクセス時の有効バスを示す信号の入力
$\overline{\text{BE0}}/\overline{\text{UBE}}$	8	入力	32ビット・バス・モードのとき有効バスを示す信号入力( $\overline{\text{BE0}}$ ), 16ビット・モードの時、上位バイトのデータ入出力許可信号入力
$\overline{\text{CS}}$	92	入力	チップ・セレクト信号入力
D0~D31	53~50, 48~43, 41, 38, 36~31, 29~23, 21~18, 16~14	入出力	32ビットのデータ入出力端子, 8/16ビット・モードでは未使用端子はハイ・インピーダンス
DP0~DP3	12~9	入出力	データ・バスに付加されたパリティ信号の入出力端子
$\overline{\text{DMARQ}}$	98	出力	DMAサービス要求信号出力
$\overline{\text{DMAAK}}$	99	入力	DMAサービス許可信号の入力
$\overline{\text{EOP}}$	94	出力	データ転送の終了を示す信号の出力
$\overline{\text{SB0}}\sim\overline{\text{SB7}}$	56, 57, 59, 60, 62, 63, 65, 66	入出力	SCSIデータ・バス入出力
$\overline{\text{SBP}}$	55	入出力	SCSIデータ・バスに付加されたパリティ信号の入出力
$\overline{\text{BSY}}$	76	入出力	SCSIコントロール・バスの $\overline{\text{BSY}}$ 信号の接続する, SCSIバス使用中を示す
$\overline{\text{SEL}}$	77	入出力	SCSIコントロール・バスの $\overline{\text{SEL}}$ 信号と接続する, セレクト/リセレクト動作の実行中を示す
$\overline{\text{REQ}}$	70	入出力	ターゲットのインフォメーション転送要求を示す
$\overline{\text{ACK}}$	69	入出力	イニシエータがターゲットのインフォメーション転送要求を受理したことを示す
$\overline{\text{ATN}}$	68	入出力	イニシエータがメッセージ・アウト・フェーズを要求していることを示す
$\overline{\text{MSG}}$ $\overline{\text{C/D}}$ $\overline{\text{I/O}}$	72 73 74	入出力	SCSIコントロール・バスと接続し, SCSIバス・フェーズを示す
$\overline{\text{RST}}$	78	入出力	SCSIコントロール・バスと接続する, この信号を検出するとSCSIバスを解放し, アイドル状態になる
RSTO	87	出力	$\overline{\text{RST}}$ 信号がアクティブの間“H”を出力し, $\overline{\text{RST}}$ 信号ドライバをイネーブルにする
BSYO	85	出力	$\overline{\text{BSY}}$ 信号がアクティブの間“H”を出力し, $\overline{\text{BSY}}$ 信号ドライバをイネーブルにする
SELO	86	出力	$\overline{\text{SEL}}$ 信号がアクティブの間“H”を出力し, $\overline{\text{SEL}}$ 信号ドライバをイネーブルにする
IDSTR	82	出力	ディファレンシャル・バスを使用する時のアービトラージン実行時に, 自身のSCSI IDを保持するためのストロブ信号
INIT	83	出力	イニシエータ動作中“H”を出力し, $\overline{\text{ATN}}$ , $\overline{\text{ACK}}$ ドライバを出力イネーブルにする
TGT	84	出力	ターゲット動作中“H”を出力し, $\overline{\text{MSG}}$ , $\overline{\text{C/D}}$ , $\overline{\text{I/O}}$ , $\overline{\text{REQ}}$ ドライバを出力イネーブルにする
SBOE	80	出力	データ転送モード中“H”を出力し, SCSIデータ・バス・ドライバを出力イネーブルにする
$\overline{\text{SBIE}}$	81	出力	アービトラージン時, データ受信モード中“H”を出力し, SCSIデータ・バス・レシーバを入力イネーブルにする



(TOP VIEW)

 $(T_a = 0 \sim 70^\circ\text{C}, V_{CC} = 5\text{ V} \pm 5\%)$ 

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL}=3.2\text{ mA}$	0.4	V
$V_{OH}$	$I_{IL}=2\text{ mA}$	4.2*	V
$I_{OL}$	$V_{OUT}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$V_{CC}=V_i=0, f=1\text{MHz}$	16	pF

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +6.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$-25 \sim +85$	°C
保存温度	$T_{STG}$	$-40 \sim +125$	°C

- ・不平衡伝送型式の SCS I-2 コントローラ
- ・イニシエータ，ターゲットのいずれにも使用可能
- ・同期転送：転送速度は最大 10 M バイト / 秒，最大オフセット 32，転送速度 32 段階
- ・非同期転送：最大速度は 5 M バイト / 秒
- ・接続装置 7 台分の転送パラメータを設定可能
- ・シングル・エンド伝送型式で、最大ケーブル長は 6 m
- ・自動セレクション / リセレクション応答動作
- ・データ・フェーズ用に 32 バイトのデータ・レジスタ (FIFO) 内蔵

The diagram illustrates the internal architecture of the 7801 microcomputer. At the top, the **MPU インタフェース** (MPU Interface) block connects to external signals: **INT** (interrupt), **D15-D8, UDP** (data bus), **WR** (write), **RD** (read), **CS0** and **CS1** (chip selects), **A4-A0** (address bus), **BHE** (bus high enable), and **MODE** (mode select). The internal components include an **内部プロセッサ** (Internal Processor) and **各種レジスタ** (Various Registers). The **SCS インタフェース** (SCS Interface) on the left handles signals like **MSG**, **C/D**, **I/O**, **ATN**, **BSY**, **SEL**, **RST**, **REQ**, and **ACK**. The **DMA インタフェース** (DMA Interface) on the right manages **DREQ**, **DACK**, **DMBHE**, **DMA0**, **DMD15-DMD8**, **UDMDP**, **DMD7-DMD0**, **LDMDP**, **IOWR**, **IORD**, and **TP**. Internal functional blocks include a **タイマー** (Timer), **フェーズコントローラ** (Phase Controller), **転送コントローラ** (Transfer Controller), **Receive-MCS バッファ (32バイト)**, **Send-MCS バッファ (32バイト)**, **コマンド・ユーザ プログラム・メモリ (256バイト)**, and **データレジスタ (32バイト)**. The **データレジスタ** is connected to the **DB7-DB0** data bus.



## ■端子機能

	端子名*	ピン番号	入出力	機 能
SCSI インターフェース	$\overline{\text{REQ}}$	60	入出力	情報転送フェーズで、ターゲットからイニシエータに対する転送要求信号。入力信号は、データ転送シーケンスのタイミング制御信号として使用される
	$\overline{\text{ACK}}$	68	入出力	情報転送フェーズで、 $\overline{\text{REQ}}$ 信号に対するイニシエータからターゲットへの応答信号。入力信号は、データ転送シーケンスのタイミング制御信号として使用される
	$\overline{\text{ATN}}$	71	入出力	イニシエータがターゲットにメッセージ転送フェーズを要求する信号
	$\overline{\text{MSG}}$	63	入出力	データ・バス上で伝送される情報の種類を指定する信号。メッセージ・フェーズを指定するとき“L”となる
	$\overline{\text{C/D}}$	61	入出力	データ・バス上で伝送される情報の種類を指定する信号。コマンド・フェーズ、ステータス・フェーズ、メッセージ・フェーズのとき“L”になる
	$\overline{\text{I/O}}$	58	入出力	データ・バス上で伝送される情報の転送方向を指定する信号。“L”のときターゲットからイニシエータへ、“H”のときイニシエータからターゲットに情報が転送される
	$\overline{\text{BSY}}$	69	入出力	SCSI バスが使用状態にあることを示す。アービトレーション・フェーズでは、バスの使用権獲得の要求信号となる
	$\overline{\text{SEL}}$	62	入出力	セレクション・フェーズ (イニシエータがターゲットを選択)、およびリセレクション・フェーズ (ターゲットがイニシエータを再選択) のとき、イニシエータおよびターゲットが出力する信号とそれを検出する入力信号
	$\overline{\text{RST}}$	67	入出力	ほかの SCSI デバイスにリセットを指示する出力信号、およびほかの SCSI デバイスからのリセット入力信号
	$\overline{\text{DB7}} \sim \overline{\text{DB0}}$ $\overline{\text{DBP}}$	11, 13, 17~20, 22 9	入出力	1 バイトのデータと奇数パリティ・ビットで構成される双方向の SCSI データ・バス
MPU インターフェース	$\overline{\text{CS0}}$	77	入 力	MPU が I/O デバイスとして、SPC を選択する信号
	$\overline{\text{CS1}}$	80	入 力	MPU が SPC を通して DMA バスのデータを入出力する場合の選択信号
	D15 ↓ D8 UDP	98, 97, 96 95, 94, 93 92, 91 99	入出力	データ・バスの上位バイトとパリティ・ビット。 $\overline{\text{CS0}}$ が有効のとき、SPC 内部レジスタの入出力ポートとなる。 $\overline{\text{CS1}}$ が有効のとき、DMA バス・データの出力ポートとなる
	D7 ↓ D0 LDP	89, 88, 87 86, 85, 84 83, 82 81	入出力	データ・バスの下位バイトとパリティ・ビット。 $\overline{\text{CS0}}$ が有効のとき、SPC 内部レジスタの入出力ポートとなる。 $\overline{\text{CS1}}$ が有効のとき、DMA バス・データの出力ポートとなる
	A4~A0	76, 75, 74 73, 72	入 力	内部レジスタを選択するためのアドレス入力端子
	$\overline{\text{RD}}$ (R/W)	2	入 力	80系モードのときは、SPC から MPU が読み出し動作をするための信号 ( $\overline{\text{IORD}}$ または $\overline{\text{RD}}$ ) の入力端子。68系モードのときは、SPC に対して MPU が読み出し/書き込み動作を行うための制御信号 (R/W) の入力端子

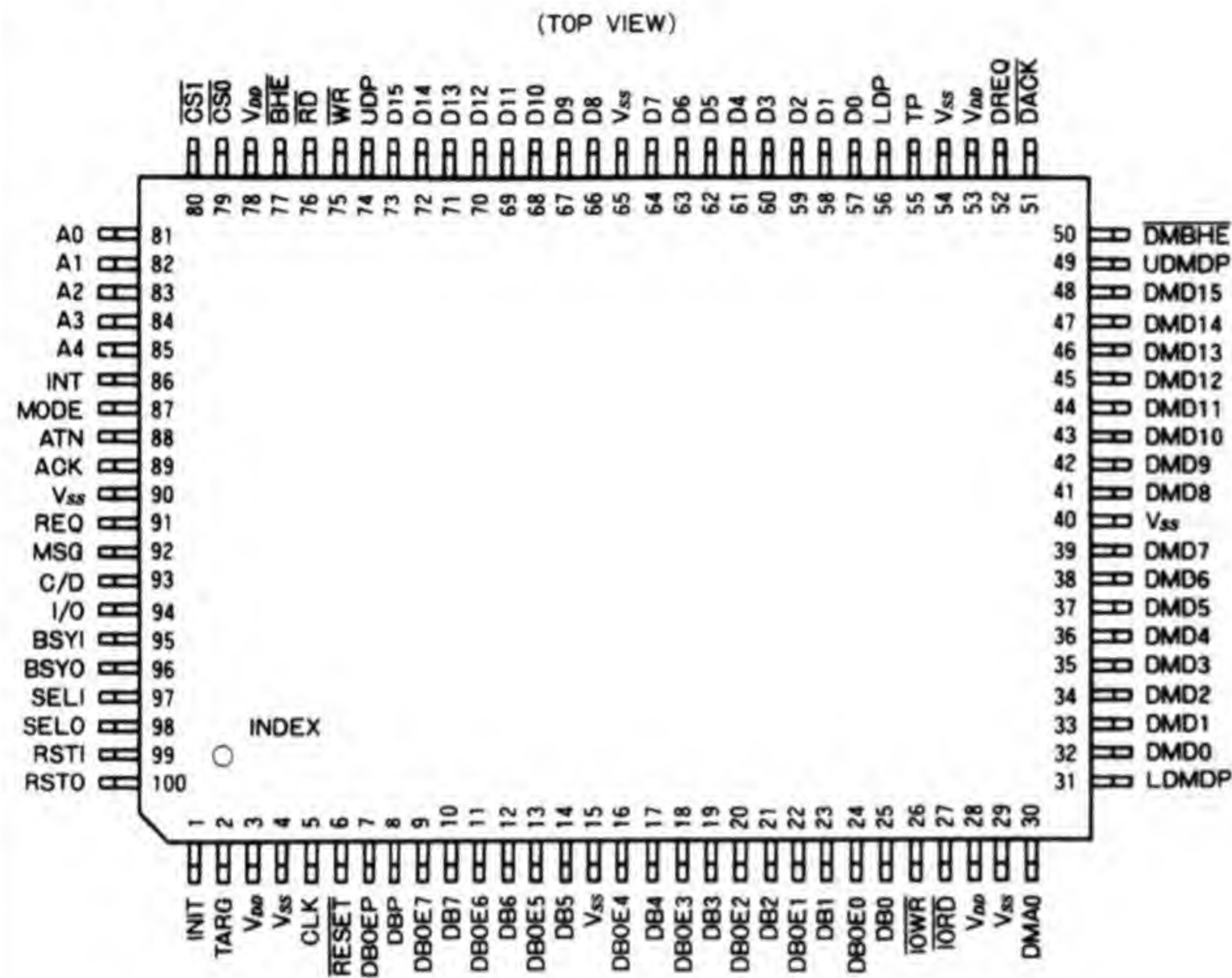
	端子名*	ピン番号	入出力	機 能
MPU インターフェース (つづき)	$\overline{\text{WR}}$ (LDS)	1	入 力	80系モードのときは、MPU が SPC に書き込み動作をするための信号 ( $\overline{\text{IOWR}}$ または $\overline{\text{WR}}$ ) の入力端子。68系モードのときは、データ・バスの下位バイトが有効のとき、MPU が出力する LDS 信号の入力端子
	$\overline{\text{BHE}}$ (UDS)	100	入 力	80系モードのときは、データ・バスの上位バイトが有効のとき、MPU が出力する $\overline{\text{BHE}}$ 信号の入力端子。68系モードのときは、データ・バスの上位バイトが有効のとき、MPU が出力する UDS 信号の入力端子
	$\overline{\text{INT}}$ (INT)	7	出 力	割り込み要求信号の出力端子
	MODE	8	入 力	MPU バス、DMA バスの種類を指定する信号の入力端子
	DREQ	52	出 力	DMA コントローラに対する DMA 転送要求信号の出力端子。DMA バスによる SPC とメモリ間でのデータ転送を要求する
DMA インターフェース	$\overline{\text{DACK}}$	51	入 力	DMA コントローラからの DMA 許可信号の入力端子。この入力信号がアクティブのとき、DMA サイクル (読み出し/書き込み) を実行する
	DMD15 ↓ DMD8 UDMDP	48, 47, 46 45, 44, 43 42, 41 49	入出力	DMA データ・バスの上位バイトとパリティ信号の入出力端子。CSI 入力があるとき、MPU データ・バスが直結される
	DMD7 ↓ DMD0 LDMDP	39, 38, 37 36, 35, 34 33, 32 31	入出力	DMA データ・バスの下位バイトとパリティ信号の入出力端子。CSI 入力があるとき、MPU データ・バスが直結される
	$\overline{\text{IORD}}$ (DMR/W)	27	入 力	80系モードのときは、SPC から DMA バスにデータを送るための信号 ( $\overline{\text{IORD}}$ または $\overline{\text{RD}}$ ) の入力端子。68系モードのときは、SPC に対して DMA コントローラがデータの出力/入力動作を行うための制御信号 (DMR/W) の入力端子
	$\overline{\text{IOWR}}$ (DMLDS)	26	入 力	80系モードのときは、SPC に DMA バスのデータを送るための信号 ( $\overline{\text{IOWR}}$ または $\overline{\text{WR}}$ ) の入力端子。68系モードのときは、DMA データ・バスの下位バイトが有効のとき、DMA コントローラが出力する DMLDS 信号の入力端子
	$\overline{\text{DMBHE}}$ (DMUDS)	50	入 力	80系モードのときは、DMA データ・バスの上位バイトが有効のとき、DMA コントローラが出力する $\overline{\text{DMBHE}}$ 信号の入力端子。68系モードのときは、DMA データ・バスの上位バイトが有効のとき、DMA コントローラが出力する DMUDS 信号の入力端子
	DMA0	30	入 力	80系モードのときに、DMA コントローラが出力するアドレス・データ AO 信号の入力端子
	TP	55	入 力	DMA 転送の許可信号の入力端子。この信号がアクティブのとき、SPC は DMA 転送を行う
	$\overline{\text{RESET}}$	6	入 力	システム・リセット信号の入力端子
	CLK	5	入 力	クロック信号の入力端子。クロック周波数は、12MHz~40MHz

\* : ( ) 内の端子記号は、MODE 入力がある (68系モード) の場合の端子記号を示す。



# SCSI-2 プロトコル・コントローラ

## ■ ピン接続



## ■ DC 特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 3.2\text{mA}$	0.4	V
$V_{OH}$	$I_{IL} = 2\text{mA}$	4.2*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$V_{CC} = V_I = 0, f = 1\text{MHz}$	16	pF

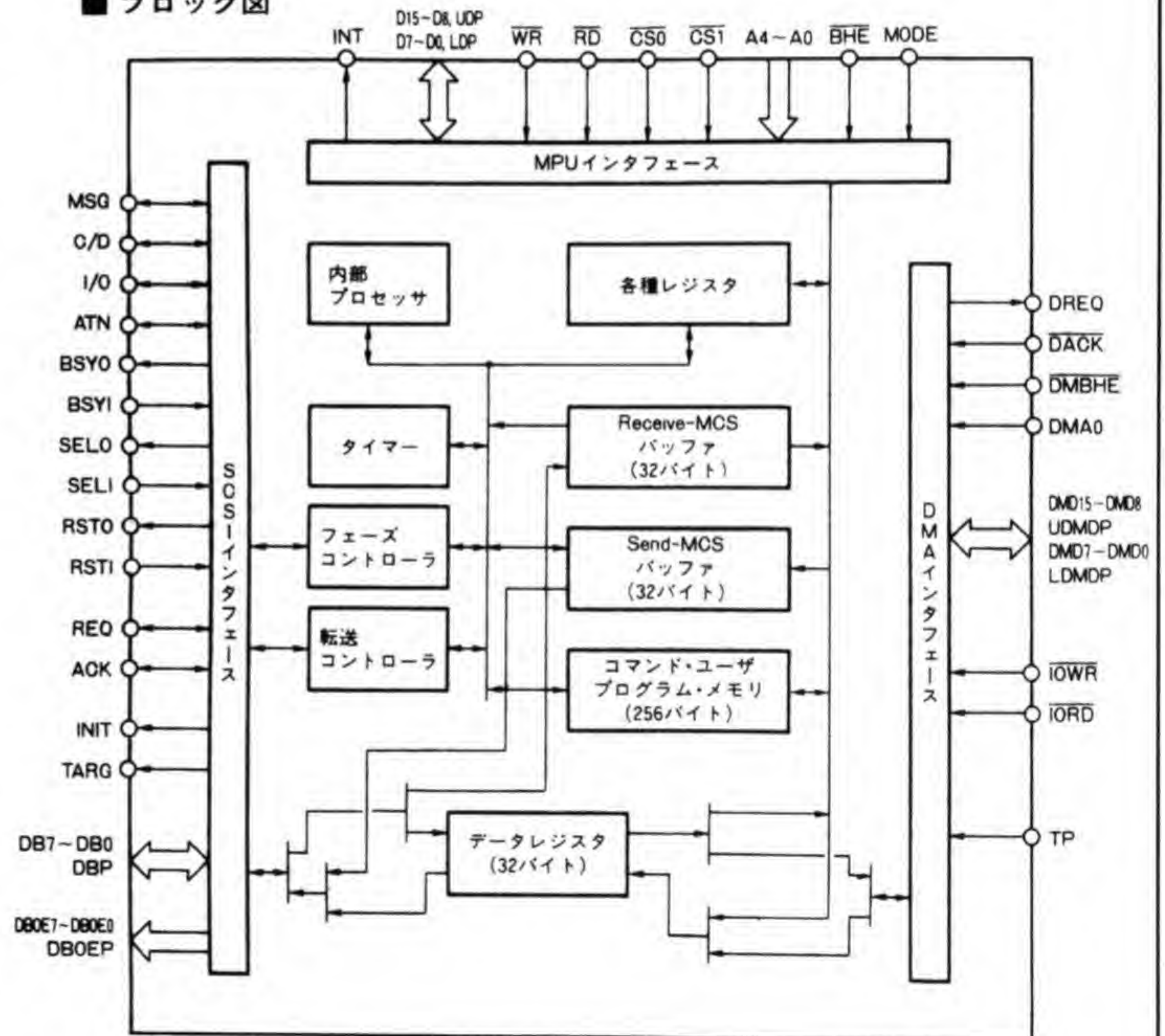
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +6.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$-25 \sim +85$	$^\circ\text{C}$
保存温度	$T_{STG}$	$-40 \sim +125$	$^\circ\text{C}$

## ■ 特徴

- ・ 平衡伝送型式の SCSI-2 コントローラ
- ・ イニシエータ、ターゲットのいずれにも使用可能
- ・ 同期転送：転送速度は最大 10 M バイト/秒，最大オフセット 32，転送速度 32 段階
- ・ 非同期転送：最大速度は 5 M バイト/秒
- ・ 接続装置 7 台分の転送パラメータを設定可能
- ・ ディファレンシャル伝送型式で、最大ケーブル長は 25 m
- ・ 自動セレクション/リセレクション応答動作
- ・ データ・フェーズ用に 32 バイトのデータ・レジスタ (FIFO) 内蔵

## ■ ブロック図





## ■端子機能

端子名*	ピン番号	入出力	機能
REQ	91	入出力	情報転送フェーズで、ターゲットからイニシエータに対する転送要求信号。入力信号は、データ転送シーケンスのタイミング制御信号として使用される
ACK	89	入出力	情報転送フェーズで、REQ 信号に対するイニシエータからターゲットへの応答信号。入力信号は、データ転送シーケンスのタイミング制御信号として使用される
ATN	88	入出力	イニシエータがターゲットに対して送出するメッセージを持っていることを示す信号
MSG	92	入出力	データ・バス上で伝送される情報の種類を指定する信号で、メッセージフェーズを指定するとき "H" となる
C/D	93	入出力	データ・バス上で伝送される情報の種類を指定する信号。コマンド・フェーズ、ステータス・フェーズ、メッセージ・フェーズのとき "H" になる
I/O	94	入出力	データ・バス上で伝送される情報の種類を指定する信号で、データの転送方向を示す。"H" のときターゲットからイニシエータへ、"L" のときイニシエータからターゲットに情報が転送される
BSYI	95	入 力	SCSI バスが使用状態にあることを示す。アービトレーション・フェーズでは、バスの使用権獲得の要求信号となる
BSYO	96	出 力	
SELI	97	入 力	セレクション・フェーズ (イニシエータがターゲットを選択)、およびリセレクション・フェーズ (ターゲットがイニシエータを再選択) のとき、イニシエータおよびターゲットが出力する信号とそれを検出する入力信号
SELO	98	出 力	
RSTI	99	入 力	ほかの SCSI デバイスにリセットを指示する出力信号、およびほかの SCSI デバイスからのリセット入力信号
RSTO	100	出 力	
DB7~DB0	10, 12, 14, 17 19, 21, 23, 25	入出力	1 バイトのデータと奇数パリティ・ビットで構成される双方向の SCSI データ・バス
DBP	8		
DBOE7~DBOE0	9, 11, 13, 16 18, 20, 22, 24	出 力	SCSI データ・バスの出力制御端子
DBOEP	7		
INIT	1	出 力	SPC の動作/思合状態を表示する信号です。外付けの差動型ドライバ/レシーバの制御信号に使用する。信号は、アクティブ "H"
TARG	2	出 力	
CO0	79	入 力	MPU が I/O デバイスとして、SPC を選択する信号
CS1	80	入 力	MPU が SPC をととして DMA バスのデータを入出力する場合の選択信号
D15   D8	73, 72, 71 70, 69, 68 67, 66	入出力	データ・バスの上位バイトとパリティビット。CS0 が有効のとき、SPC 内部レジスタの入出力ポートとなる。CS1 が有効のとき、DMA バス・データの入出力ポートとなる
UDP	74		
D7   D0	64, 63, 62 61, 60, 59 58, 57	入出力	データ・バスの下位バイトとパリティビット。CS0 が有効のとき、SPC 内部レジスタの入出力ポートとなる。CS1 が有効のとき、DMA バス・データの入出力ポートとなる
LDP	56		
A4~A0	85, 84, 83 82, 81	入 力	内部レジスタを選択するためのアドレス入力端子

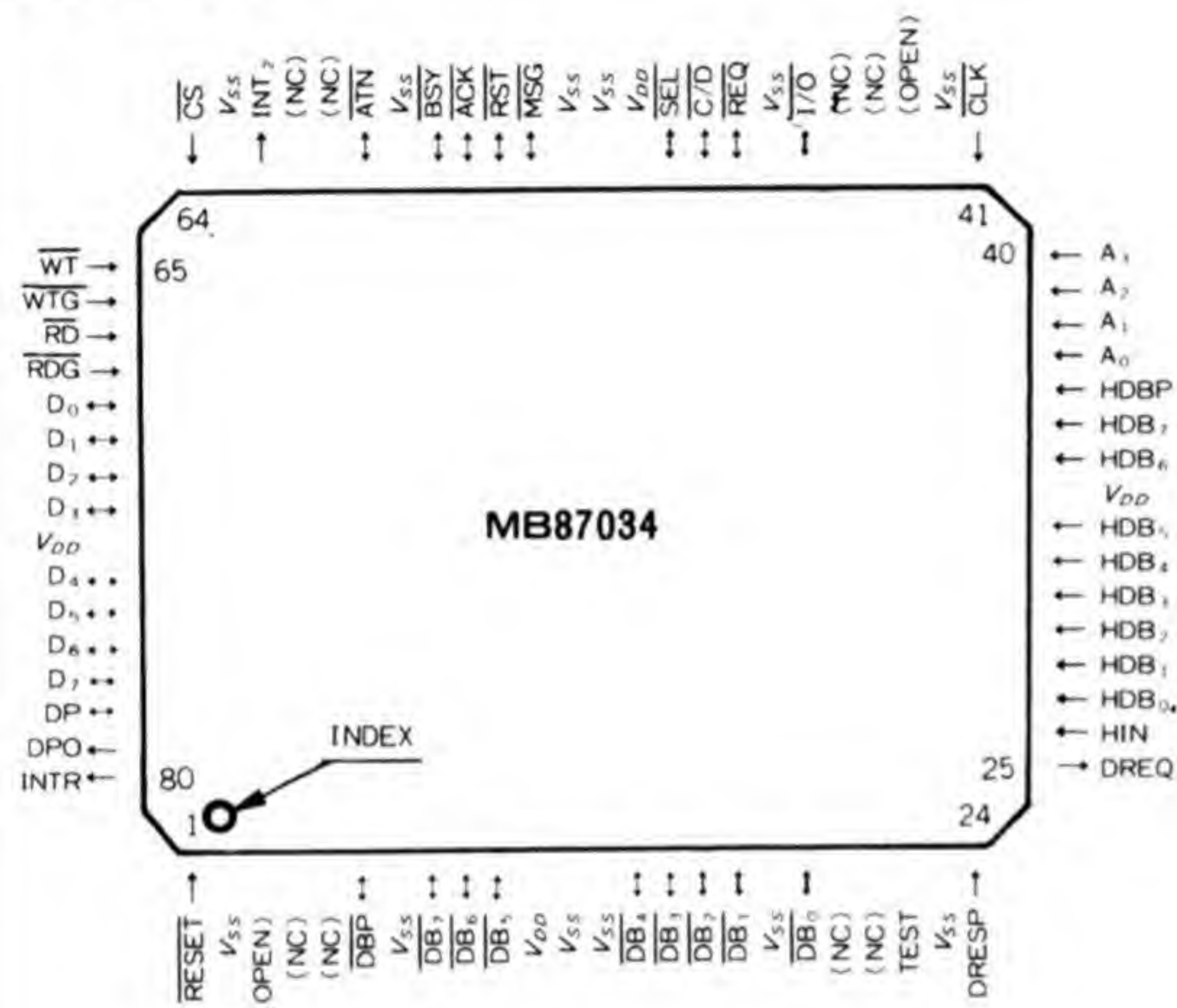
端子名*	ピン番号	入出力	機能
RD(R/W)	76	入 力	80系モードのときは、SPC から MPU が読み出し動作をするための信号 (IOR $\overline{\text{D}}$ または RD) の入力端子。68系モードのときは、SPC に対して MPU が読み出し/書き込み動作を行うための制御信号 (R/W) の入力端子
WR(LDS)	75	入 力	80系モードのときは、MPU が SPC に書き込み動作をするための信号 (IOWR または WR) の入力端子。68系モードのときは、データ・バスの下位バイトが有効のとき、MPU が出力する LDS 信号の入力端子
BHE(UDS)	77	入 力	80系モードのときは、データ・バスの上位バイトが有効のとき、MPU が出力する BHE 信号の入力端子。68系モードのときは、データ・バスの上位バイトが有効のとき、MPU が出力する UDS 信号の入力端子
INT(INT)	86	出 力	割り込み要求信号の出力端子
MODE	87	入 力	MPU バス、DMA バスの種類を指定する信号の入力端子
DREQ	52	出 力	DMA コントローラに対する DMA 転送要求信号の出力端子。DMA バスによる SPC とメモリ間でのデータ転送を要求する
DACK	51	入 力	DMA コントローラからの DMA 許可信号の入力端子。この入力信号がアクティブのとき、DMA サイクル (読み出し/書き込み) を実行する
DMD15   DMD8 UDMDP	48, 47, 46 45, 44, 43 42, 41 49	入出力	DMA データ・バスの上位バイトとパリティ信号の入出力端子。CS1 が有効のとき、MPU データ・バスが直結される
DMD7   DMD0 LDMDP	39, 38, 37 36, 35, 34 33, 32 31	入出力	DMA データ・バスの下位バイトとパリティ信号の入出力端子。CS1 入力があるとき、MPU データ・バスが直結される
IORD(DMR/W)	27	入 力	80系モードのときは、SPC から DMA バスにデータを送るための信号 (IOR $\overline{\text{D}}$ または RD) の入力端子。68系モードのときは、SPC に対して DMA コントローラがデータ出力/入力動作を行うための制御信号 (DMR/W) の入力端子
IOWR(DMLDS)	26	入 力	80系モードのときは、SPC に DMA バスのデータを送るための信号 (IOWR または WR) の入力端子。68系モードのときは、DMA データ・バスの下位バイトが有効のとき、DMA コントローラが出力する DMLDS 信号の入力端子
DMBHE(DMUDS)	50	入 力	80系モードのときは、DMA データ・バスの上位バイトが有効のとき、DMA コントローラが出力する DMBHE 信号の入力端子。68系モードのときは、DMA データ・バスの上位バイトが有効のとき、DMA コントローラが出力する DMUDS 信号の入力端子
DMA0	30	入 力	80系モードのときに、DMA コントローラが出力するアドレス・データ A0 信号の入力端子
TP	55	入 力	DMA 転送の許可信号の入力端子。この信号がアクティブのとき、SPC は DMA 転送を行う
RESET	6	入 力	システム・リセット信号の入力端子
CLK	5	入 力	クロック信号の入力端子。クロック周波数は、12MHz~40MHz

\* : ( ) 内の端子記号は、MODE 入力が "L" (68系モード) の場合の端子記号を示す。



# SCSI (Protocol Controller)

## ■ ピン接続



## ■ 特 徴

- ・ ANSI X3.131 準拠の SCSI コントローラ
- ・ イニシエータとターゲットの両機能をもつ
- ・ REQ, ACK 端子にスリーステートのドライバ/レシーバ採用
- ・ 同期モードで 4 Mバイト/sec の転送速度をもつ
- ・ 同期モード転送速度は 4 段階プログラマブル
- ・ 8 バイトのデータ・バッファ・レジスタを内蔵
- ・ 28 ビット長の転送バイト・カウンタにより、一度に 256 MB のデータ転送が可能
- ・ 独立したデータ転送用バスをもつ

## ■ 最大定格

項 目	記号	定 格	単 位
電源電圧	$V_{CC}$	-0.3~6.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.3$	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-40~125	°C

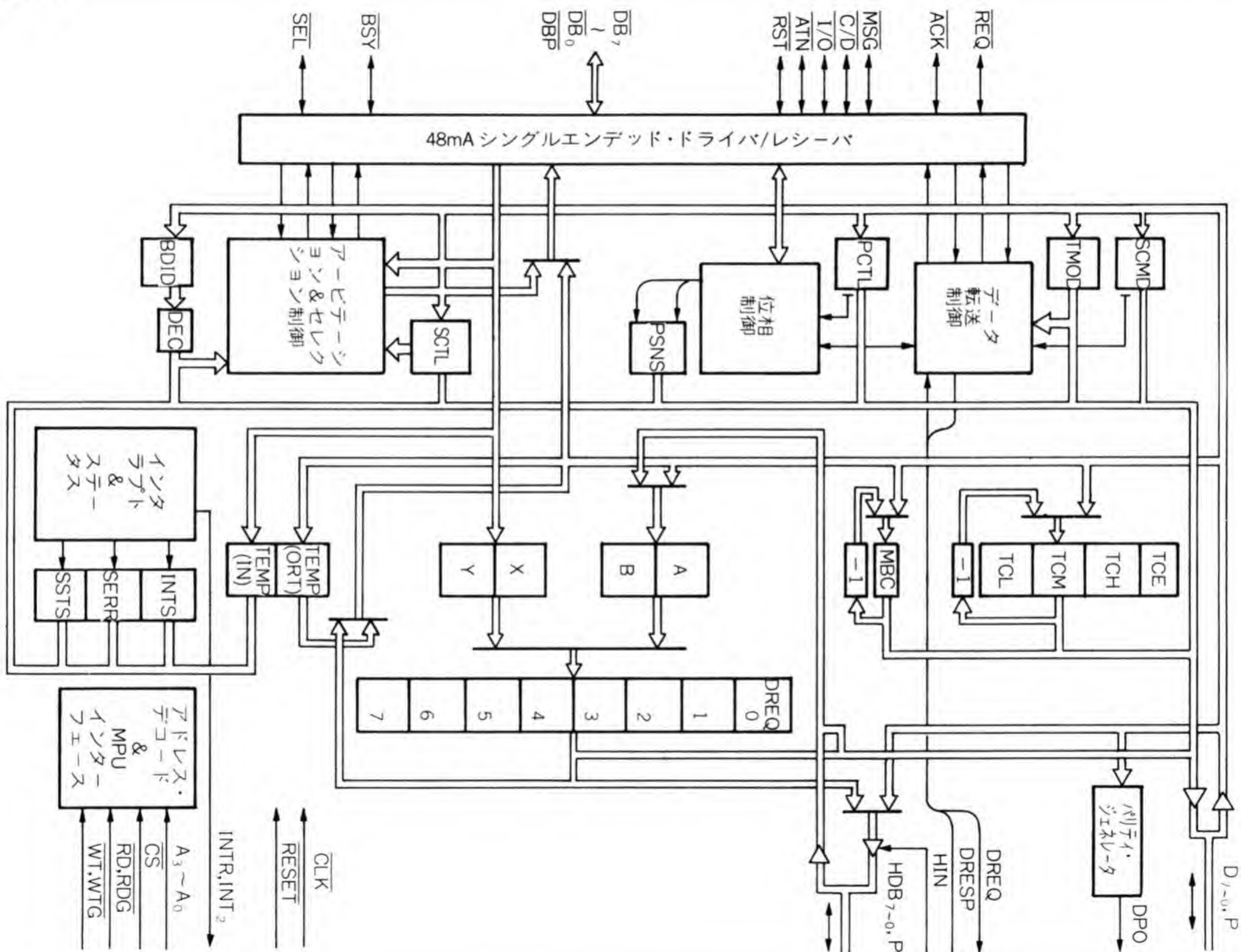
## ■ DC特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL}=3.2\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=0.4\text{mA}$	4.0*	V
$I_{IL}$	$V_{IN}=0.5.25\text{V}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f=1\text{MHz}$ $V_{CC}=V_I=0\text{V}$	9	pF



## ■ ブロック図





## SCSI [Protocol Controller]

## ■端子機能

端子名	ピン番号	入出力	機能
$\overline{\text{CLK}}$	41	入力	MB87034の内部動作とデータ転送速度を制御するためのクロック入力
$\overline{\text{RESET}}$	1	入力	MB87034の内部回路をクリアするためのリセット入力
$\overline{\text{CS}}$	64	入力	MB87034の内部レジスタをアクセスするための選択許可信号。 本入力信号がアクティブのとき、以下の入出力信号が有効になる。 $\overline{\text{RD}}$ , $\overline{\text{RDG}}$ , $\overline{\text{WT}}$ , $\overline{\text{WTG}}$ , $A_3 \sim A_0$ , $D_7 \sim D_0$ , $\text{DP}$
$\overline{\text{RD}}$	67	入力	MB87034の内部レジスタを読み出すためのストロブ入力。 $\overline{\text{CS}}$ 入力信号がアクティブ状態のときのみ有効となる。 プログラム転送モードのデータ転送サイクルでは、本信号の立ち上がりエッジが、FIFOからのデータ読み取り完了タイミングとして使用される。 本信号と $\overline{\text{RDG}}$ 入力が共にアクティブ状態である間、 $A_3 \sim A_0$ 入力信号で選択されている内部レジスタの値がデータバス $D_7 \sim D_0$ , $\text{DP}$ 上に読み出される
$\overline{\text{RDG}}$	68	入力	データバス $D_7 \sim D_0$ , $\text{DP}$ のアウトプット・コントロール入力。本信号と $\overline{\text{CS}}$ 入力が共にアクティブ状態である間、データバス $D_7 \sim D_0$ , $\text{DP}$ が出力状態となる。 本入力端子は通常、 $\overline{\text{RD}}$ 端子と接続して使用する
$\overline{\text{WT}}$	65	入力	MB87034の内部レジスタへの書き込みを行うためのストロブ入力。 $\overline{\text{CS}}$ 入力信号がアクティブ状態のときのみ有効となる。 本信号の立ち上がりエッジで、データバス $D_7 \sim D_0$ , $\text{DP}$ 上の値が、 $A_3 \sim A_0$ 入力信号で選択されている内部レジスタに書き込まれる ( $A_3 = A_2 = A_1 = A_0 = \text{"H"}$ の場合を除く)。 プログラム転送モードのデータ転送サイクルでは、本信号の立ち上がりエッジが、FIFOへの書き込みデータ準備完了のタイミングとして使用される。

端子名	ピン番号	入出力	機能
$\overline{\text{WTG}}$	66	入力	本信号がアクティブ状態で、かつ以下に示す入力条件が成立している間、 $D_7 \sim D_0$ , $\text{DP}$ 上の値が、 $\text{HDB}_7 \sim \text{HDB}_0$ , $\text{HDBP}$ 上に出力される。 入力条件: $\overline{\text{CS}} = \text{"L"}$ $A_3 = A_2 = A_1 = A_0 = \text{"H"}$ $\text{HIN} = \text{"H"}$ 本入力端子は通常、 $\overline{\text{WT}}$ 端子と接続して使用する
$A_3$ ┆ $A_0$	40 ┆ 37	入力	MB87034の内部レジスタを選択するためのアドレス入力。 MSB: $A_3$ LSB: $A_0$
$D_7$ ┆ $D_0$  $\text{DP}$	77 72 ┆    ┆ 74, 69  78	入出力	MB87034の内部レジスタのリード/ライトを行うために使用する双方向性のデータバス。 MSB: $D_7$ LSB: $D_0$ 奇数パリティ・ビット: $\text{DP}$ $\overline{\text{CS}}$ 入力と $\overline{\text{RDG}}$ 入力が共にアクティブ状態のとき、本データバスが出力状態となる。また、 $\overline{\text{CS}}$ 入力または $\overline{\text{RDG}}$ 入力がノンアクティブ状態のとき、本データバス端子はハイ・インピーダンス状態となる
$\text{DPO}$	79	出力	$D_7 \sim D_0$ の奇数パリティを出力する。本出力端子は、 $D_7 \sim D_0$ , $\text{DP}$ がハイ・インピーダンス状態(入力状態)のときに出力状態となり、 $D_7 \sim D_0$ , $\text{DP}$ が出力状態のときは、ハイ・インピーダンス状態となる。 データバスのパリティ・ビットを持たないシステムでは本出力端子と $\text{DP}$ 端子を接続する
$\text{INTR}$	80	出力	MB87034の内部動作の終了及びエラー検出を通知するための割り込み要求信号であり、プログラムによりマスクが可能。 割り込みが許可されていれば、割り込みの原因がクリアされるまでは本信号はアクティブ状態を保持する



# MB87034(つづき)

## ■端子機能

端子名	ピン番号	入出力	機能
INT <sub>2</sub>	62	出力	SCSI でのリセット・コンディション検出を通知するための、マスク不可能な割り込み信号。SCSI 上でのリセット・コンディション検出は、INTR 出力の要因にもなる
DREQ	25	出力	DMA モードのデータ転送サイクルにおいて、HDB <sub>7-0</sub> 、P に接続されているデータ・メモリと MB87034 との間でデータ転送を実行するための転送要求信号。 アウトプット動作では MB87034 内部のデータ・バッファ・レジスタ (FIFO) に空位置があるとき、インプット動作では、バッファ・レジスタ内に有効なデータが存在するとき、本信号がクティブとなり、データ・メモリとのデータ転送を要求する
DRESP	24	入力	DREQ 信号に対する応答信号入力。本端子には、1 バイトの転送毎にパルス信号を入力する。 DMA モードのデータ転送サイクルでは、本信号の立ち上がりエッジが、1 バイトの転送終了のタイミングとして使用される
HDB <sub>7</sub> } HDB <sub>0</sub> HDBP	35, 34, 32 } 27, 36	入力	DMA モードのデータ転送サイクルにおいて、データ・メモリと MB87034 との間で、データ転送を行うための、双方向性のデータ・バス。 MSB: HDB <sub>7</sub> LSB: HDB <sub>0</sub> 奇数パリティ・ビット: HDBP HIN 入力が“H”のとき、本データ・バス端子は出力状態となり、HIN 入力が“L”のとき、本データ・バス端子はハイ・インピーダンス状態 (入力状態) となる
HIN	26	入力	DMA データ転送用データ・バス・HDB <sub>7</sub> ~HDB <sub>0</sub> 、HDBP のアウトプット・コントロール入力。本信号が High のとき、HDB <sub>7</sub> ~HDB <sub>0</sub> 、HDBP が出力状態となる

端子名	ピン番号	入出力	機能
<u>BSY</u> <u>SEL</u> <u>REQ</u> <u>ACK</u> <u>MSG</u> <u>C/D</u> <u>I/O</u> <u>ATN</u> <u>RST</u>	57 50 48 56 54 49 46 59 55	入出力	SCSI コントロール信号の入出力端子。 Single-ended SCSI コネクタに、直接接続して使用する
<u>DB<sub>7</sub></u> } <u>DB<sub>0</sub></u> <u>DBP</u>	8 } 10, 14 } 17, 19, 6	入出力	SCSI データ・バスの入出力端子。 Single-ended SCSI のコネクタに、直接接続して使用する。 MSB: <u>DB<sub>7</sub></u> LSB: <u>DB<sub>0</sub></u> 奇数パリティ・ビット: <u>DBP</u>
V <sub>dd</sub>	11, 33, 51, 73	—	+ 5 V 電源供給端子
V <sub>ss</sub>	2, 7, 12, 13, 18, 23, 42, 47, 52, 53, 58, 63	—	0 V 接地端子
(OPEN)	3, 43	—	接続しない
TEST	22	—	接続しない
(NC)	4, 5, 20, 21, 44, 45, 60, 61	—	NC 端子は、内部にはつながっていないが、原則として接続しないこと



**MB89351**

Pin	Function	Pin	Function
1	SDBI <sub>7</sub> →	64	V <sub>CC</sub>
2	SDBI <sub>6</sub> →	63	← CLK
3	SDBI <sub>5</sub> →	62	← RST
4	SDBI <sub>4</sub> →	61	← CS
5	SDBI <sub>3</sub> →	60	← A <sub>3</sub>
6	SDBI <sub>2</sub> →	59	V <sub>SS</sub>
7	NC	58	NC
8	SDBI <sub>1</sub> →	57	← A <sub>2</sub>
9	SDBI <sub>0</sub> →	56	← A <sub>1</sub>
10	SDBIP →	55	← A <sub>0</sub>
11	SDBO <sub>7</sub> ←	54	↔ D <sub>7</sub>
12	SDBO <sub>6</sub> ←	53	↔ D <sub>6</sub>
13	SDBO <sub>5</sub> ←	52	↔ D <sub>5</sub>
14	SDBO <sub>4</sub> ←	51	↔ D <sub>4</sub>
15	SDBO <sub>3</sub> ←	50	↔ D <sub>3</sub>
16	SDBO <sub>2</sub> ←	49	↔ D <sub>2</sub>
17	SDBO <sub>1</sub> ←	48	↔ D <sub>1</sub>
18	SDBO <sub>0</sub> ←	47	↔ D <sub>0</sub>
19	SDBOP ←	46	↔ DP
20	RSTO ←	45	↔ DPO
21	RSTI →	44	← RD
22	SELO ←	43	← WR
23	SELI →	42	↔ INTR
24	BSYO ←	41	↔ DREQ
25	BSYI →	40	← DACK
26	I/O ↔	39	V <sub>SS</sub>
27	C/D ↔	38	NC
28	MSG ↔	37	NC
29	REQ ↔	36	→ INIT
30	ACK ↔	35	→ TARG
31	ATN ↔	34	→ INPUT <sub>2</sub>
32	V <sub>SS</sub>	33	→ INPUT <sub>1</sub>

 $(T_a = 0 \sim 70^\circ\text{C}, V_{CC} = 5\text{V} \pm 10\%)$ 

### ■ 最大定格

項 目	記号	定 格	單位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

- ・同期転送以外のほとんどのSCSI機能をサポート
- ・非同期式2.6Mバイト/秒の転送が可能
- ・8バイトFIFOによる転送タイミングの削減
- ・8/16ビットCPUの周辺LSIとして使用可能
- ・イニシエータまたはターゲットのいずれの動作も可能
- ・24ビット長の転送バイト・カウンタ

ブロック図

The block diagram illustrates the internal architecture of the 78C05 microcontroller. Key components include:

- SCMD**: Serial Command Memory, connected to the **トランスファ・コントロール** (Transfer Control) block.
- トランスファ・コントロール**: Manages data transfer between internal blocks and external memory.
- PCTL**: Program Counter Latch, connected to the Transfer Control block.
- フェーズ・コントロール**: Phase Control block, connected to the Transfer Control block.
- PSNS**: Program Status, connected to the Phase Control block.
- SCTL**: Serial Control Latch, connected to the Transfer Control block.
- アービトレーション & セレクション部**: Arbitration and Selection section, connected to the Transfer Control block.
- BDID**: Block Data Identifier, connected to the Arbitration and Selection section.
- DEC**: Decrementer, connected to the Arbitration and Selection section.
- INTS**: Interrupt Status, connected to the Arbitration and Selection section.
- SERR**: Serial Error Register, connected to the Arbitration and Selection section.
- SSTS**: Serial Status, connected to the Arbitration and Selection section.
- アドレスデコード & MPUインターフェース**: Address Decoding and MPU Interface, connected to the Arbitration and Selection section.
- 割り込み & ステータス**: Interrupt and Status, connected to the Arbitration and Selection section.
- TEMP (OUT)**: Temperature Output, connected to the Arbitration and Selection section.
- TEMP (IN)**: Temperature Input, connected to the Arbitration and Selection section.
- パリティ・ジェネレータ**: Parity Generator, connected to the Transfer Control block.
- MBC**: Memory Buffer Control, connected to the Transfer Control block.
- 1**: Inverter, connected to the Memory Buffer Control.
- TCH**: Transfer Control High, connected to the Transfer Control block.
- TCM**: Transfer Control Memory, connected to the Transfer Control block.
- TCL**: Transfer Control Low, connected to the Transfer Control block.
- DREG**: Data Register, connected to the Transfer Control block.
- DACK**: Data Acknowledge, connected to the Transfer Control block.
- DPO**: Data Port Output, connected to the Transfer Control block.
- D<sub>0</sub>~D<sub>7</sub>, DP**: Data Bus, connected to the Transfer Control block.
- REQ**: Request, connected to the Transfer Control block.
- ACK**: Acknowledge, connected to the Transfer Control block.
- ATN**: Attention, connected to the Transfer Control block.
- I/O**: Input/Output, connected to the Transfer Control block.
- C/D**: Command/Data, connected to the Transfer Control block.
- MSG**: Message, connected to the Transfer Control block.
- RSTI**: Reset Input, connected to the Transfer Control block.
- RSTO**: Reset Output, connected to the Transfer Control block.
- SDBO<sub>7-0 P</sub>**: Serial Data Bus Output, connected to the Transfer Control block.
- SDBI<sub>7-0 P</sub>**: Serial Data Bus Input, connected to the Transfer Control block.
- SELO**: Select Output, connected to the Arbitration and Selection section.
- SELI**: Select Input, connected to the Arbitration and Selection section.
- BSYO**: Busy Output, connected to the Arbitration and Selection section.
- BSYI**: Busy Input, connected to the Arbitration and Selection section.
- INIT**: Initialize, connected to the Arbitration and Selection section.
- TARG**: Target, connected to the Arbitration and Selection section.
- INPUT<sub>1</sub>**: Input 1, connected to the Arbitration and Selection section.
- INPUT<sub>2</sub>**: Input 2, connected to the Arbitration and Selection section.
- CLK**: Clock, connected to the Arbitration and Selection section.
- INTR**: Interrupt, connected to the Arbitration and Selection section.
- A<sub>3</sub>~A<sub>0</sub>**: Address, connected to the Address Decoding and MPU Interface.
- CS**: Chip Select, connected to the Address Decoding and MPU Interface.
- RD**: Read, connected to the Address Decoding and MPU Interface.
- WR**: Write, connected to the Address Decoding and MPU Interface.



■端子機能

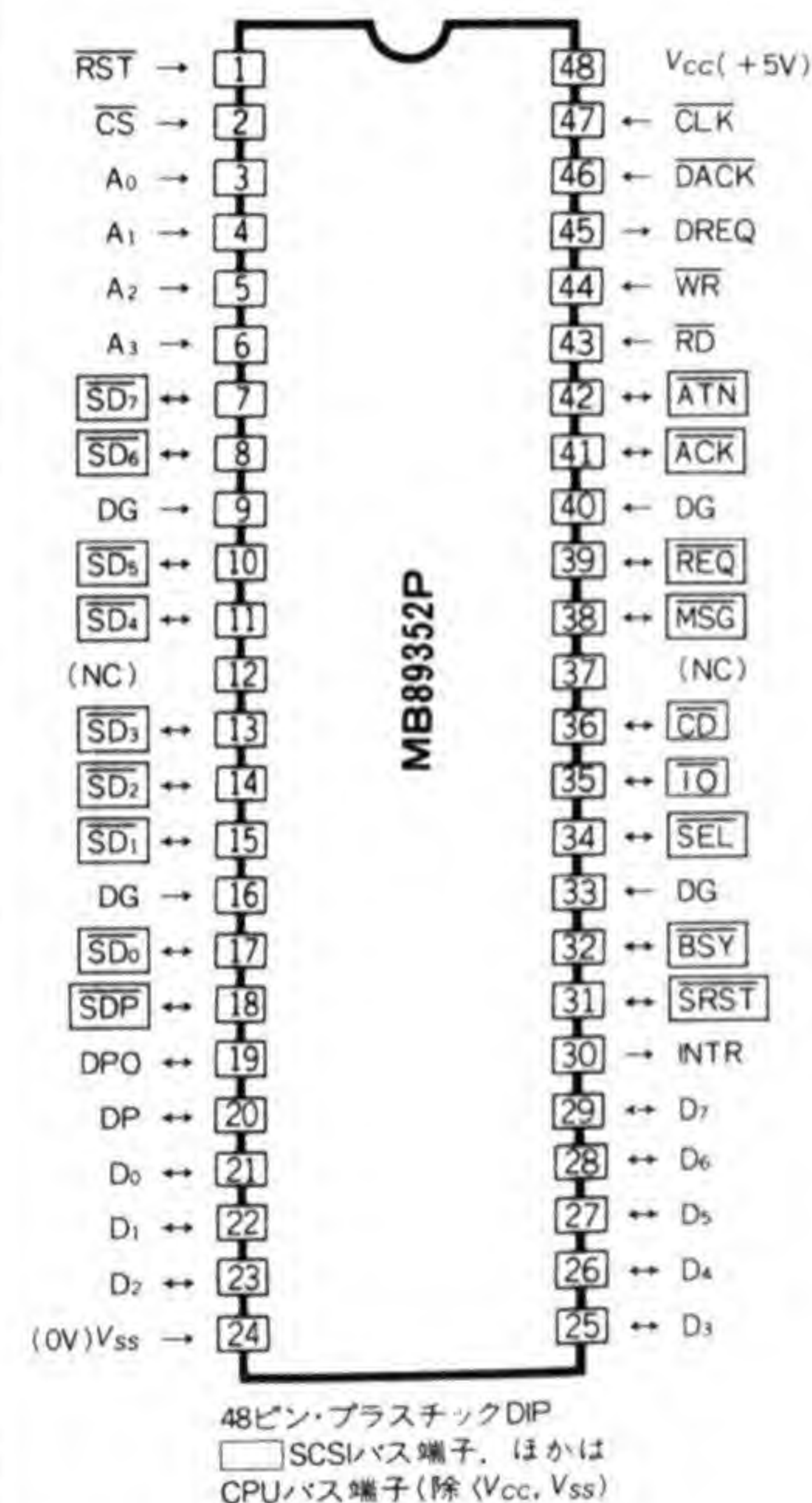
端子名	ピン番号	入出力	機能
$\overline{\text{RST}}$	62	入力	内部回路をクリアするための非同期リセット入力
$\overline{\text{CLK}}$	63	入力	クロック入力
$\overline{\text{CS}}$	61	入力	内部レジスタの選択許可信号
$\overline{\text{RD}}$	44	入力	内部レジスタを読み出すためのストロブ入力
$\overline{\text{WR}}$	43	入力	内部レジスタの書き込みを行うためのストロブ入力
$A_3, A_2 \sim A_0$	60, 57~55	入力	内部レジスタを選択するためのアドレス入力
$D_7 \sim D_0, \text{DP}$	54~46	入出力	内部レジスタのリード/ライトを行うために使用する双方向性のデータ・バス
INTR	42	出力	内部動作の終了, DREGアクセス要求, 及びエラー検出を通知するための割り込み要求信号
$\text{SDBI}_7 \sim \text{SDBI}_0$ SDBIP	1~6, 8~10	入力	SCSIバスの入力端子
$\text{SDBO}_7 \sim \text{SDBO}_0$ SDBOP	11~19	出力	SCSIバスの出力端子
$\overline{\text{DACK}}$	40	入力	DMAモードにおいて、メモリとの転送要求信号DREQに対する応答信号
RESTO RESTI	20, 21	出力 入力	ほかのデバイスへのリセット出力、およびほかのデバイスからのリセット入力信号
DREQ	41	出力	DMAモードにおいて、メモリとの間でデータ転送を実行するための転送を実行するための転送要求信号
DPO	45	出力	$D_7 \sim D_0$ の奇数パリティを出力
SELO, SELI	48, 49	出力 入力	イニシエータおよびターゲットが出力する信号とそれらを検出するための入力信号
BSYO, BSYI	24, 25	出力 入力	SCSIバスの使用状態を示す信号
I/O	26	入出力	データの転送方向を示す

端子名	ピン番号	入出力	機能
C/D	27	入出力	コマンド・フェーズ、ステータス・フェーズおよびメッセージ・フェーズのとき“H”となる
MSG	28	入出力	メッセージ・フェーズのみににおいて“H”となる
REQ	29	入出力	ターゲットがデータの要求やデータの用意ができたことをイニシエータに知らせるためのもの
ACK	30	入出力	ターゲットからの転送要求信号REQに対する応答信号
ATN	31	入出力	アテンション・コンディションを示す信号
INIT, TARG	36, 35	出力	結合状態を表示する信号
$\text{INPUT}_1$ , $\text{INPUT}_2$	33, 34	出力	INIT, TARG信号とはほぼ同様な信号で、それぞれ $\text{INPUT}_1$ , $\text{INPUT}_2$ に対応している
$V_{CC}$	64	入力	+5V電源供給端子
$V_{SS}$	59, 39, 32	入力	ゼロ・グラウンド(0V)
NC	58, 38, 37, 7	—	NC端子
OPEN		—	オープン端子



# SCSI PC (SCSI Protocol Controller)

## ■ ピン接続



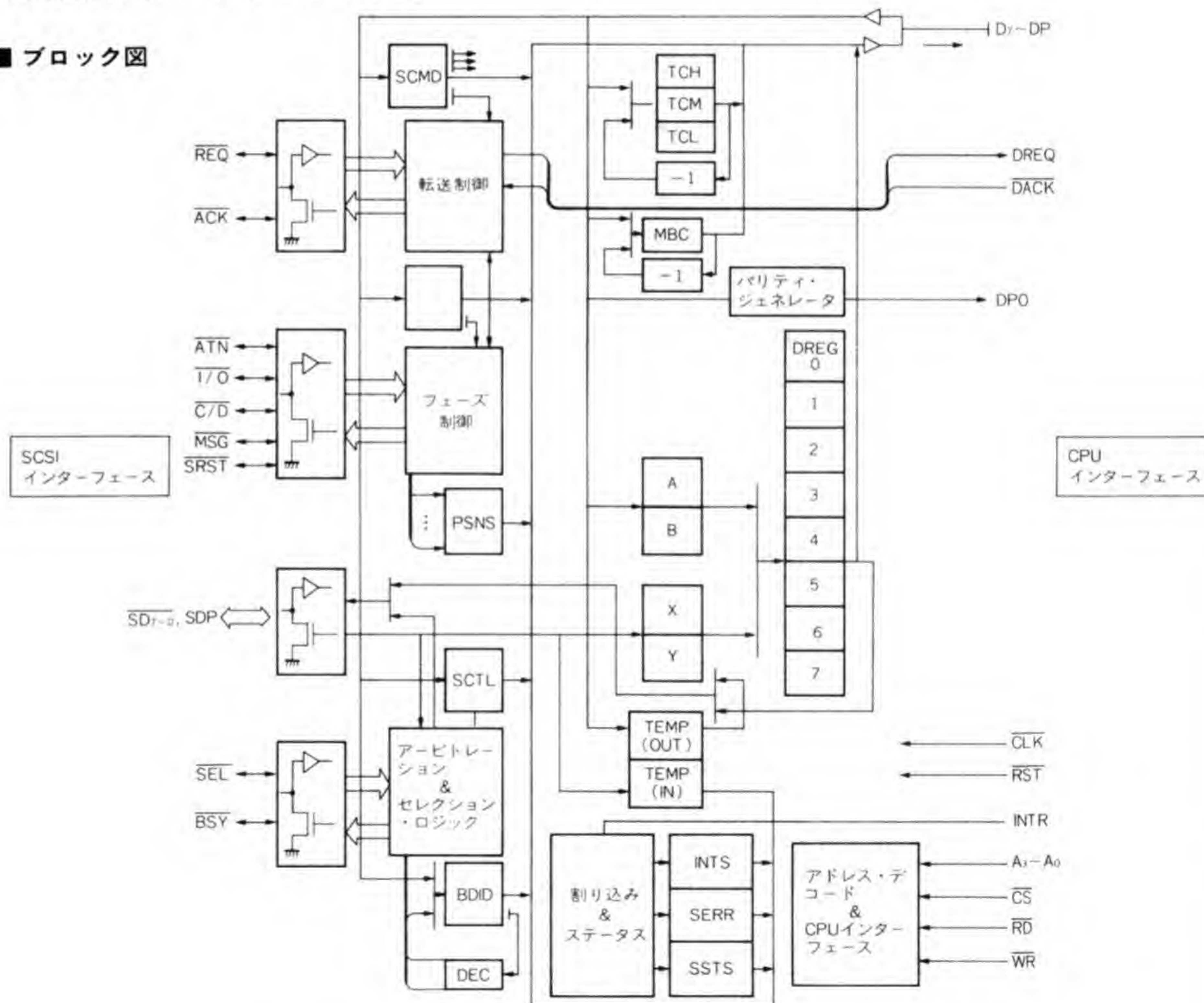
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$V_{SS}-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$V_{SS}-0.3 \sim +7.3$	V
出力電圧	$V_{OUT}$	$V_{SS}-0.3 \sim +7.3$	V
保存温度	$T_{STG}$	$-55 \sim +150$	°C

## ■ 特 徴

- ・ SCSIの同期転送を除くほとんどの機能を実現可能
- ・ 8バイトFIFOによる転送タイミングの軽減
- ・ イニシエータまたはターゲットのいずれの動作も可能
- ・ 大電流駆動用ドライバ/レシーバ内蔵

## ■ ブロック図





## ■ 端子機能

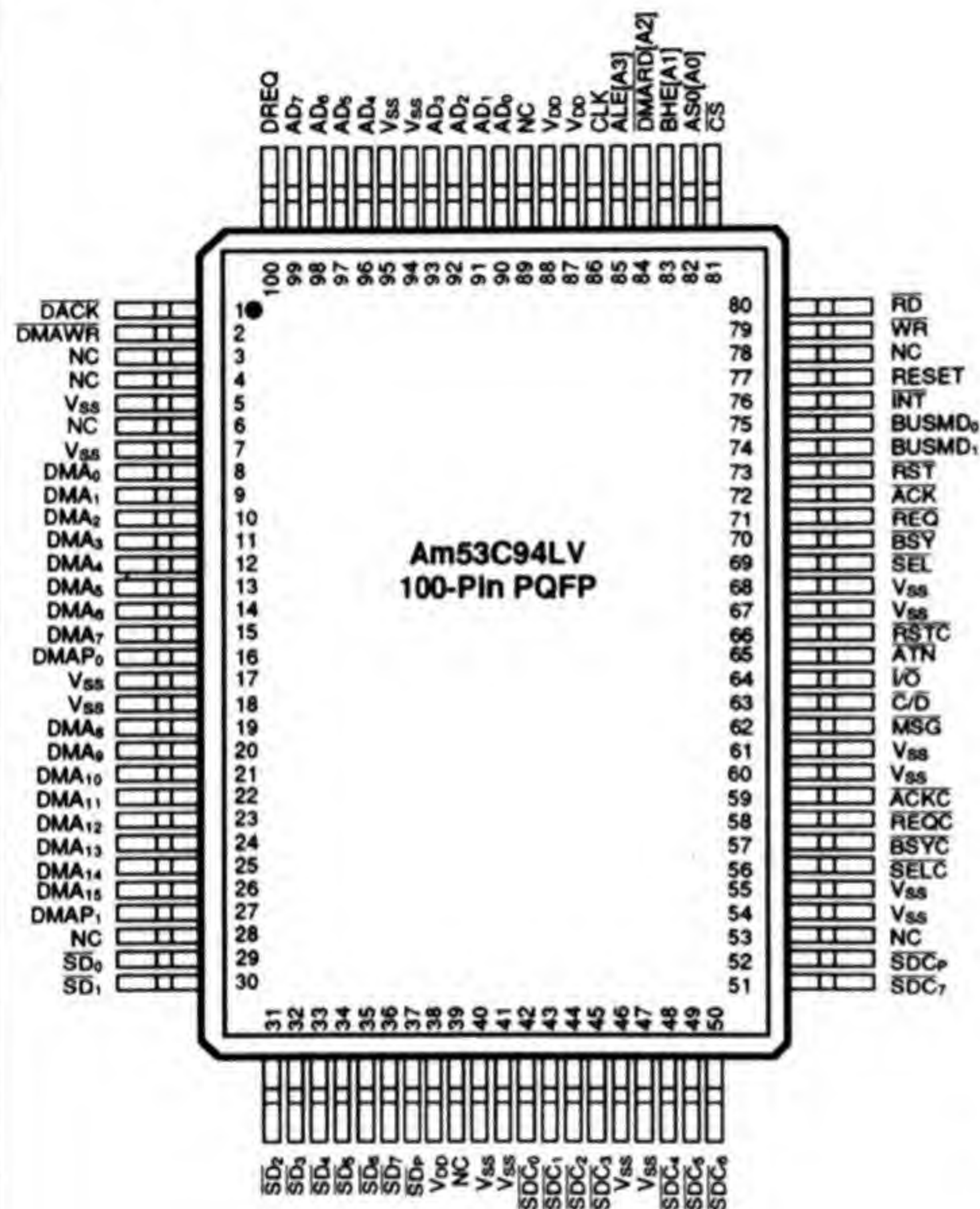
端子名	ピン番号	入出力	機能
$\overline{\text{RST}}$	1	入力	内部回路をクリアするリセット入力
$\overline{\text{CLK}}$	47	入力	内部動作とデータ転送速度を制御するためのクロック入力
$\overline{\text{CS}}$	2	入力	内部レジスタをアクセスするための選択許可信号。この信号がアクティブのとき、次の信号が有効となる。 $\overline{\text{RD}}$ , $\overline{\text{WR}}$ , $\text{A}_3 \sim \text{A}_0$ , $\text{D}_7 \sim \text{D}_0$ , $\text{DP}$
$\overline{\text{RD}}$	43	入力	内部レジスタを読み出すためのストロープ入力。 $\overline{\text{CS}}$ がアクティブのときのみ有効
$\overline{\text{WR}}$	44	入力	内部レジスタの書き込みを行うためのストロープ入力。 $\overline{\text{CS}}$ がアクティブのときのみ有効
$\text{A}_3 \sim \text{A}_0$	6 ~ 3	入力	内部レジスタを選択するためのアドレス入力
$\text{D}_7 \sim \text{D}_0$ , $\text{DP}$	21 ~ 23, 25 ~ 29, 20	入出力	内部レジスタのリード/ライトを行うために使用する双方向性のデータ・バス。奇数パリティ・ビット: $\text{DP}$ 。リード/ライト動作以外では、ハイ・インピーダンス状態となる
$\text{INTR}$	30	出力	内部動作の終了、 $\text{DREQ}$ アクセス要求、およびエラー検出を通知するための割り込み要求信号。 $\overline{\text{SRST}}$ 入力に起因する割り込み (SCSIのリセット・コンディション) 以外はマスク可能。割り込みが許可されていれば、割り込み原因がクリアされるまでアクティブ状態を保持する
$\overline{\text{SD}}_7 \sim \overline{\text{SD}}_0$ , $\overline{\text{SDP}}$	7, 8, 10, 11, 13 ~ 15, 17, 18	入出力	SCSIのデータ・バス。 $\overline{\text{SDP}}$ : 奇数パリティ・ビット、パリティ・チェック実行の有無はプログラマブル
$\text{DREQ}$	45	出力	DMAモードのデータ転送サイクルにおいて、メモリとの間でのデータ転送要求信号
$\overline{\text{DACK}}$	46	入力	メモリとの転送要求信号 $\text{DREQ}$ に対する応答信号。転送モードにおいて、プログラム転送モード時の $\overline{\text{CS}}$ , $\text{A}_3 \sim \text{A}_0$ , "\$A"に相当する
$\overline{\text{SRST}}$	31	入出力	SCSIリセット信号。レジスタの設定によりアクティブにすることができる。SCSIリセットはマスク不可能

端子名	ピン番号	入出力	機能
$\text{DPO}$	19	入出力	$\text{D}_7 \sim \text{D}_0$ の奇数パリティを出力する。パリティ・ジェネレータがない場合、 $\text{DP}$ への入力信号として使用可能
$\overline{\text{SEL}}$	34	入出力	SCSIのバス・フェーズのセレクションおよびリセレクション・フェーズにおいて使用される
$\overline{\text{BSY}}$	32	入出力	SCSIバスの使用状態を示す。アービトレーション・フェーズおよびターゲットとして結合中アクティブとなる。 $\overline{\text{SEL}}$ と共にバス・フリー・フェーズ検出に使用される
$\overline{\text{IO}}$	35	入出力	情報転送フェーズにおいて、データの転送方向を示す。"L"のときターゲット→イニシエータ、"H"のときイニシエータ→ターゲットとなる
$\overline{\text{CD}}$	36	入出力	情報転送フェーズにおいて、コマンド・フェーズ、ステータス・フェーズ、およびメッセージ・フェーズのときアクティブとなる
$\overline{\text{MSG}}$	38	入出力	情報転送フェーズにおいて、メッセージ・フェーズのみにアクティブになる
$\overline{\text{REQ}}$	39	入出力	情報転送フェーズにおいて、ターゲットがデータの要求やデータの用意ができたことをイニシエータに知らせるためのもの。データ転送シーケンスのタイミング制御信号として使用される
$\overline{\text{ACK}}$	41	入出力	情報転送フェーズにおいて、ターゲットからの転送要求信号 $\overline{\text{REQ}}$ に対する応答信号。 $\overline{\text{REQ}}$ と同様、データ転送シーケンスのタイミング信号として使用される
$\overline{\text{ATN}}$	42	入出力	アテンション・コンディションを示す信号。ターゲットとして動作しているとき、この信号の状態はレジスタに示される
$\text{DG}$	33	入力	ドライバ・グラウンド。電気的には $V_{SS}$ (0V) と同じもの
(NC)	12, 37	—	内部につながっていないが、原則として接続しない



# SCSI-2 プロトコル・コントローラ

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

## ■ DC 特性

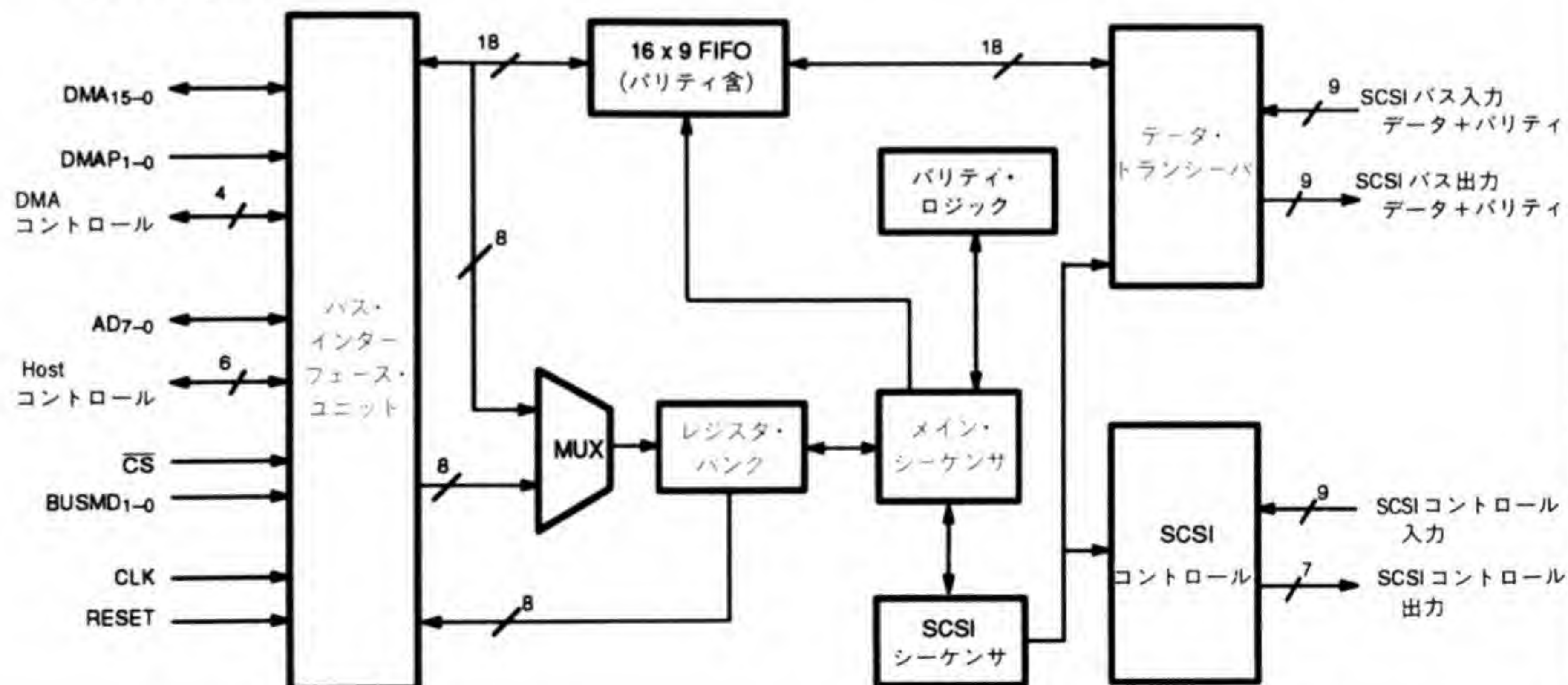
( $T_a = 0 \sim 100^\circ\text{C}$ ,  $V_{CC} = 2.9 \text{ V} \sim 3.7 \text{ V}$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.4	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2 \text{ mA}$	0.45	V
$V_{OH}$		2.2*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 15$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 15$	$\mu\text{A}$

## ■ 特徴

- ・ Am53C94 とコンパチブルで、3.3 V での低電圧動作可能な SCSI-2 コントローラ
- ・ SCSI 転送速度：5 Mビット/秒
- ・ DMA 転送速度：20 Mビット/秒
- ・ 16 ビットの DMA インターフェースと 2 ビットのパリティをもつ
- ・ フレキシブルなバス・アーキテクチャ
- ・ シングル・エンド伝送型式の SCSI バスをサポート
- ・ アドレスおよびデータ・バスはマルチプレクス、ノン・マルチプレクスの選択可能
- ・ 48 mA の SCSI バス・ドライブ能力をもつ
- ・ バースト・モード DMA 動作をサポート

## ■ ブロック図





## ■端子機能

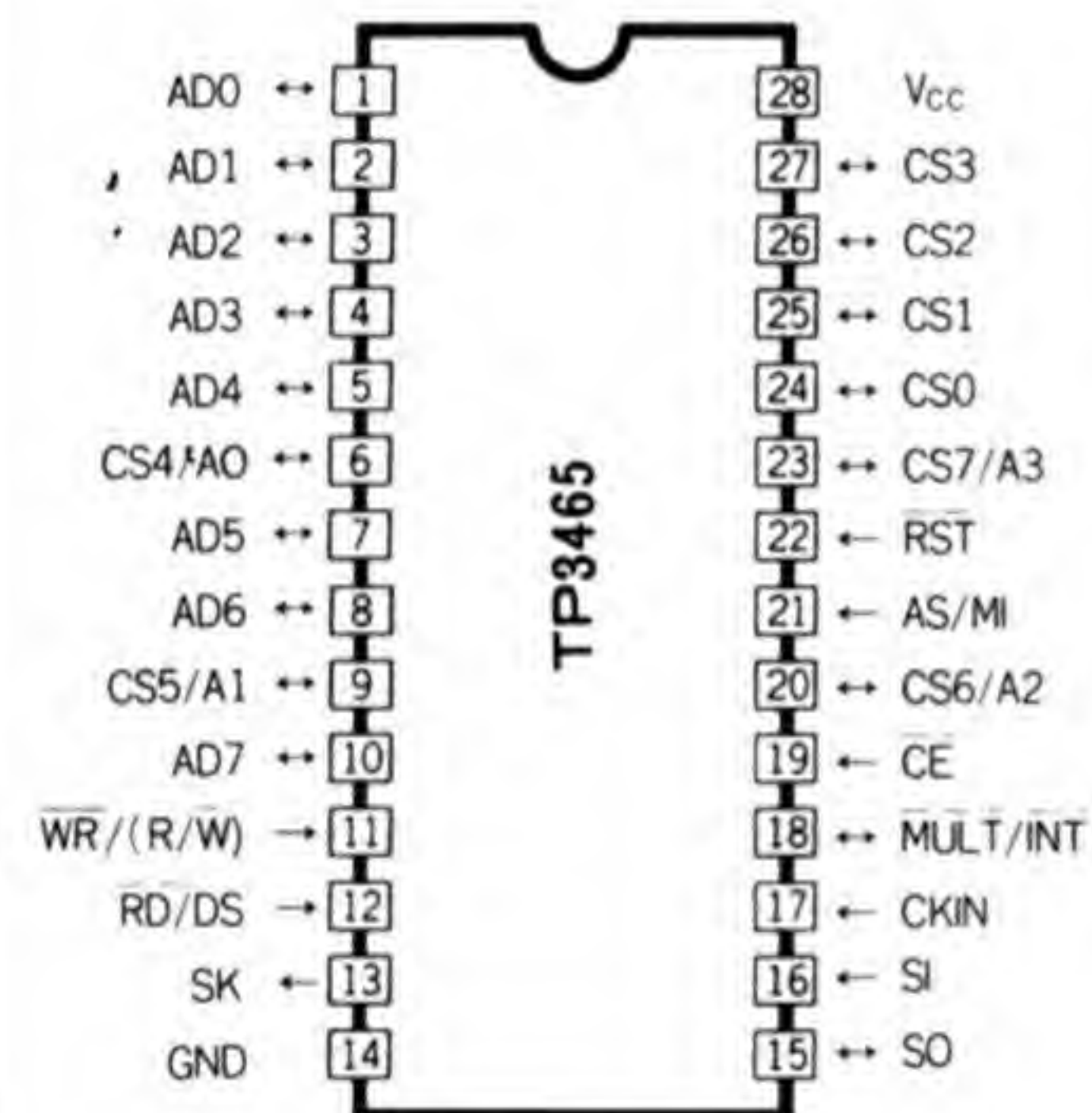
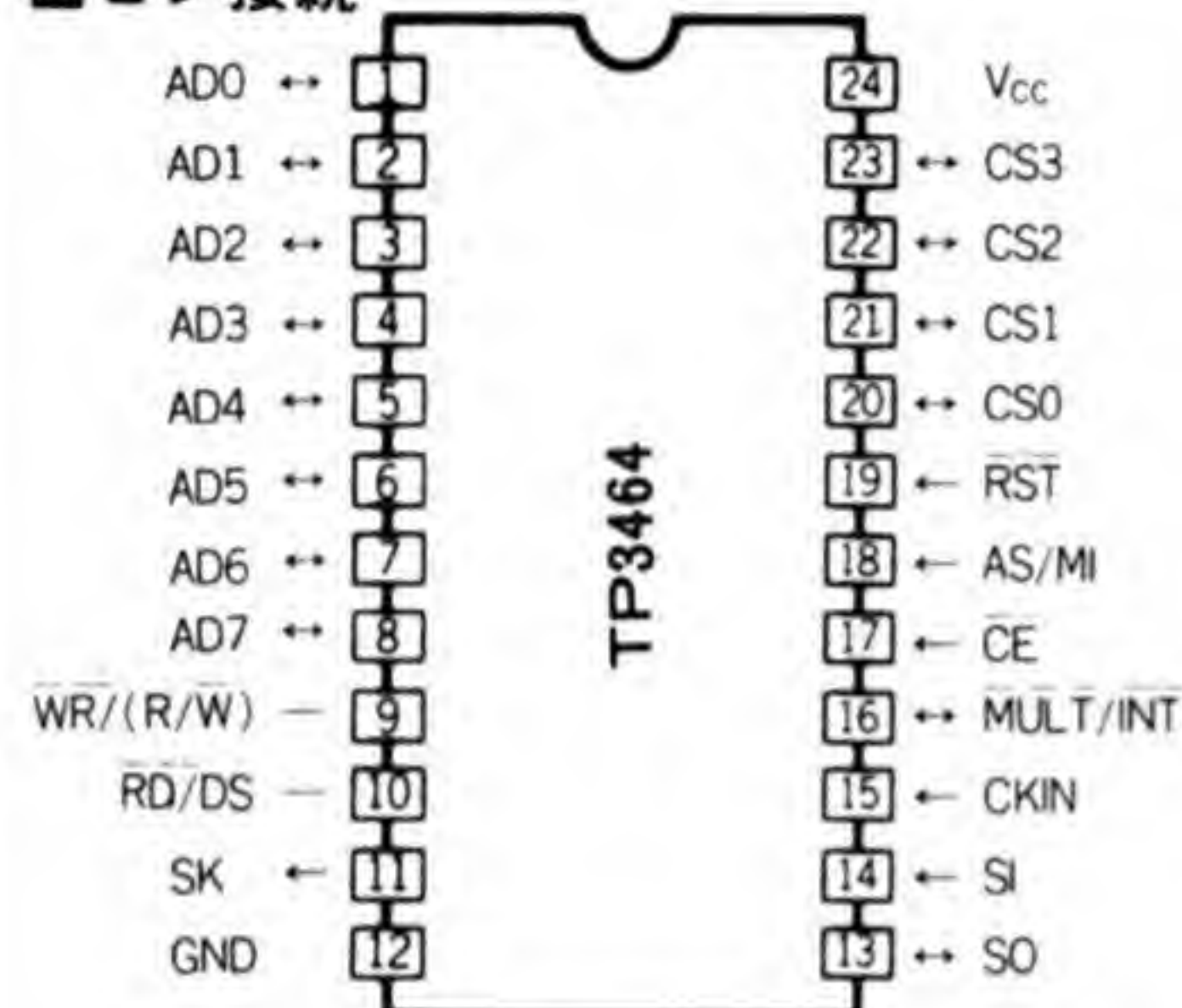
端子名	ピン番号	入出力	機能
DMA <sub>15~0</sub>	26~19, 15~8	入出力	データ/DMA バス。バス・モードの設定でコンフィギュレーションが変わる
DMA <sub>15</sub> , DMA <sub>0</sub>	27 16	入出力	データ/DMA パリティ・バス。DMA15~0 バス・データの奇パリティ
ALE (A <sub>3</sub> )	85	入力	アドレス・ラッチ・イネーブル (アドレス 3)
DMARD (A <sub>2</sub> )	84	入力	DMA リード (アドレス 2)
BHE (A <sub>1</sub> )	83	入力	バス・ハイ・イネーブル (アドレス 1)
AS0 (A <sub>0</sub> )	82	入力	アドレス・ステータス (アドレス 0)
DREQ	100	出力	DMA リクエスト端子で、DMA コントローラに接続する
DACK	1	入力	DMA アクノリッジ端子で、DMA コントローラの出力を接続
AD <sub>7~0</sub>	99~96, 93~90	入出力	ホストのアドレス・データ・バス。デュアル・バス・モードの時のみ使用される
DMAWR	2	入力	DMA ライト。内蔵 FIFO のデータを DMA15~0 に出力する
RD	80	入力	内部レジスタ・データを読み出すためのリード信号
WR	79	入力	内部レジスタにデータを書き込むためのライト信号
CS	81	入力	チップ・セレクト信号
INT	76	出力	ホスト・プロセッサへのノン・マスカブル・インタラプト出力
BUSMD <sub>0</sub> , BUSMD <sub>1</sub>	75 74	入力	シングル・バスまたはデュアル・バスのモードとバス幅を決定する
CLK	86	入力	内部動作のクロック入力端子
RESET	77	入力	内部回路リセット入力
SD <sub>7~0</sub>	36~29	入力	SCSI データ入力端子
SD <sub>p</sub>	37	入力	SCSI データ・パリティ入力端子
SDC <sub>7~0</sub>	51~48, 45~42	出力	SCSI 出力端子
SDC <sub>p</sub>	52	出力	SCSI データ・パリティ出力端子

端子名	ピン番号	入出力	機能
MSG	62	入出力	48mA ドライブ能力をもつメッセージ端子。イニシエータのとき入力、ターゲットのとき出力となる
C/D	63	入出力	48mA ドライブ能力をもつコマンド/データ端子。イニシエータのとき入力、ターゲットのとき出力となる
I/O	64	入出力	48mA ドライブ能力をもつ I/O 端子。イニシエータのとき入力、ターゲットのとき出力となる
ATN	65	入出力	アテンション・コンディション信号。イニシエータ・モードで 48mA 出力、ターゲット・モードでシュミット入力となる
BSY	70	入力	SCSI バスの使用状態を示すビジィ入力 (シュミット)
SEL	69	入力	SCSI のセレクト信号入力 (シュミット)
RST	73	入力	SCSI のリセット信号入力 (シュミット)
REQ	71	入力	SCSI のリクエスト信号入力 (シュミット)
ACK	72	入力	SCSI のアクノリッジ信号入力 (シュミット)
BSYC	57	出力	SCSI のビジィ・コントロール信号出力で、48mA ドライブ能力のあるオープン・ドレイン端子
SELC	56	出力	SCSI のセレクト信号出力で、48mA ドライブ能力のあるオープン・ドレイン端子
RSTC	66	出力	SCSI のリセット信号出力で、48mA ドライブ能力のあるオープン・ドレイン端子
REQC	58	出力	SCSI のリクエスト信号出力で、48mA ドライブ能力のあるオープン・ドレイン端子
ACKC	59	出力	SCSI のアクノリッジ信号出力で、48mA ドライブ能力のあるオープン・ドレイン端子



# MID[MICROWIRE™ Interface Device]

## ■ピン接続



## ■特 徴

- ・各種CPUと最大8個の周辺LSIとの間でシリアルMICROWIREインターフェースでの通信を可能にする
- ・マルチプレクス、ノン・マルチプレクスCPUバスとコンパチブル
- ・CPUからのマスタ・クロックは最大20MHz
- ・MICROWIREシリアル・クロックは最大5MHz
- ・MICROWIRE接続された周辺デバイスは、CPUからメモリ・マップドI/Oと見える
- ・MICROWIREシリアル・クロックはプログラマブルで、異速度デバイスとの通信を可能とする

## ■最大定格

項 目	記号	定 格	単 位
電源電圧	$V_{CC}$	7	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
消費電力	$P_D$	0.25	W
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

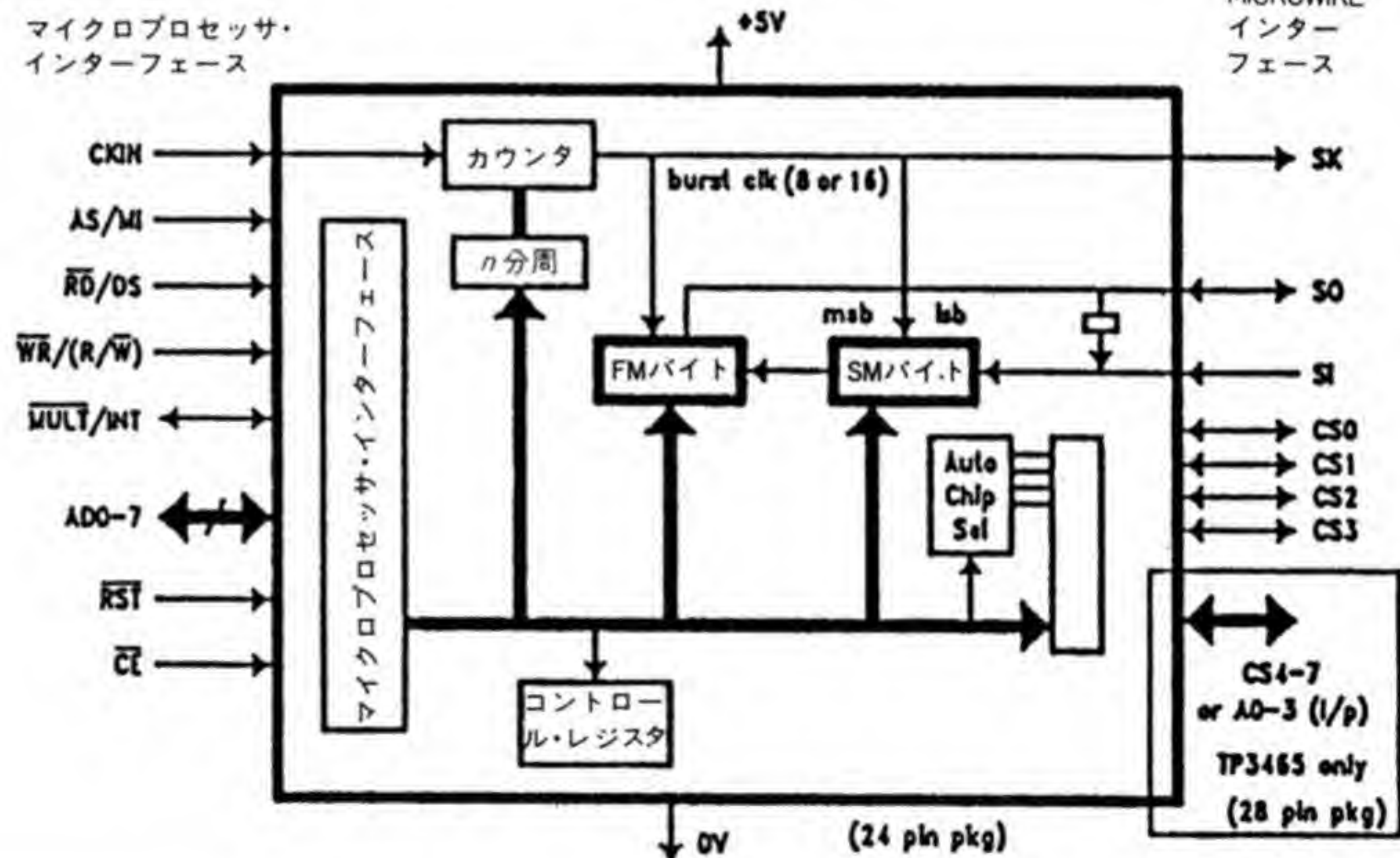
## ■DC 特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 1\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 1\text{mA}$	2.4*	V
$I_{OL}$	$V_{OUT} = \text{HiZ}$	$\pm 20$	$\mu\text{A}$
$I_{IL}$		10	$\mu\text{A}$

## ■ブロック図

マイクロプロセッサ・インターフェース





## ■端子機能

端子名	名称	TP3464 ピン番号	TP3465 ピン番号	入出力	機能
CKIN	クロック入力	15	17	入力	SKクロック生成用のマスタ・クロック入力
SK	MICROWIREクロック出力	11	13	出力	MICROWIRE™クロック出力
SO	データ出力	13	15	入出力	MICROWIREシリアル・データ出力、MICROWIREデータ入力として使われることもある
SI	データ入力	14	16	入力	MICROWIREシリアル・データ入力
CS0~CS3	チップ・セレクト	20~23	24~27	入出力	MICROWIRE周辺デバイス選択に使用されるチップ・セレクト端子
CS4~CS7	チップ・セレクト	—	6, 9, 20, 23	入出力	マルチプレクス・バス・モードで使用されるチップ・セレクト端子で、TP3465のみで使用できる
AD0~AD7	アドレス/データ・バス	1~8	1, 2, 3, 4, 5, 7, 8, 10	入出力	アドレス、データ・バス、CPUとの間でデータ、アドレスの転送を行う
$\overline{CE}$	チップ・イネーブル	17	19	入力	“L”のときに、リード/ライト動作が可能になる
$\overline{WR}/(R/\overline{W})$	ライト/リード・ライト方向	9	11	入力	ライト動作またはリード・ライト方向を示す信号の入力
$\overline{RD}/DS$	リード/データ・ストロープ	10	12	入力	リード動作またはデータ・ストロープ信号の入力
AS/MI	アドレス・ラッチ/ アドレス・ストロープ	18	21	入力	“H”のとき、外部A/Dバスにアドレスがあることを示す。MULT=1のときは、バスのタイプ (MI=1はNSC/INTELフォーマット、MI=0はMotorolaフォーマット) を示す信号の入力
$\overline{RST}$	マスタ・リセット	19	22	入力	パワー・オン・リセット入力
$\overline{MULT}/\overline{INT}$	マルチプレクス・バス/割り込み出力	16	18	入出力	内部でプルアップされており、マルチプレクス・バス・フォーマット時は外部でプルダウンする

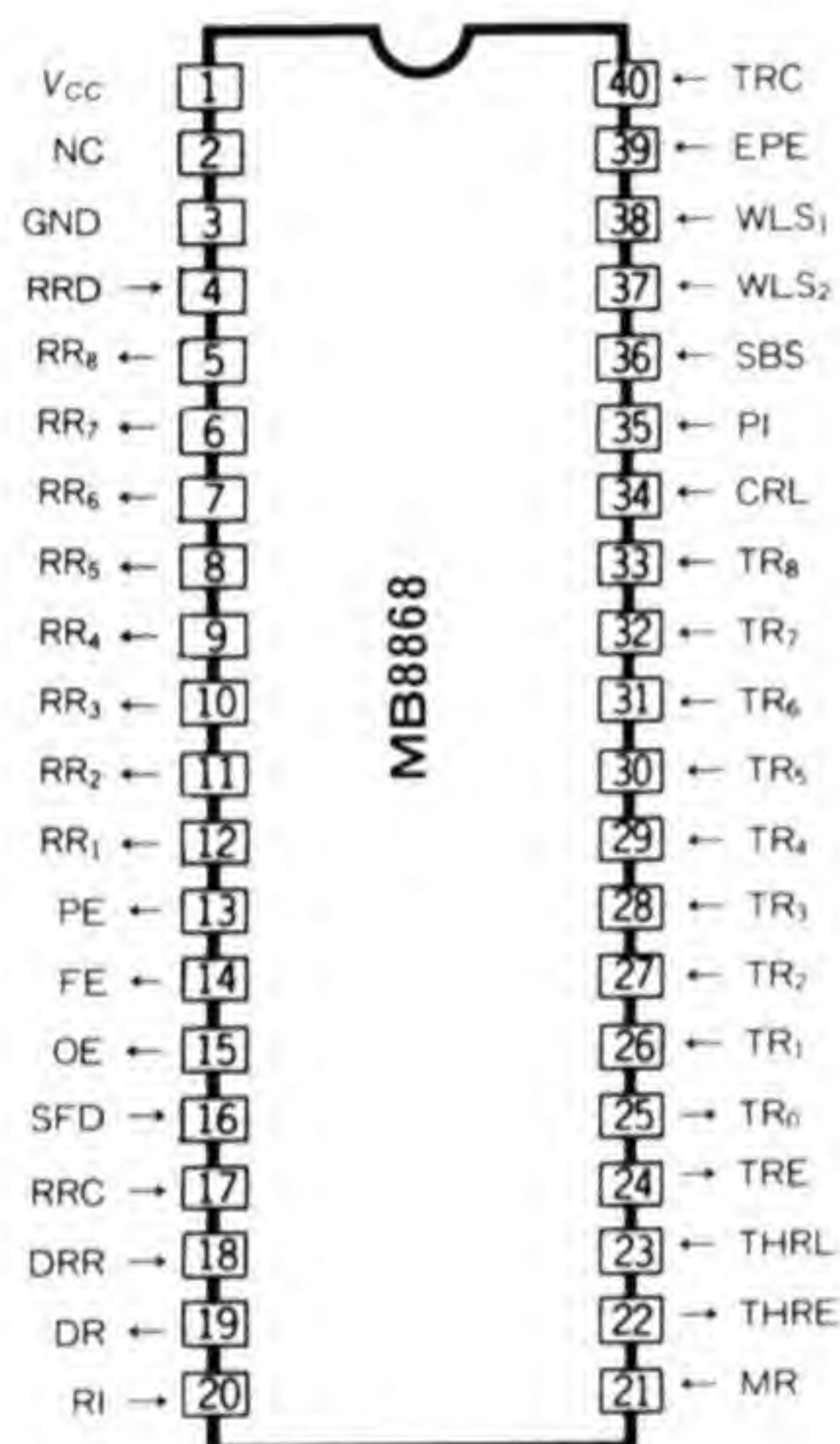
(注) MICROWIRE™インターフェース・デバイス(MID)は、パワー・オン時に $\overline{MULT}/\overline{INT}$ 端子をサンプリングし、この端子が“LOW”の時は、マルチプレクス・バス・モードで動作し、“High”の時はノン・マルチプレクス・バス・モードで動作する。各モードの時のMID端子と各社バスの信号との対応は下表の通りである。

MID端子	NSC/Intelバス		Motorolaバス	
	マルチプレクス・バス	ノン・マルチプレクス・バス	マルチプレクス・バス	ノン・マルチプレクス・バス
AS/MI	ALE	MI=1	AS	MI=0
$\overline{RD}/DS$	$\overline{RD}$	$\overline{RD}$	DS	DS
$\overline{WR}/(R/\overline{W})$	$\overline{WR}$	$\overline{WR}$	(R/ $\overline{W}$ )	(R/ $\overline{W}$ )



# UART (Universal Asynchronous Receiver/Transmitter)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim 7.0$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

## ■ DC特性

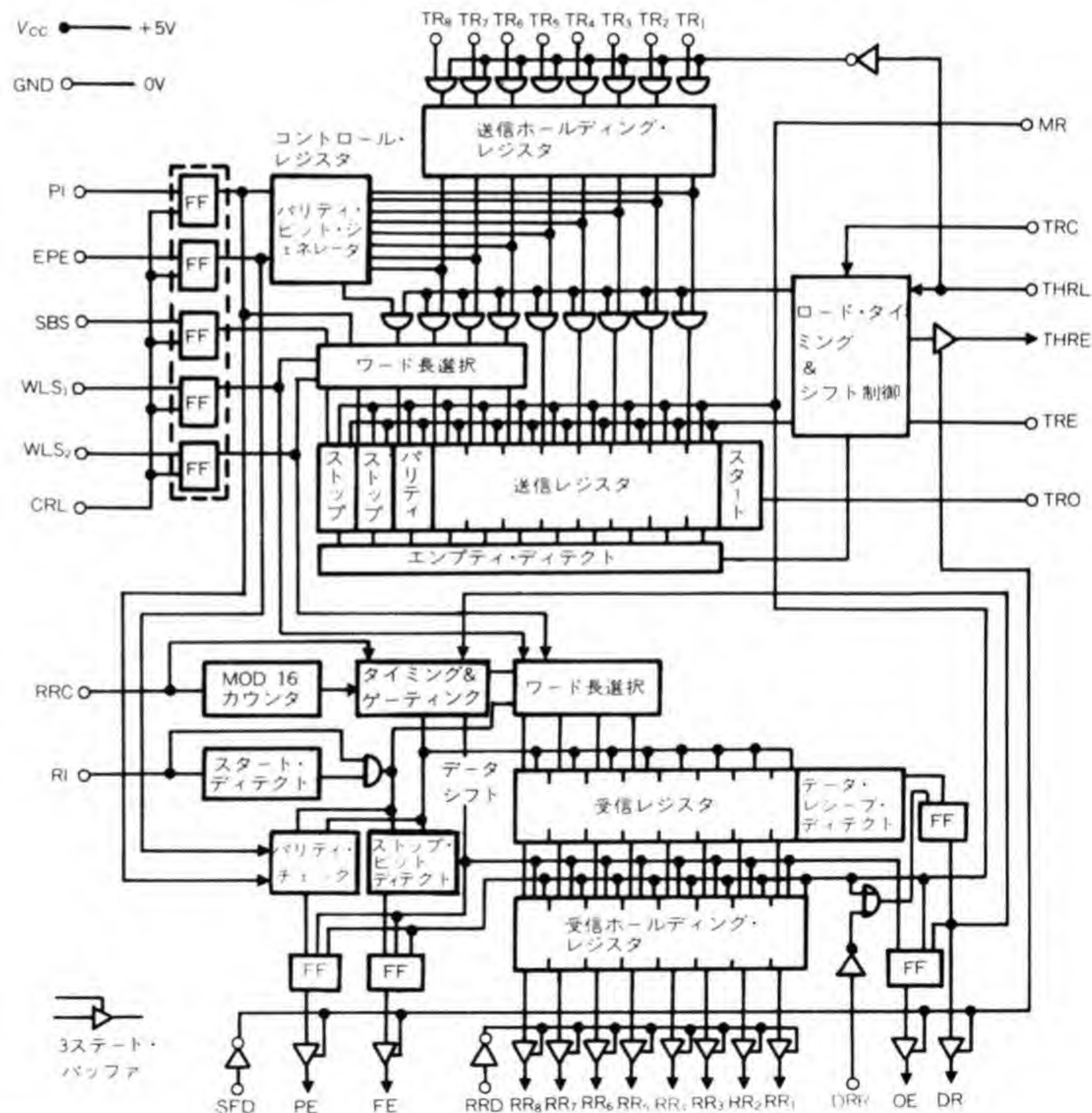
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5V \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 1.8\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 0.2\text{mA}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 20$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	350	$\mu\text{A}$
$C_{IN}$		10	pF

## ■ 特徴

- ・ シリアル・ポートをもったCPUのシリアル・バス・インターフェース
- ・ EMIを妨げる様に設計された中速非同期ディファレンシャル・シグナル・バスへの接続を提供する
- ・ 68HC05系のネットワーク・バスへの接続が可能

## ■ ブロック図



- ・ SCI, SPI, バッファSPIの三つの動作モードをもつ
- ・ データ・コリジョン・ディテクション機能をもつ
- ・ バス・アービトラージ機能をもつ
- ・ アイドル・ディテクション機能をもつ
- ・ プログラマブル・クロック分周
- ・ パワーオン・リセット回路内蔵



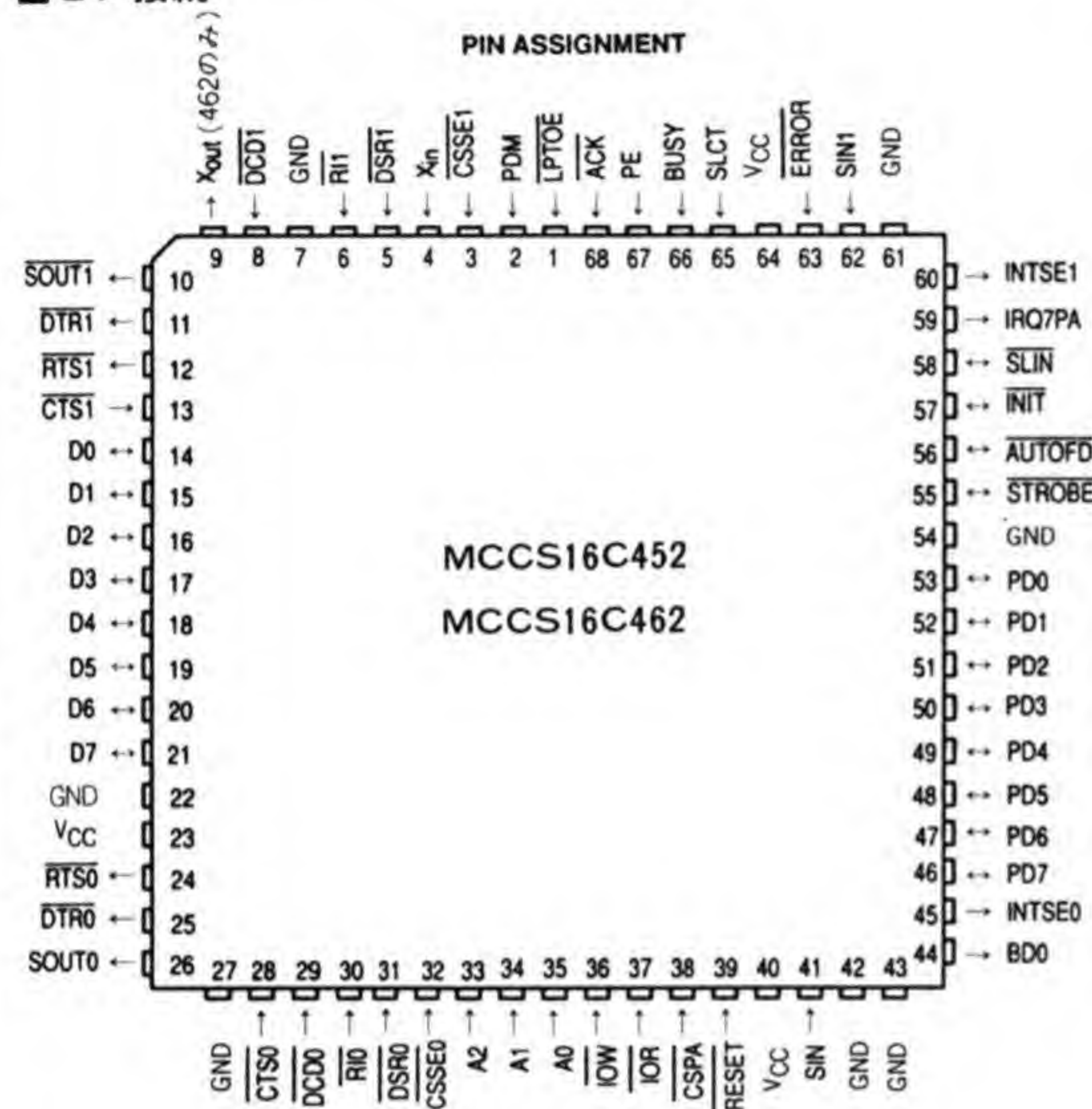
## ■端子機能

端子名	名称	ピン番号	入出力	機能
V <sub>CC</sub>	電源	1	—	+5 V 電源
GND	グラウンド	3	—	グラウンド
RRD	RR ディスコネクト	4	入力	"H" にすると RR <sub>0</sub> ~RR <sub>1</sub> 出力がハイ・インピーダンス状態となる
RR <sub>0</sub> ~RR <sub>1</sub>	レシーバ・レジスタ	5~12	出力	RRD 入力が "L" レベルのとき、受信ホールディング・レジスタのデータがこれらの端子に平行で出力される
PE	パリティ・エラー	13	出力	"H" レベル出力のとき、受信したパリティがプログラムされたものと異なっていることを示す
FE	フレーミング・エラー	14	出力	"H" レベル出力のとき、受信データのストップ・ビットが不完全であることを示す
OE	オーバラン・エラー	15	出力	"H" レベル出力のとき、次のキャラクタが受信ホールディング・レジスタに転送される前に DR 端子がリセットされなかったことを示す
SFD	ステータス・フラグ・ディスコネクト	16	入力	"H" レベルの電圧を加えることにより、PE, FE, OE, DR および THRE 端子はハイ・インピーダンス状態となる
RRC	レシーブ・クロック	17	入力	レシーバ・クロックをこの端子に入力する
DRR	DR リセット	18	入力	"L" レベルの電圧を加えることにより DR 端子がリセットされる
DR	データ・レシーブ	19	出力	"H" レベル出力になればデータが受信され、受信ホールディング・レジスタに転送されたことを示す
RI	レシーバ入力	20	入力	シリアル・データはこの端子から受信され、受信レジスタに送られ、ワード長、パリティおよびストップ・ビットがチェックされる
MR	マスタ・リセット	21	入力	"H" レベルの電圧を加えると UART はマスタ・リセットされる
THRE	THR エンプティ	22	出力	"H" レベル出力のとき、送信ホールディング・レジスタに新しいデータの書き込みが可能であることを示す
THRL	THR ロード	23	入力	"L" レベルの電圧を加えることにより、TR <sub>0</sub> ~TR <sub>1</sub> にセットされているデータは、送信ホールディング・レジスタに書き込まれる
TRE	TR エンプティ	24	出力	"H" レベル出力のとき、送信レジスタがストップ・ビットをも含めたデータの送信を完了したことを示す
TRO	TR 出力	25	出力	送信レジスタ内のデータはこの端子からシリアルに出力される
TR <sub>0</sub> ~TR <sub>1</sub>	トランスミッタ・レジスタ	26~33	入力	送信されるデータは、これらの入力端子 (TR <sub>0</sub> ~TR <sub>1</sub> ) から送信ホールディング・レジスタに書き込まれる
CRL	コントロール・レジスタ・ロード	34	入力	"H" レベルの電圧を加えることにより、コントロール端子 (WLS <sub>1</sub> , WLS <sub>2</sub> , EPE, PI, SBS) にセットされているデータがコントロール・レジスタに書き込まれる
PI	パリティ禁止	35	入力	"H" レベルの電圧が加えられると、パリティの発生およびチェックが禁止され、PE 出力は "L" レベル出力に保たれる
SBS	ストップ・ビット選択	36	入力	パリティ・ビットの後に続いて送信されるストップ・ビットの数を選択する
WLS <sub>2</sub> , WLS <sub>1</sub>	ワード長選択	37~38	入力	これらの二つの端子により、ワード長 (パリティ・ビットを除く) を 5~8 ビットのいずれかを選択する
EPE	パリティ種別	39	入力	送信部で発生するパリティと受信部でチェックするパリティを偶数か奇数に決める
TRC	トランスミット・クロック	40	入力	トランスミッタ・クロックを、この端子に入力する



# MFP(Multi Function Peripheral)

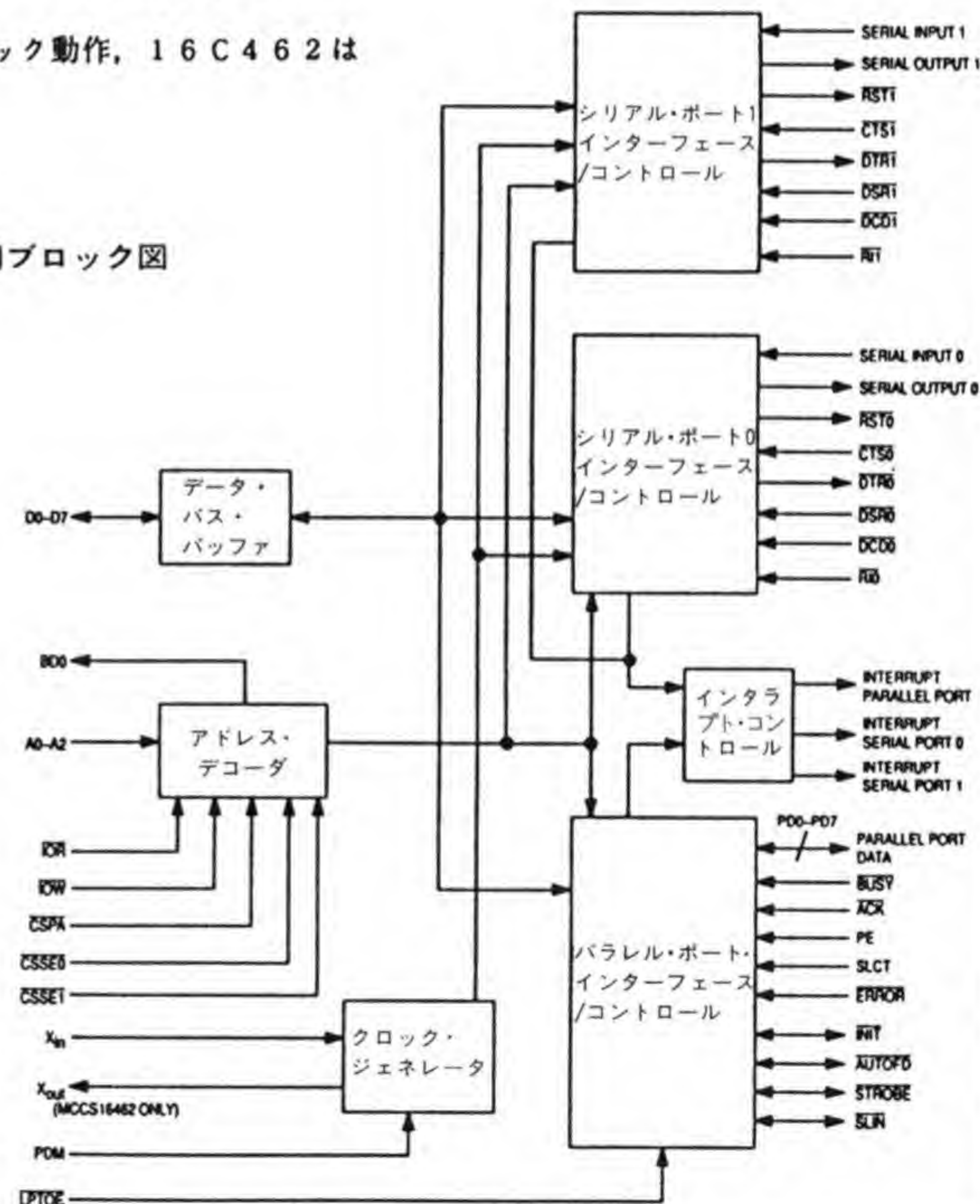
## ■ピン接続



## ■特 徴

- ・ IBM PC XT/ATシステムとコンパチブルな I/O コントローラ
- ・ NS16450, NS8250 とコンパチブルな二つの全二重シリアル・ポート内蔵
- ・ 各シリアル・ポートのボーレートはプログラマブル
- ・ セントロニクス・プリンタ対応可能な双方向パラレル・ポート内蔵
- ・ パラレル・ポートはレベル・センスの割り込み入力機能を持つ
- ・ 16C452 は外部クロック動作, 16C462 は水晶発振回路内蔵

## ■ブロック図



## ■最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
消費電力	$P_D$	1	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-50~150	°C

## ■ DC 特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm5\%$ )

記号	測定条件	max/min*	単位
$V_H$		0.8	V
$V_{OH}$		2.0*	V
$V_{OL}$	$I_{OL}=4\text{mA}$	0.4	V
$V_{IH}$	$I_{IH}=4\text{mA}$	2.4*	V
$I_{OFL}$	$V_{OH}=0\sim V_{CC}$	$\pm 1$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0$ , $V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IS}$	$f=1\text{MHz}$	10	pF



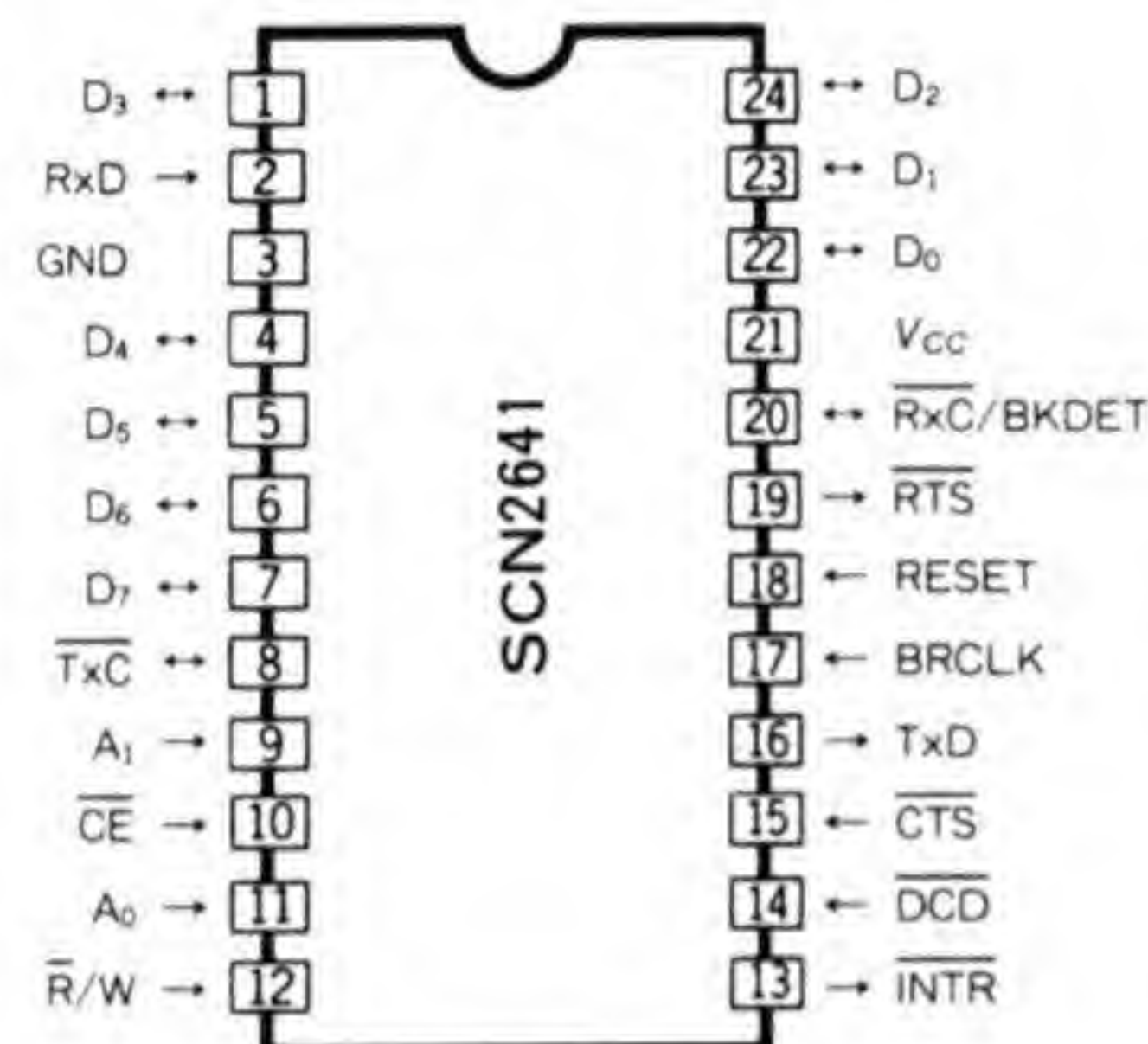
## ■端子機能

端子名	名称	ピン番号	入出力	機能
LPTOE	ライン・プリンタ出力イネーブル	1	入力	PD0～PD7の平行・データがイネーブルであることを示す入力
PDM	パワー・ダウン・モード	2	入力	内部クロックを停止させるためのパワー・ダウン端子
CSSE1	シリアル・ポート1・セレクト	3	入力	シリアル・ポート1のチップ・セレクト、ロー・アクティブ
Xin	クロック入力	4	入力	外部クロック入力、1.8432、2.4576、3.072 MHzのいずれかを入力する
Xout	クロック出力	9	出力	MCCS16462のみの端子で、水晶接続用端子、Xinとペアで使用
DSRI, DSR0	データ・セット・レディ1, 0	5, 31	入力	“L” のとき、モデムまたはデータ・セットが送信可能な状態であることを示す
DTRI, DTR0	データ・ターミナル・レディ1, 0	11, 25	出力	“L” のとき、モデムに通信可能な状態であることを示す
RTSI, RTS0	リクエスト・トゥ・センド1, 0	12, 24	出力	“L” のとき、モデムにデータ転送可能な状態であることを示す
CTSI, CTS0	クリア・トゥ・センド1, 0	13, 28	入力	“L” のとき、モデムまたはデータ・セットが受信可能な状態であることを示す
DCDI, DCD0	データ・キャリア・ディテクト1, 0	8, 29	入力	“L” のとき、データ・キャリアがモデムまたはデータ・セットによって検出されたことを示す
SOUT1, SOUT0	シリアル・アウト1, 0	10, 26	出力	シリアル・データの送信端子
SIN1, SIN0	シリアル・イン1, 0	62, 41	入力	シリアル・データの受信端子
RI1, RI0	リング・インジケータ1, 0	6, 30	入力	“L” のとき、電話のベル音がモデムまたはデータ・セットに受信されたことを示す
CSSE0	シリアル・ポート0・セレクト	32	入力	シリアル・ポート0のチップ・セレクト、ロー・アクティブ
D0～D7	データ・バス0～7	14～21	入出力	データの転送に使用する双方向バス
A0～A2	アドレス・バス0～2	33～35	入力	内部レジスタ、バッファ選択用のアドレス入力
IOW	I/Oライト	36	入力	I/Oバスからのデータ書き込みストロブ
IOR	I/Oリード	37	入力	I/Oバスからのデータ読み取りストロブ
CSPA	平行・ポート・チップ・セレクト	38	入力	平行・ポートのチップ・セレクト信号、ロー・アクティブ
RESET	リセット	39	入力	内部レジスタ類のリセット信号入力
BD0	バス・データ出力	44	出力	シリアル・ポート、平行・ポートが読み取り中であることを示す
INTSEI, INTSE0	シリアル・インタラプト1, 0	60, 45	出力	“H” のときCPUに対し、シリアル・ポートの割り込み要求を示す
STROBE	プリンタ・ストロブ	55	入出力	プリンタ・データ・バス上のデータが読み取り可であることを示す、オープン・ドレイン端子
AUTOFD	オート・フォーム・フィード	56	入出力	プリンタへのライン・フィード信号、オープン・ドレイン
INIT	プリンタ・イニシャライズ	57	入出力	プリンタへのイニシャライズ信号で、内部プリント・バッファをクリアする必要がある、オープン・ドレイン端子
SLIN	プリンタ・セレクト・イン	58	入出力	プリンタへのデータ入力準備を知らせる信号、オープン・ドレイン端子
PD0～PD7	平行・ポート・データ・バス	46～53	入出力	平行・ポートのデータ入出力バス
ERROR	プリンタ・エラー	63	入力	プリンタからのエラー信号で、紙切れ、オフラインなどを知らせる
IRQPA	平行・ポート・インタラプト・リクエスト	59	出力	“H” のときCPUに対し、プリンタ・レディであることを示す割り込み要求
SLCT	プリンタ・セレクト	65	入力	“H” のとき、プリンタが選択されデータ受け付け可であることを示す
BUSY	プリンタ・ビジィ	66	入力	“H” のとき、プリンタがビジィでデータ受け付け不可であることを示す
PE	ペーパ・エンブティ	67	入力	“H” のとき、プリンタから紙切れ発生を示す
ACK	データ・アクノリッジ	68	入力	“L” のとき、プリンタがデータを受け入れたことを示す



# ACI (Asynchronous Communication Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~6.0	V
入力電圧	$V_{IN}$	-0.5~6.0	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

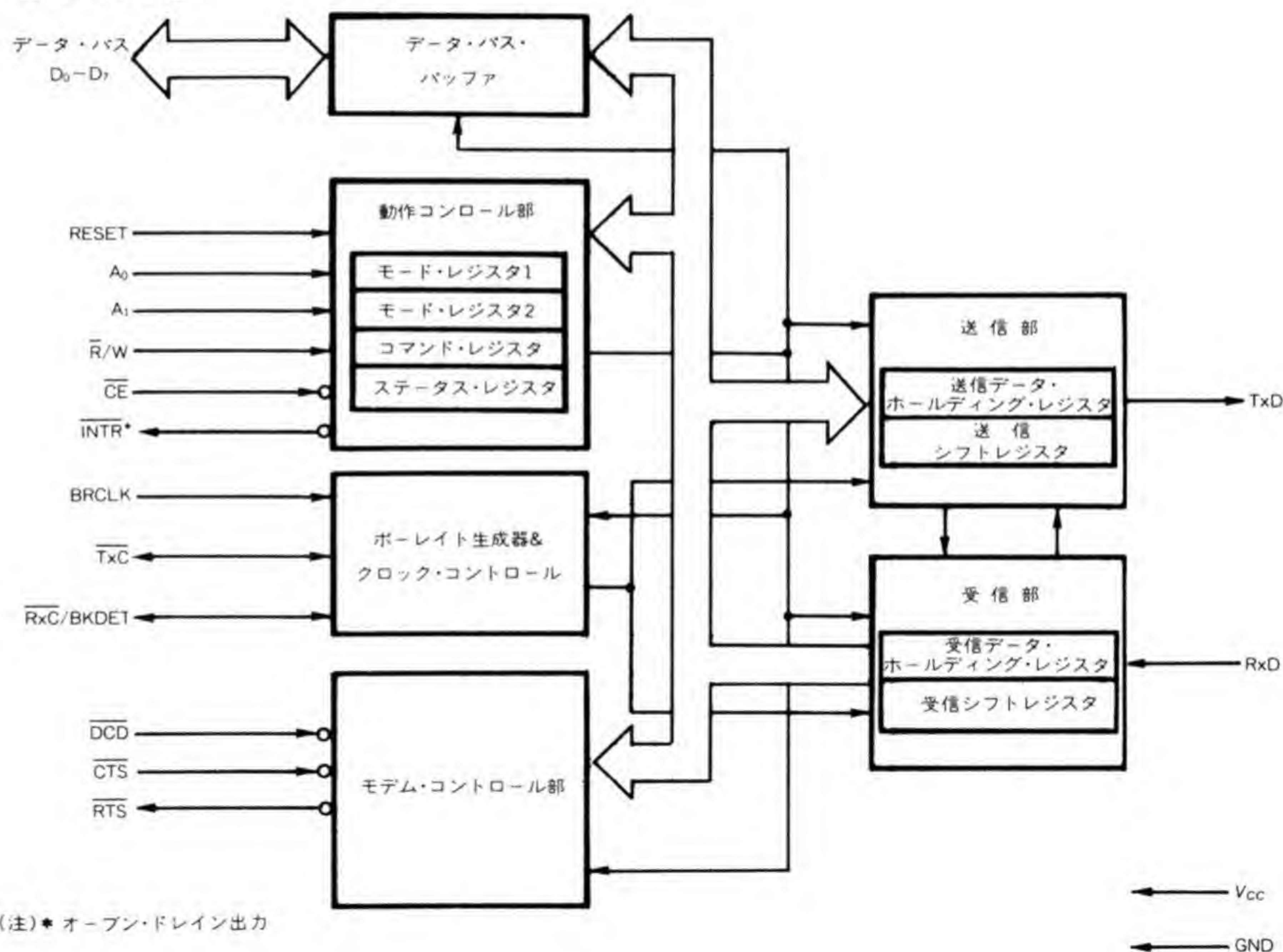
( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5.0\text{V}\pm5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2.2\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT}=0.45\sim4\text{V}$	10	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	10	$\mu\text{A}$
$C_{IN}$		20	pF

## ■ 特徴

- ・調歩同期式シリアル伝送用LSI
- ・全二重/半二重動作可能
- ・ボーレート・ジェネレータを内蔵し、内部/外部クロックを使用できる
- ・内部クロック動作では16種類のボーレートを選択できる
- ・誤スタート・ビットの検出機能をもつ
- ・パリティ、オーバラン、フレーミング・エラーを検出
- ・自動エコー・モード
- ・ローカルまたはリモート・ループバック・モード
- ・ワード長、ストップ・ビット数、パリティ・ビットの発生、検出がプログラマブル

## ■ ブロック図





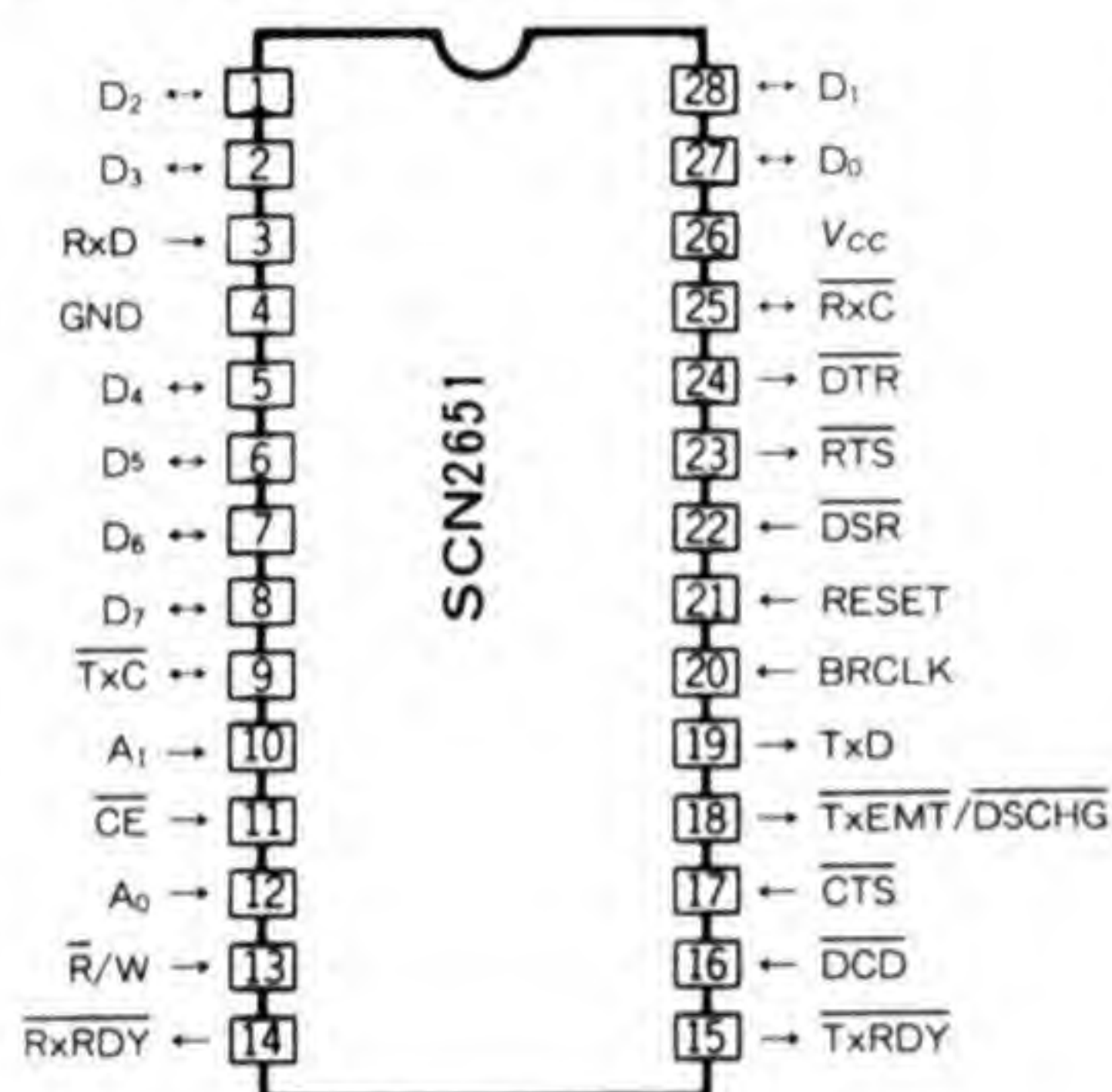
## ■端子機能

端子名	名称	ピン番号	入出力	機能
RESET	リセット	18	入力	マスタ・リセット。すべてのデバイス動作を非同期に終了させ、モード、コマンド・ステータス・レジスタをクリアする
A <sub>1</sub> ~A <sub>0</sub>	アドレス	9, 11	入力	2641の内部レジスタ選択用アドレス・ライン
$\overline{R}/W$	リード/ライト	12	入力	“L”のとき読み出しコマンド, “H”のとき書き込みコマンド
$\overline{CE}$	チップ・イネーブル	10	入力	チップ選択
D <sub>7</sub> ~D <sub>0</sub>	データ・バス	7, 6, 5, 4, 1, 24, 23, 22	入出力	3ステート・データ・バス, CPU との間のコマンド, データ, ステータスの転送に使う
$\overline{INTR}$	割り込み要求	13	出力	割り込み要求出力 (オープン・ドレイン)。この出力は以下の要因で発生する。 (1) 送信ホールディング・レジスタがCPUからのデータを受け取る準備ができたとき (2) 送信ホールディング・レジスタのデータをCPUが読める状態になったとき (3) CPUから受け取った最後の送信データが直列データに変換されたとき (4) 受信または送信がイネーブルのときDCD信号入力時, ステータスに変化があったとき
BRCLK	ボーレート・クロック	17	入力	内部ボーレート生成用のクロック入力
$\overline{RxC}/BKDET$	受信クロック	20	入出力	受信部クロック。外部受信クロックを用いる場合には, この入力キャラクタを受信するレートをコントロールする
$\overline{TxC}$	送信クロック	8	入出力	送信部クロック。外部送信クロックを用いる場合には, この入力キャラクタを送信するレートをコントロールする
RxD	受信データ	2	入力	受信部への直列データ入力
TxD	送信データ	16	出力	送信部からの直列データ出力
$\overline{DCD}$	キャリア検出	14	入力	データ・キャリア検出入力。受信部が動作するためには“L”でなければならない
$\overline{CTS}$	送信可	15	入力	クリア・トゥ・センド (送信可) 入力。送信部が動作するためには“L”でなければならない
$\overline{RTS}$	送信要求	19	出力	汎用出力で, コマンド・レジスタのビットCR <sub>0</sub> の反転。通常は送信要求に使われる
V <sub>CC</sub>	電源	21	—	+5V電源入力
GND	グラウンド	3	—	グラウンド



# UART (Universal Asynchronous Receiver Transmitter)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~6.0	V
入力電圧	$V_{IN}$	-0.5~6.0	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5.0\text{V}\pm5\%$ )

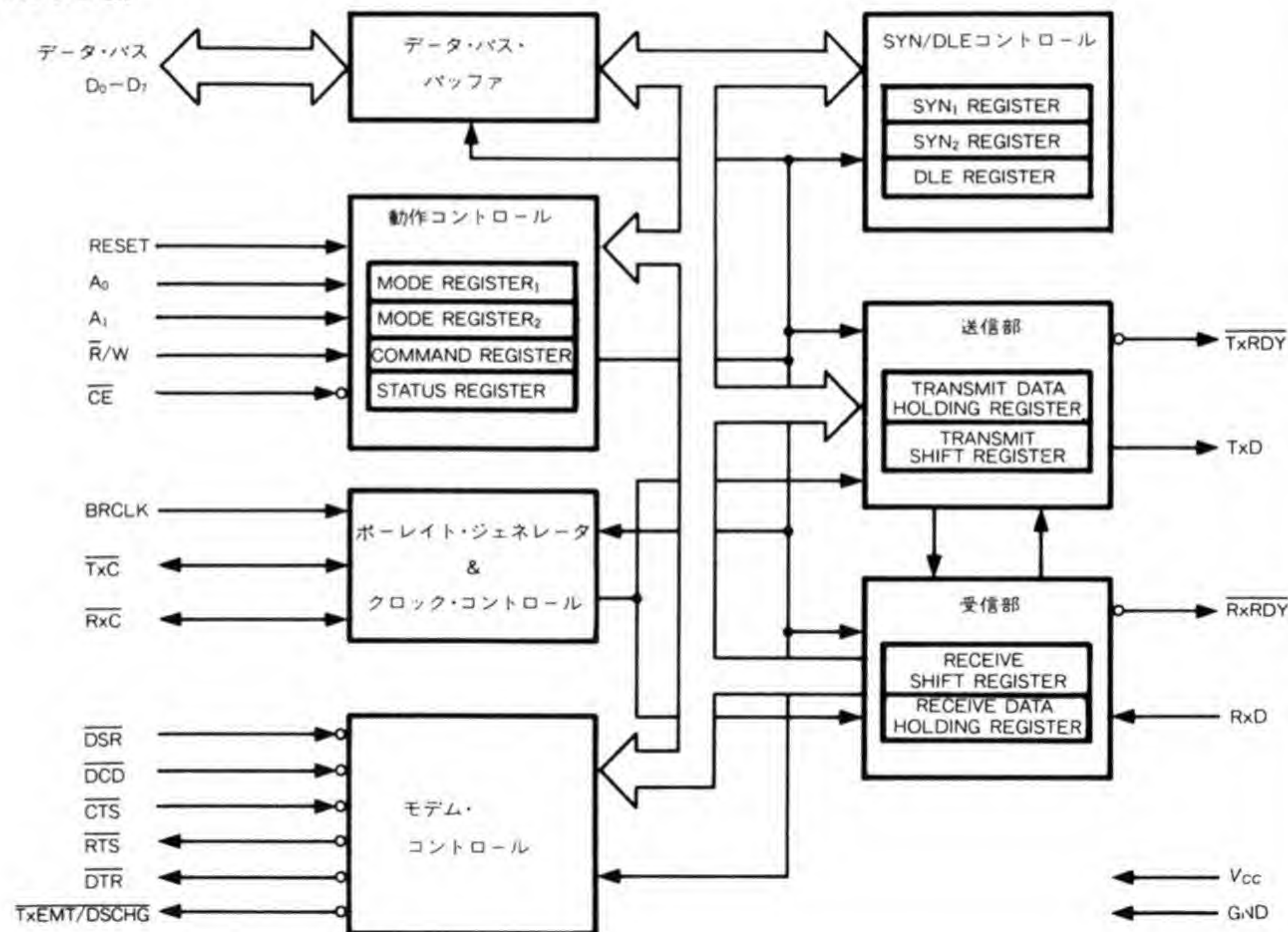
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=100\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT}=0.45\sim4\text{V}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim5.25\text{V}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		20	pF

## ■ 特徴

- 汎用同期式/非同期式シリアル伝送用LSI
- 全二重/半二重動作可能
- ボーレート・ジェネレータを内蔵し、内部/外部クロックを使用できる
- 内部クロック動作では16種類のボーレートを選択できる
- 同期動作

5~8ビット・キャラクタ  
単一/二重SYN動作  
透過/非透過モード  
自動SYN/DLE・SYN挿入

## ■ ブロック図



## ・ 非同期動作

5~8ビット・キャラクタ  
ストップ・ビット長, パリティは設定可能  
パリティ, オーバラン, フレーミング・  
エラー検出  
ライン・ブレークの検出/生成  
誤スタート・ビットの検出  
自動エコー・モード



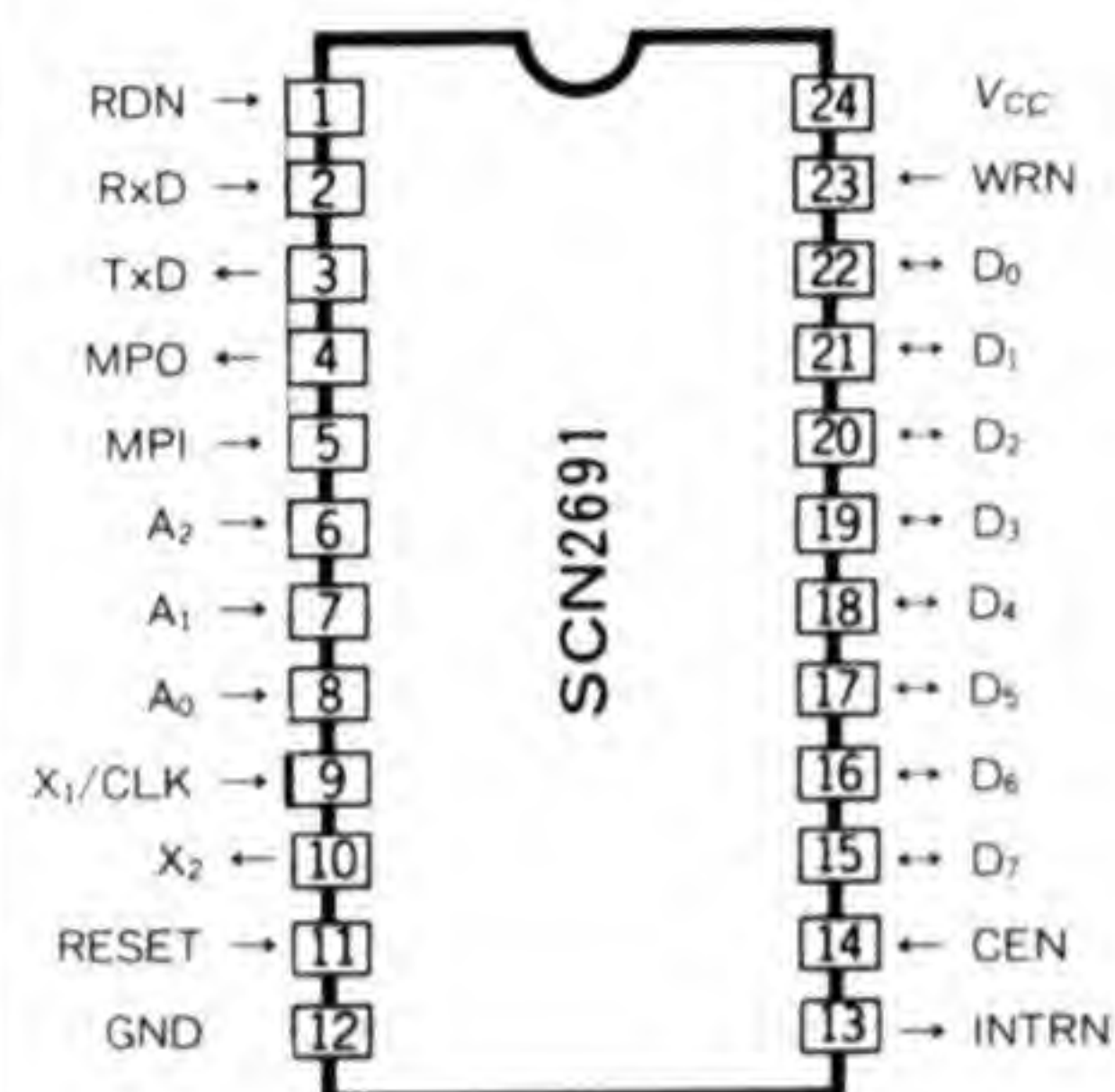
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$V_{CC}$	電源	26	入力	+5V電源
GND	グラウンド	4	入力	グラウンド
RESET	リセット	21	入力	すべてのデバイス動作を非同期に終了させ、モード・コマンド・ステータス・レジスタをクリアする
$A_1 \sim A_0$	アドレス	10, 12	入力	内部レジスタ選択用アドレス・ライン
$\overline{R}/W$	リード/ライト	13	入力	“L”のとき読み出しコマンド, “H”のとき書き込みコマンド
CE	チップ・イネーブル	11	入力	チップ選択端子
$D_7 \sim D_0$	データ・バス	8, 7, 6, 5, 2, 1, 28, 17	入出力	8ビット, 3ステート・データ・バス
$\overline{TxRDY}$	送信レディ	15	出力	ステータス・レジスタのビット $SR_0$ の反転, 送信部の動作可のときのみ有効
$RxRDY$	受信レディ	14	出力	ステータス・レジスタのビット $SR_1$ の反転, CPUがRHRを読み出したとき, および受信部が動作不可になったときには“H”になる
$\overline{TxEMT}/\overline{DSCHG}$	送信バッファ・エンプティ	18	出力	ステータス・レジスタのビット $SR_2$ の反転, $TxEMT$ 状態でないときには, CPUがステータス・レジスタを読み出すとこの出力は“H”になる
BRCLK	ボーレート・クロック	20	入力	内部ボーレート生成用のクロック
$\overline{RxC}$	受信クロック	25	入出力	受信部クロック, 内部受信クロックを用いる場合には出力ピンにできる
$\overline{TxC}$	送信クロック	9	入出力	送信部クロック, 内部送信クロックを用いる場合にはクロック出力に使える
$RxD$	受信データ	3	入力	受信部への直列データ入力
$TxD$	送信データ	19	出力	送信部からの直列データ出力
$\overline{DSR}$	データ・セット	22	入力	汎用入力データ・セット準備完了, または被呼表示に用いることができる
$\overline{DCD}$	キャリア検出	16	入力	データ・キャリア検出入力
$\overline{CTS}$	送信可	17	入力	送信可入力, 送信部が動作するためには“L”でなければならない
$\overline{DTR}$	端末レディ	24	出力	汎用出力でコマンド・レジスタのビット $CR_1$ の反転, データ端末レディに使われる
RTS	送信要求	23	出力	汎用出力でコマンド・レジスタのビット $CR_0$ の反転, 送信要求に使われる



# UART (Universal Asynchronous Receiver Transmitter)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} \pm 10\%$	V
消費電力	$P_D$	0.2	W
動作温度	$T_{OPR}$	$0 \sim 70$	$^{\circ}\text{C}$
保存温度	$T_{STG}$	$-65 \sim 150$	$^{\circ}\text{C}$

## ■ DC特性

( $T_a = 0 \sim 70^{\circ}\text{C}$ ,  $V_{CC} = 5.0\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 2.4\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0.4 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$

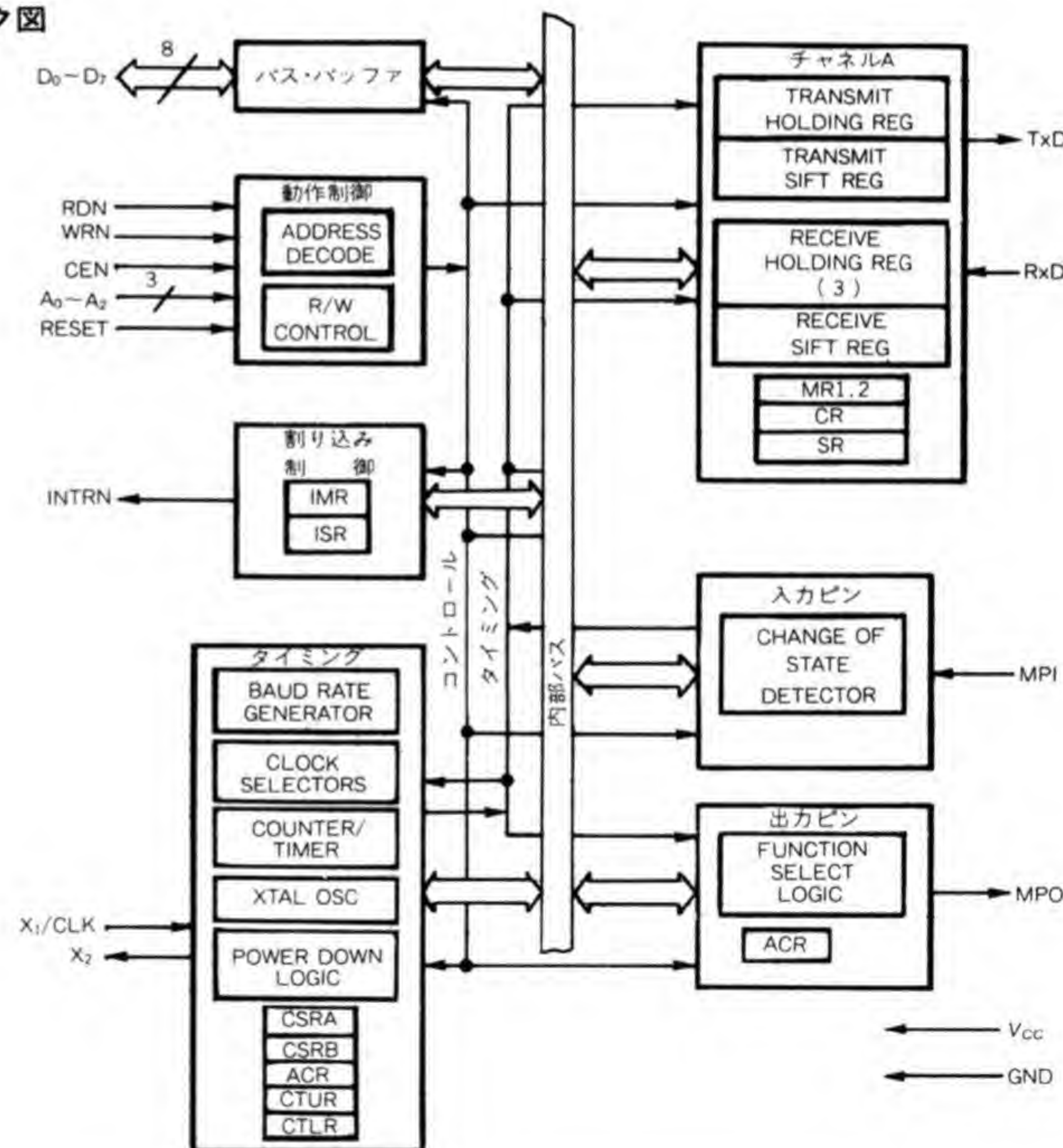
## ■ 特 徴

- ・ 調歩同期式シリアル伝送用LSI
- ・ 全二重/半二重動作可能
- ・ データ・フォーマットはプログラマブル  
5～8ビット・キャラクタ  
ストップ・ビット長, パリティは設定可能
- ・ パリティ, フレーミング, オーバラン・エラー検出
- ・ 誤りスタート・ビットの検出
- ・ ライン・ブレイクの生成と検出
- ・ 多機能プログラマブル16ビット・カウンタ/タイ

## マを内蔵

- ・ 7マスカブル割り込み要因で単一割り込み出力
- ・ 水晶発振回路を内蔵し外部クロックでの動作も可能
- ・ 各送受信部に対するボーレイトはプログラマブル  
18固定レート:  $50 \sim 38.4\text{K}$ ボー  
タイマ/カウンタから任意のボーレイト生成  
外部からの1倍または16倍クロック入力

## ■ ブロック図





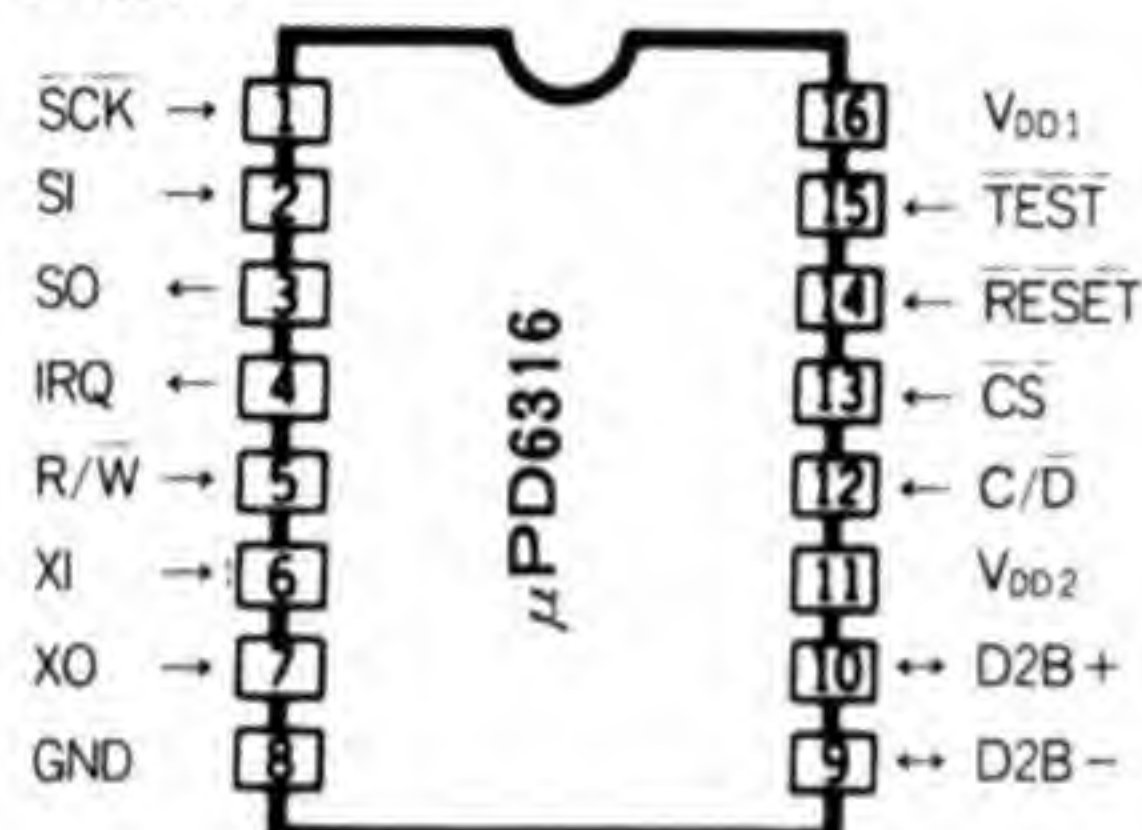
## ■端子機能

端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	22~15	入出力	双方向3ステート・データ・バス
CEN	チップ・イネーブル	14	入力	チップ選択端子
WRN	ライト・ストロープ	23	入力	“L”のとき、データ・バス上の内容がA <sub>0</sub> ~A <sub>2</sub> によって選択されたレジスタにロードされる
RDN	リード・ストロープ	1	入力	“L”のとき、A <sub>0</sub> ~A <sub>2</sub> によって選択されたレジスタの内容がデータ・バス上に送出される
A <sub>0</sub> ~A <sub>2</sub>	アドレス入力	8~6	入力	UARTの読み出し/書き込み動作のレジスタを選択する
RESET	リセット	11	入力	“L”レベル状態で、ステータス・レジスタ、割り込みマスク・レジスタ、補助制御レジスタをクリアする
INTRN	割り込み要求	13	出力	アクティブ“L”信号でマスク可能な7割り込み要因のうち、1要因以上の発生でアサートされる
X <sub>1</sub> /CLK	クリスタル1	9	入力	水晶振動子または外部クロック入力
X <sub>2</sub>	クリスタル2	10	入力	水晶振動子のもう一方の側を接続する
RxD	シリアル・データ入力	2	入力	LSBから受信する、外部受信クロックが指定されると、この入力はクロックの立ち上がりでサンプリングされる
TxD	シリアル・データ出力	3	出力	LSBから送信する
MPO	汎用出力	4	出力	出力ポート構成レジスタをプログラムすることによって、RSTN、カウンタ/タイマ出力、送受信クロックなどの機能を選択できる、リクエスト・トゥ・センド
MPI	汎用入力0	5	入力	プログラムによって、汎用入力、CTSN、カウンタ/タイマ入力、受信クロック入力などの機能を選択できる
V <sub>CC</sub>	電源電圧	24	入力	+5V
GND	グラウンド	12	入力	グラウンド



# DDB(Domestic Digital Bus)

## ■ピン接続



## ■特 徴

- ・ マイクロコンピュータ間データ伝送に使用できる D 2 B (Domestic Digital Bus) 2 線式シリアル・バス
- ・ インターフェース用 L S I
- ・ 転送速度
  - モード 0 : 209 バイト/秒
  - モード 1 : 2457 バイト/秒
  - モード 2 : 7760 バイト/秒
- ・ D 2 B 用ドライバ/レシーバ内蔵
- ・ CPU とのインターフェース方式は 3 線式
- ・ 送信用データ・バッファ : 4 バイト
- ・ 受信用データ・バッファ : 20 バイト

## ■ 最大定格

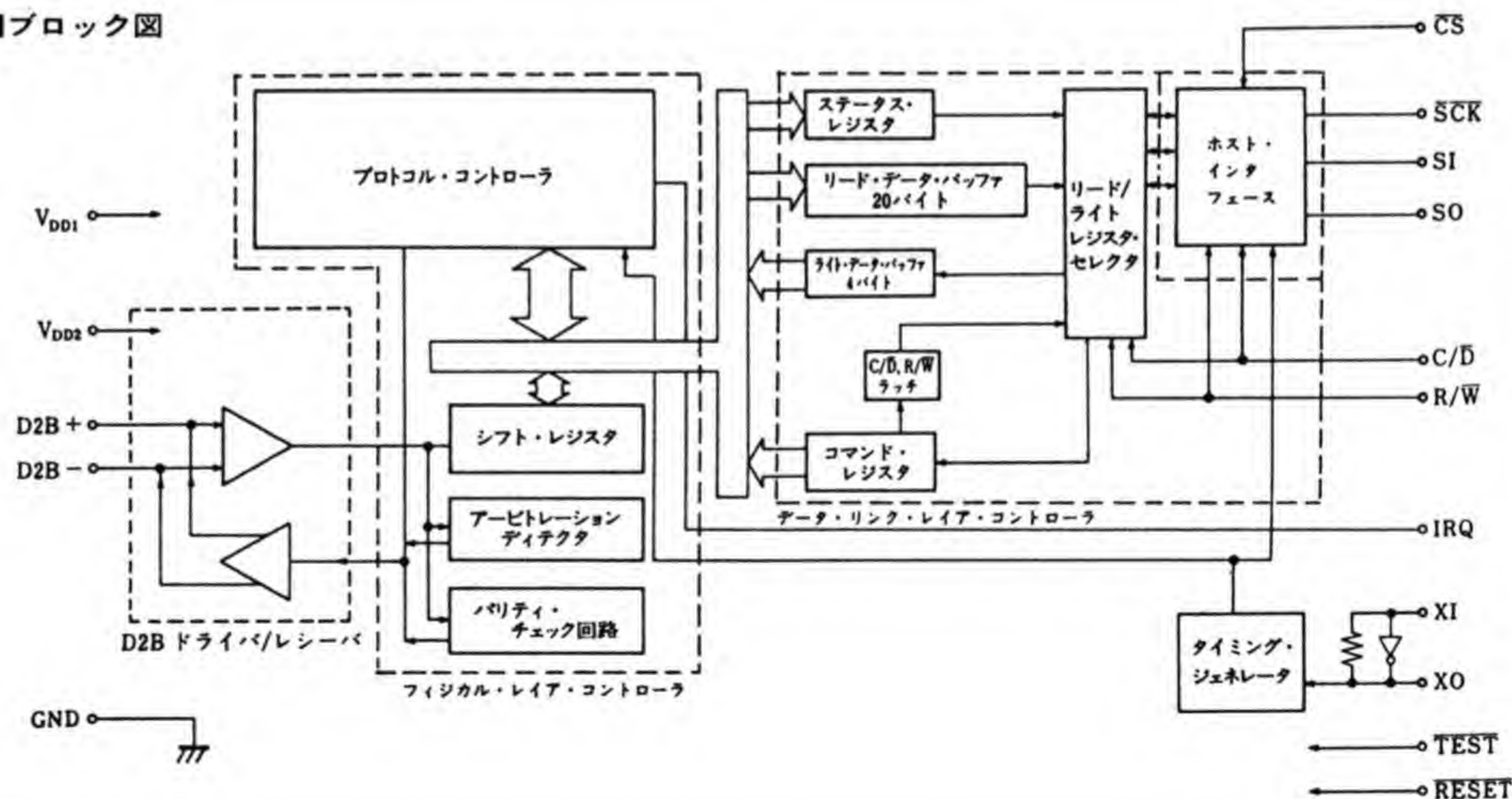
項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{DD} + 0.3$	V
動作温度	$T_{OPR}$	$-40 \sim 85$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

## ■ DC 特性

( $T_a = -40 \sim 85^\circ\text{C}$ ,  $V_{DD} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		$0.2 V_{DD}$	V
$V_{IH}$		$0.8 V_{DD}$	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\text{ }\mu\text{A}$	$0.7 V_{DD}$	V
$I_{OFL}$	$V_{OUT} = 0, V_{DD}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0, V_{DD}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$	15	pF

## ■ブロック図





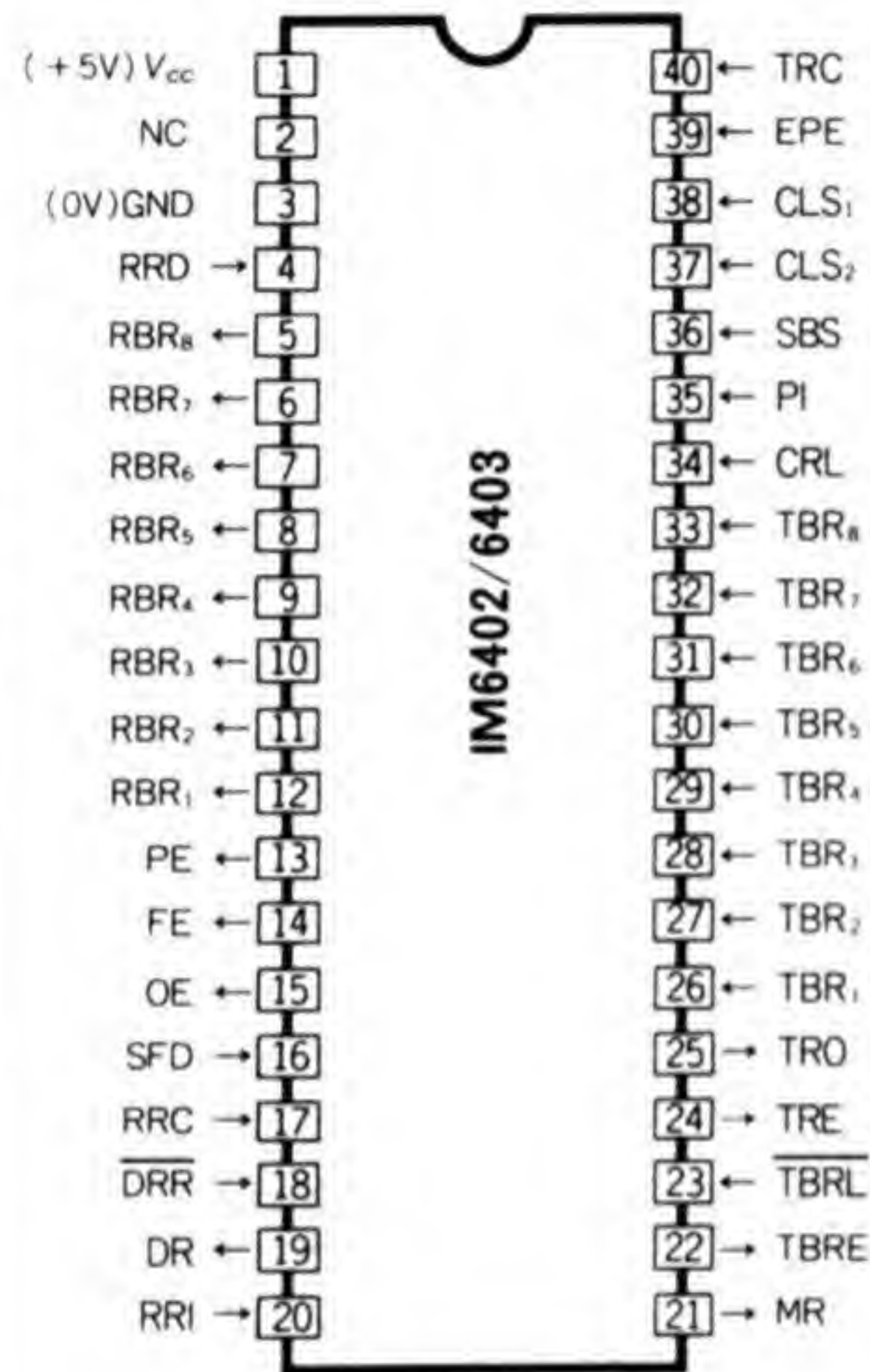
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{\text{SCK}}$	シリアル・クロック入力	1	入力	ホスト・コントローラとのインターフェース用シリアル・クロック入力端子
SI	シリアル・データ入力	2	入力	ホスト・コントローラとのインターフェース用シリアル・データ入力端子
SO	シリアル・データ出力	3	出力	ホスト・コントローラとのインターフェース用シリアル・データ出力端子
IRQ	割り込み要求信号出力	4	出力	通信結果やコマンド実行結果により発生する割り込み要求信号の出力端子。ホスト・コントローラに対する動作開始要求信号として使用する。割り込み要求信号出力時間は約10μs
R/ $\overline{\text{W}}$	リード／ライト切り替え入力	5	入力	シリアル・インターフェースのリード／ライト・モード切り替え入力端子。ハイ・レベルにするとリード・モードになり、ロウ・レベルにするとライト・モードになる。この端子をロウ・レベルにして、かつC/ $\overline{\text{D}}$ 端子をハイ・レベルに固定することにより、シリアル・インターフェースからのコマンド入力でもリード／ライト・モードを切り替えることもできる
XI XO	システム・クロック入力	6 7	入力	システム・クロック用発振子接続端子。 12MHzの水晶振動子またはセラミック発振子を使用する。なお、発振精度を±0.5%以内で使用する
D2B- D2B+	D2B入出力	9 10	入出力	D2Bに接続する端子
V <sub>DD2</sub>	D2B用正電源	11	—	D2Bバス・ドライバ用正電源端子。 V <sub>DD1</sub> と接続して使用する
C/ $\overline{\text{D}}$	コマンド／データ切り替え入力	12	入力	シリアル・インターフェースに入力されたデータをコマンドとして処理するか、データとして処理するかを切り替える端子。ハイ・レベルにするとコマンドとして処理し、ロウ・レベルにするとデータとして処理する。この端子をハイ・レベルにして、かつR/ $\overline{\text{W}}$ 端子をロウ・レベルに固定することにより、シリアル・インターフェースからのコマンド入力でもリード／ライト・モードを切り替えることもできる
$\overline{\text{CS}}$	チップ・セレクト	13	入力	ロウ・レベルにすると、シリアル・インターフェース入力が有効となる。ハイ・レベルにするとシリアル・クロック (SCK) 入力は無効となり、SO端子がハイ・インピーダンスになる。また、シリアル・クロック・カウンタがリセットされる。CS端子の状態はD2Bの送受信動作に影響しない
$\overline{\text{RESET}}$	リセット入力	14	入力	システム・リセット信号入力端子。ロウ・レベル入力によりリセットがかかる。電源投入後、必ずロウ・レベルを一度入力する。通常使用時はハイ・レベルを入力すること
$\overline{\text{TEST}}$	テスト	15	入力	V <sub>DD1</sub> 端子と接続して使用する



# UART (Universal Asynchronous Receiver Transmitter)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	0 ~ +8	V
入力電圧	$V_{IN}$	-0.3 ~ $V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	-40 ~ +85	°C
保存温度	$T_{STG}$	-65 ~ +150	°C

## ■ DC特性

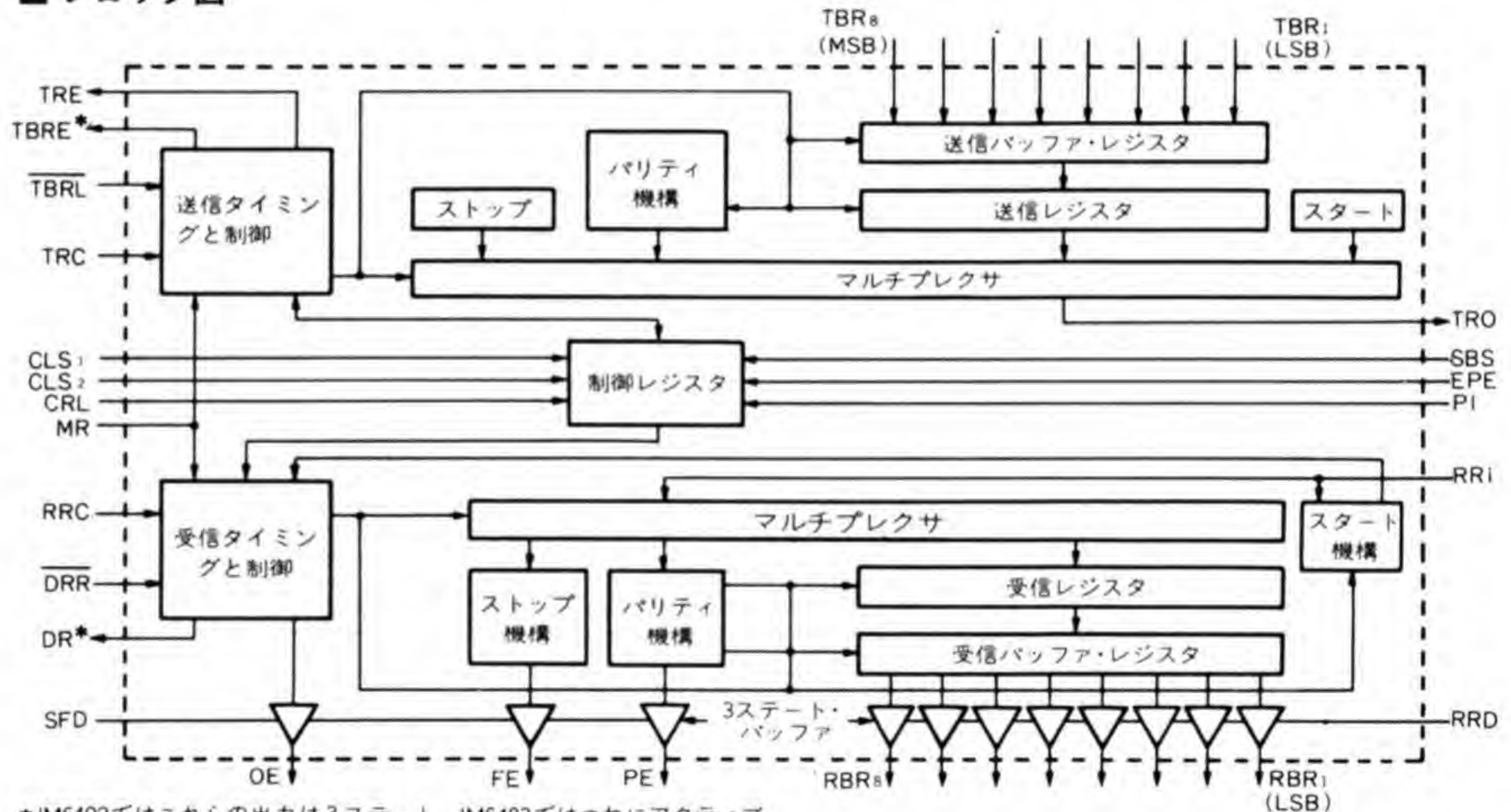
( $T_a = -40 \sim +85^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	min	max	単位
$V_{IH}$		$V_{CC} - 2.0$		V
$V_{IL}$			0.8	V
$I_{IL}$	$V_{SS} \leq V_{IN} \leq V_{CC}$	-5.0	5.0	$\mu\text{A}$
$V_{OH}$	$I_{OH} = -0.2\text{mA}$	2.4		V
$V_{OL}$	$I_{OL} = 2.0\text{mA}$		0.45	V
$I_{OLK}$	$V_{SS} \leq V_{OUT} \leq V_{CC}$	-5.0	5.0	$\mu\text{A}$

## ■ 特徴

- ・フルスタティック動作のUART
- ・プログラムによる初期設定不要
- ・ワード長5, 6, 7, 8ビットをピン設定可能
- ・偶数, 奇数パリティ, パリティなしをピン設定可能
- ・ストップ・ビット長1, 2をピン設定可能
- ・データ, コマンド, ステータスは単独アクセス可能かつ単独出力可能であるため, ワイヤード・ロジックでの使用が容易

## ■ ブロック図



\* IM6402ではこれらの出力は3ステート, IM6403ではつねにアクティブ。



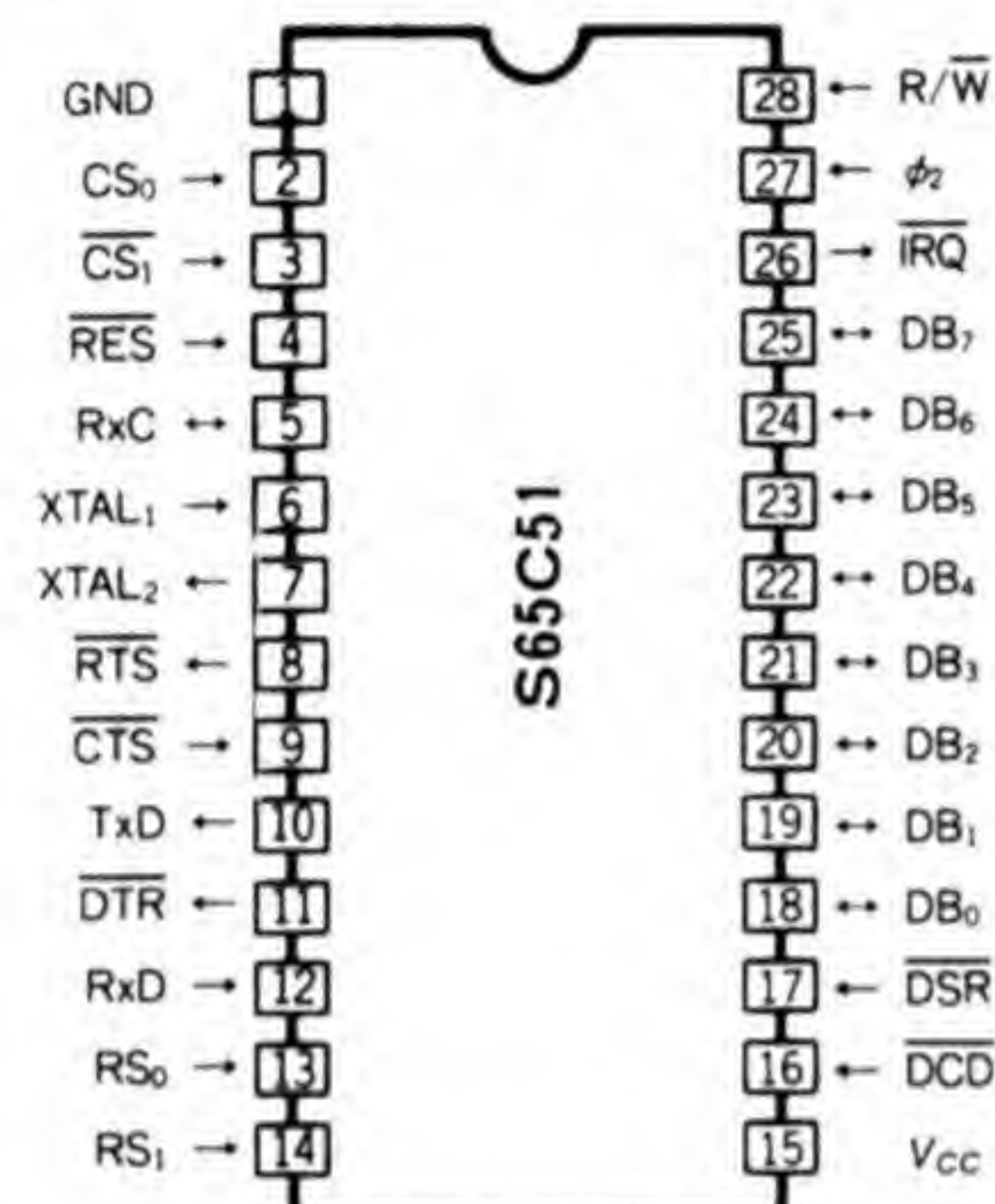
## ■端子機能

端子名	名称	ピン番号	入出力	機能
MR	マスタ・リセット	21	出力	エラー出力, DR, TRE がリセットされ, TBRE, TRO はセットされる. MR が "L" となった 18 クロック後 TRE は "H" となる
CRL	コントロール・レジスタ・ロード	34	入力	"H" レベルでコントロール入力がセットされる
PI, SBS, CLS, EPE	コントロール入力	35~39	入力	パリティ, ストップ・ビット長, ワード長の設定入力
SFD	ステータス・フラグ・ディセーブル	16	入力	"L" でステータス出力がアクティブ
EP, FE, OE	受信エラー	13~15	出力	パリティ・エラー, フレーミング・エラー, オーバラン・エラー SFD でアクティブとなる. パリティ禁止の場合はパリティ・エラーは "L" となる
RBR <sub>1~8</sub>	レシーブ・データ	5~12	出力	RBR <sub>1</sub> が LSB, データ長 5~7 ビットでは MSB 側が 0 となる
RDD	レシーブ・データ・ディセーブル	4	入力	"L" でデータ・アクティブ (DR はリセットされない)
$\overline{\text{DRR}}$	DR リセット	18	入力	"L" で DR をリセット
RRI	レシーバ・レジスタ・インプット	20	入力	シリアル入力端子 (正論理入力)
DR	データ・レシーブ	19	出力	データが受信され, 読み出し可能なことを示す. 6402 では SFD でアクティブ 6403 は常時アクティブ
RRC	レシーバ・クロック	17	入力	ボーレイトの 16 倍. 6403 では水晶振動子または送受信共通, 外部クロックとなる
TRB <sub>1~8</sub>	トランスミット・データ	26~33	入力	TRB <sub>1</sub> が LSB, データ長 5~7 ビットでは LSB 側を使用
$\overline{\text{TBRL}}$	トランスミッタ・バッファ・レジスタ・ロード	23	入力	"L" でデータがセットされる
TRO	トランスミッタ・レジスタ・アウト	25	出力	シリアル出力端子. ドライバ IC の 75188 などをダイレクト接続可 (正論理出力)
TRE	トランスミッタ・レジスタ・エンブティ	24	出力	"H" で全データの送出終了を示す 8251 A の Tx EMPTY に相当
TRBE	トランスミッタ・レジスタ・バッファ・エンブティ	22	出力	次のデータが書き込み可能なことを示す. 6402 では SFD でアクティブ 6403 は常時アクティブ
TRC	トランスミッタ・クロック	40	入力	ボーレイトの 16 倍. 6403 では水晶振動子または外部クロック時 GND
DC	ディバイド・コントロール	2	入力/NC	6403 の場合 "L" → 分周比 2 <sup>11</sup> , "H" → 分周比 2 <sup>4</sup> となる. 6402 では NC ピン



# ACIA (Asynchronous Communication Interface Adaptor)

## ■ ピン接続



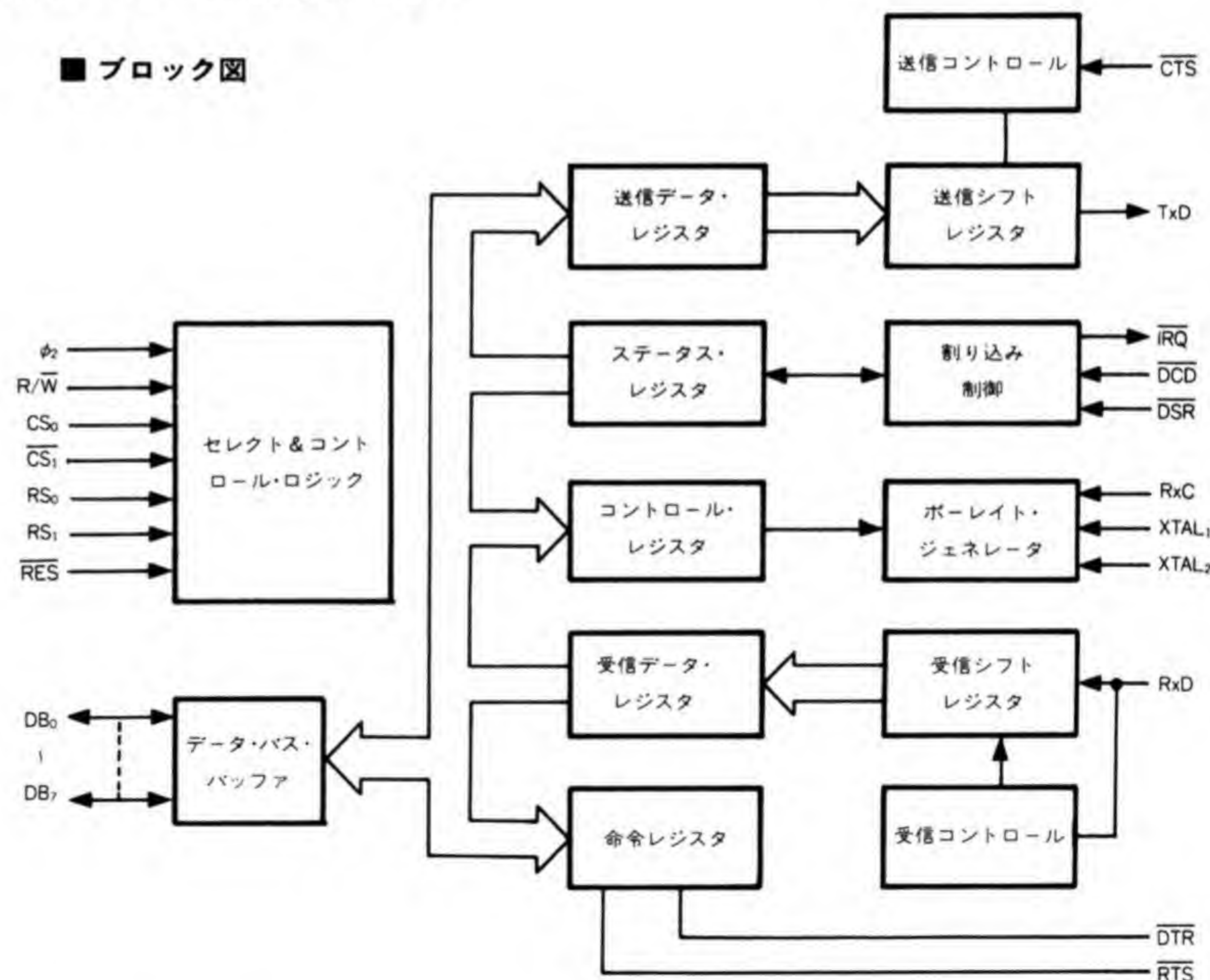
## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
消費電力	$P_D$	0.6	W
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-55 \sim 150$	°C

## ■ 特徴

- ・ 調歩同期式シリアル伝送用 L S I
- ・ 全二重/半二重動作可能
- ・ ボーレイト・ジェネレータ内蔵
- ・ 1.8432MHzの水晶振動子により15種類のボーレイトが設定可能(50~19200bps)
- ・ ソフトウェアを簡素化するためのプログラム可能な割り込み機能とステータス・レジスタを内蔵
- ・ シリアル・エコー・モードの機能をもつ
- ・ 誤スタート・ビット検出機能をもつ
- ・ ワード長, ストップ・ビット数, パリティ・ビットの発生, 検出がプログラマブル
- ・ モデム用のコントロール信号端子をもつ

## ■ ブロック図



## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 100\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	10	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	10	$\mu\text{A}$
$C_{IN}$		10	pF



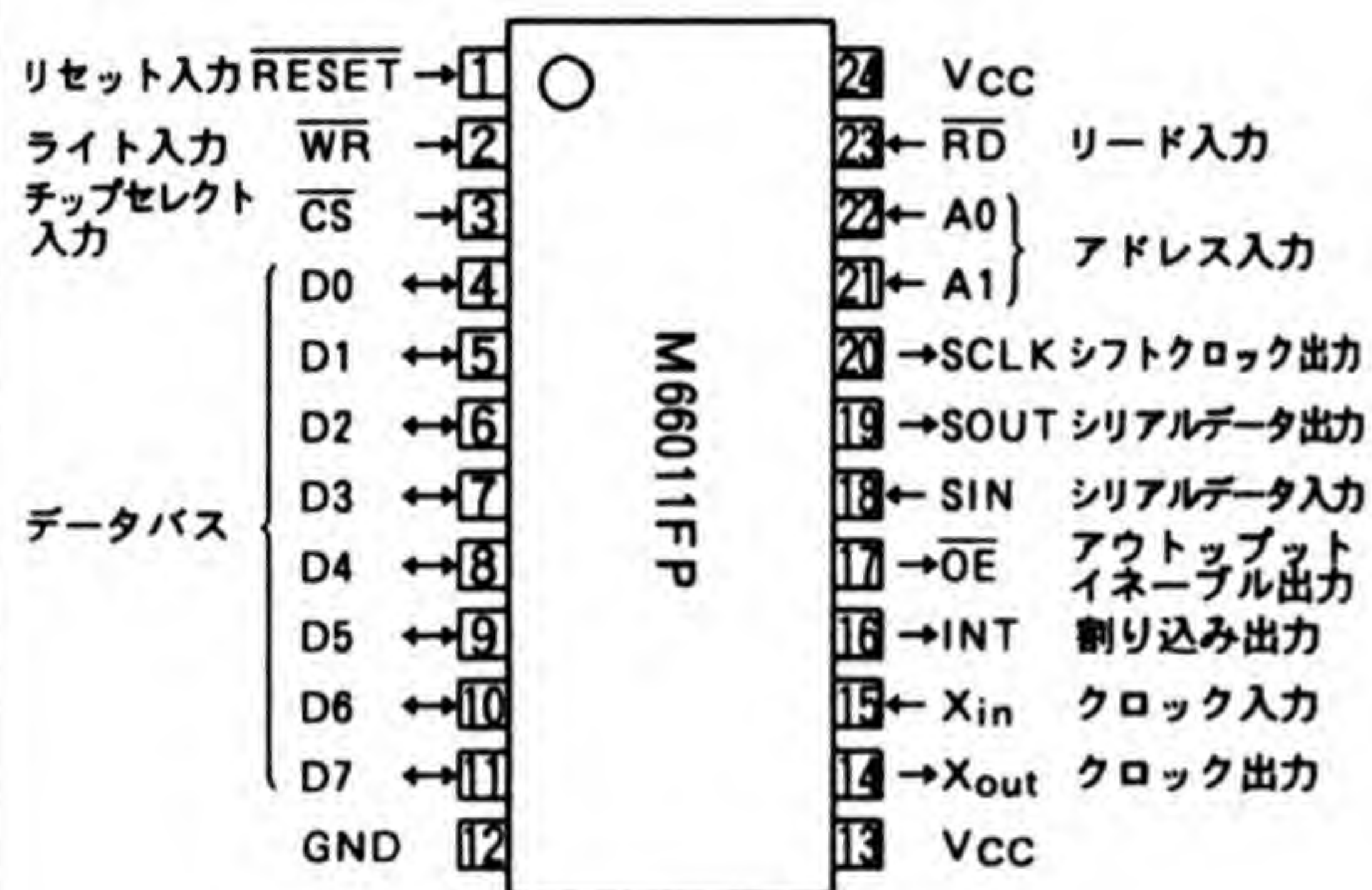
## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
$\overline{\text{RES}}$	リセット	4	入 力	システムのイニシャライズ時に $\overline{\text{RES}}$ 入力を “L” にすると内部レジスタがクリアされる
$\phi_2$	インプット・クロック	27	入 力	マイクロプロセッサとのデータ転送の基本となるクロック
$\text{R}/\overline{\text{W}}$	リード/ライト	28	入 力	この信号が “H” のとき 6551 からデータを読み, “L” のとき 6551 にデータを書き込む
$\overline{\text{IRQ}}$	割り込み要求	26	出 力	割り込み要求信号。この端子はオープン・ドレイン出力で、ほかの周辺 LSI の $\overline{\text{IRQ}}$ とともに $\overline{\text{IRQ}}$ 入力端子にワイヤード OR 結合できる
$\text{DB}_0 \sim \text{DB}_7$	データ・バス	18~25	入出力	双方向バスで、チップ・セレクト時のリード・サイクルを除いて、通常ハイ・インピーダンス状態になっている
$\text{CS}_0, \overline{\text{CS}}_1$	チップ・セレクト	2, 3	入 力	CPU のアドレス・バスとつなぐ。6551 は $\text{CS}_0$ が “H”, $\overline{\text{CS}}_1$ が “L” のときチップ・セレクトされる
$\text{RS}_0, \text{RS}_1$	レジスタ選択	13, 14	入 力	CPU のアドレス・バスにつなぐ。6551 内部レジスタの選択に使用
$\text{XTAL}_1, \text{XTAL}_2$	クリスタル・ピン	6, 7	入 力	内蔵のポーレイト・ジェネレータによって、プログラムされたポーレイトを得るため、この 2 本の端子を外部水晶振動子 (1.8432MHz) につなぐ
$\text{TxD}$	送信データ	10	出 力	$\text{TxD}$ 出力はモデムにシリアル・データを転送するときに用いる
$\text{RxD}$	受信データ	12	入 力	$\text{RxD}$ 入力シリアル・データをモデムから 6551 に転送するときに用いる
$\text{RxC}$	受信クロック	5	入出力	16 倍の受信クロック入力あるいは受信クロック出力端子として使われる双方向ピン
$\overline{\text{RTS}}$	送信要求	8	出 力	CPU からモデムをコントロールするのに使用される。 $\overline{\text{RTS}}$ ピンの状態は、コマンド・レジスタの内容によって決まる
$\overline{\text{CTS}}$	送信可	9	入 力	トランスミッタのコントロール用に使用される。“L” でトランスミッタがイネーブルされ、“H” になると自動的にディセーブルとなる
$\overline{\text{DTR}}$	データ・ターミナル・レディ	11	出 力	モデムに 6551 のステータスを伝えるために使用される。 $\overline{\text{DTR}}$ が “L” のとき 6551 がイネーブルであることを示し、“H” のときはディセーブルであることを示す
$\overline{\text{DSR}}$	データ・セット・レディ	17	入 力	モデム状態を 6551 に伝えるために使用される。“L” のときはモデムがレディであることを、“H” のときはノット・レディであることを示す
$\overline{\text{DCD}}$	キャリア検出	16	入 力	6551 にモデムのキャリア・ディテクト出力の状態を伝えるために使用。“L” のときはモデム・キャリア信号が ON であることを示し、“H” のときは OFF であることを示す



# SBC [Serial Bus Controller]

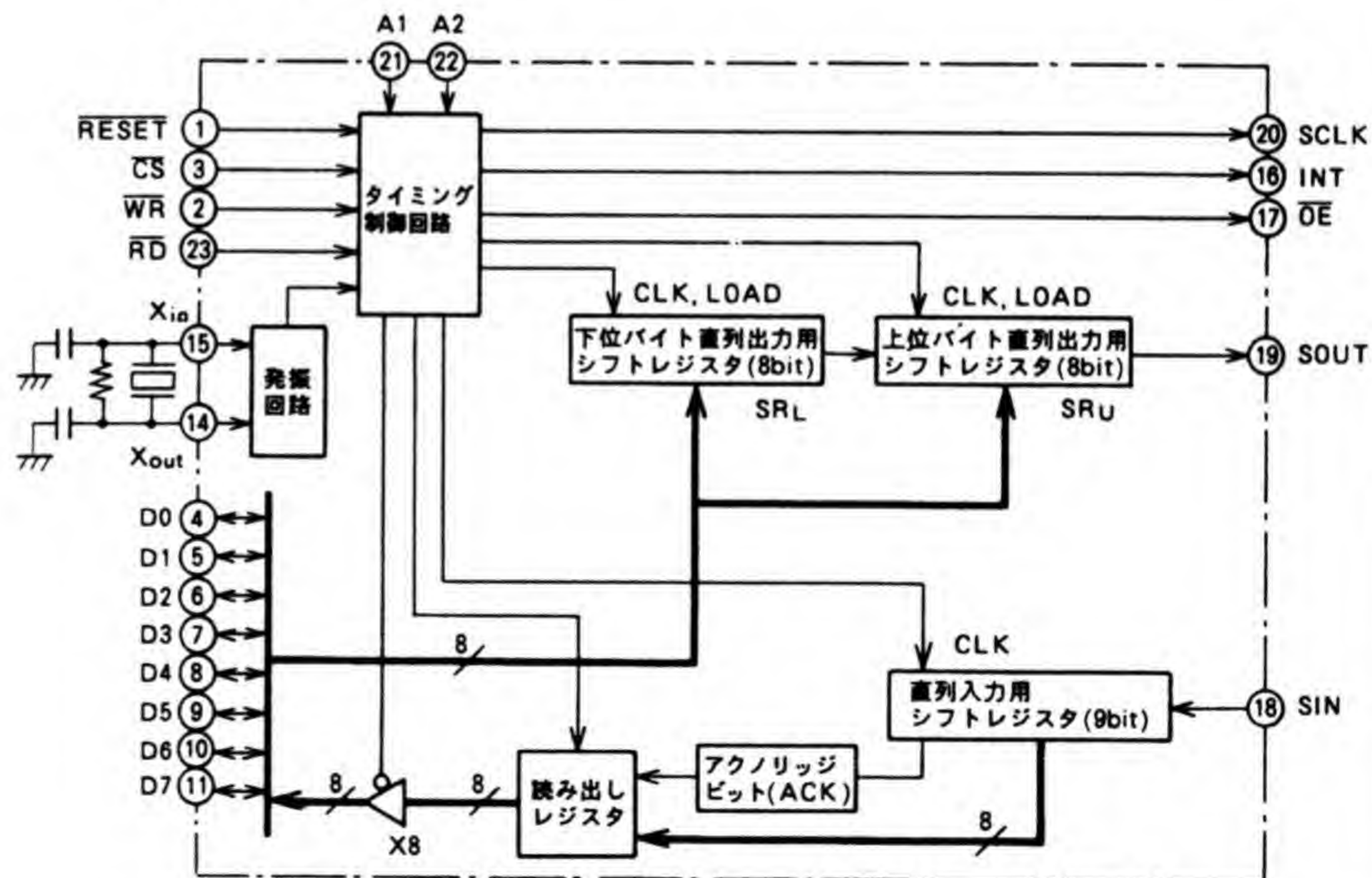
## ■ ピン接続



## ■ 特 徴

- ・マイコンから出力される2バイトの平行・データをシリアル・データに変換して出力するシリアル・バス・コントローラ
- ・汎用8ビットMPUバス・コンパチブル
- ・割り込み出力付き
- ・リセット、CS、シリアル入力、シリアル出力はシュミット入力
- ・マイコンの入出力ポートの拡張、シリアル・バスの周辺機器との双方向通信用コントローラ

## ■ ブロック図



## ■ 最大定格

項目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
消費電力	$P_D$	0.5	W
動作温度	$T_{OPR}$	20~75	°C
保存温度	$T_{STG}$	-60~150	°C

## ■ DC 特性

( $T_a = -20 \sim 75^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 4\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 4\text{mA}$	$V_{CC} - 0.8^*$	V
$I_{OFL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		20	pF



## ■端子機能

端子名	名称	ピン番号	入出力	機能
RESET	リセット出力	1	入力	“L”レベルで M66011 の内部状態が初期化される。
$\overline{\text{CS}}$	チップ・セレクト入力	3	入力	“L”レベルで M66011 がアクセス可能となる。
$\overline{\text{WR}}$	ライト入力	2	入力	“L”レベルでデータ・バスの 8 ビット・パラレル・データが M66011 に書き込まれる。
$\overline{\text{RD}}$	リード入力	23	入力	“L”レベルのときに、シリアル入力された 8 ビット・データあるいは内部ステータス情報がデータ・バスにパラレル出力される。
D0～D7	データ・バス	4～11	入出力	8 ビットの双方向性バス・バッファ。本端子を介してマイコンとの間でデータのライト/リードを行う。
SCLK	シフト・クロック出力	20	出力	シリアル・バスへのクロック出力端子。 通常はアクティブ “H” 状態になっている。
SOUT	シリアル・データ出力	19	出力	シリアル・バスへのシリアル・データ出力端子。 通常はアクティブ “H” 状態になっている。
SIN	シリアル・データ入力	18	入力	シリアル・バスからのシリアル・データ入力端子。
$\overline{\text{OE}}$	アウトプット・イネーブル出力	17	出力	シリアル通信実行時に “L” になり、それ以外の期間はアクティブ “H” 状態になる。
INT	割り込み出力	16	出力	シリアル通信終了時にマイコンに対して割り込み要求信号を出力する。
A0, A1	アドレス入力	22, 21	入力	ライト動作時は書き込み先レジスタの選択を、リード動作時はリードしたいデータの指定を行う。
X <sub>in</sub>	クロック入力	15	入力	セラミック振動子を接続することにより、M66011 の動作クロックおよび SCLK 出力クロックを発生させる。 外部からクロックを入力する場合には X <sub>in</sub> 端子に入力し、X <sub>out</sub> 端子は開放する。
X <sub>out</sub>	クロック出力	14	出力	
V <sub>cc</sub>	正電源端子	24	—	正電源 (5V)
GND	接地端子	12	—	接地 (0V)

## ■機能概要

M66011 は、並列入力データを直列出力するための 8 ビット・シフトレジスタ 2 本と、直列入力データを並列出力するための 9 ビット・シフトレジスタ 1 本を内蔵したシリアル・バス制御用半導体集積回路。

マイコンとは 8 ビット・パラレル・データの送受信を行い、シリアル・バスへの 16 ビット・データ出力動作およびシリアル・バスからの 9 ビット・データの入力動作を行う。

シリアル・データの送受信は、シフト・クロック出力 SCLK、シリアル・デー

タ出力 SOUT、シリアル・データ入力 SIN およびアウトプット・イネーブル出力  $\overline{\text{OE}}$  の 4 本の信号線で行う。

シフト・クロックの立ち下がりエッジに同期してシリアル・データが出力され、シフト・クロックの立ち上がりエッジでシリアル・データが取り込まれる。

シリアル受信データは、先頭 1 ビットのアクノリッジ・ビットと 8 ビットのデータ・ビットから構成される。



Pin diagram of the MC6850 microcontroller:

- Pin 1: (0V) GND
- Pin 2: RxData
- Pin 3: RxCLK
- Pin 4: TxCLK
- Pin 5:  $\overline{\text{RTS}}$
- Pin 6: TxData
- Pin 7:  $\overline{\text{IRQ}}$
- Pin 8:  $\text{CS}_0$
- Pin 9:  $\overline{\text{CS}}_2$
- Pin 10:  $\text{CS}_1$
- Pin 11: RS
- Pin 12: (+5V)  $V_{\text{cc}}$
- Pin 13:  $\text{R}/\overline{\text{W}}$
- Pin 14: E
- Pin 15:  $\text{D}_7$
- Pin 16:  $\text{D}_6$
- Pin 17:  $\text{D}_5$
- Pin 18:  $\text{D}_4$
- Pin 19:  $\text{D}_3$
- Pin 20:  $\text{D}_2$
- Pin 21:  $\text{D}_1$
- Pin 22:  $\text{D}_0$
- Pin 23:  $\overline{\text{DCD}}$
- Pin 24:  $\overline{\text{CTS}}$

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim +7.0$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-55 \sim +150$	°C

記号	測定条件	max/min*	単位
$V_{IH}$		2.0*	V
$V_{IL}$		0.8	V
$V_{OH}$	( $I_{OH} = -250\mu A$ ) $D_0 \sim 7$ ( $I_{OH} = -100\mu A$ ) $TxData, RTS$	2.4*	V
$V_{OL}$		0.4	V
$P_D$		525	mW

- ・7ビットおよび8ビットのデータ転送
- ・スタート、ストップ・ビットの挿入、削除機能
- ・偶数、奇数パリティの挿入機能
- ・パリティ、オーバラン、フレーミング・エラーのチェック機能
- ・クロック分周比 $\div 1$ 、 $\div 16$ 、 $\div 64$ の選択可能
- ・最大1Mbit/secの転送可能  
(分周比 $\div 1$ の同期転送時)
- ・送受信共に2段バッファ構成
- ・ブレイク状態可能

The block diagram illustrates the internal architecture of the 78C01 serial interface chip. It features several key components and signal paths:

- Inputs:** TxCLK, E, R/W, CS<sub>0</sub>, CS<sub>1</sub>, CS<sub>2</sub>, RS, D<sub>0</sub> through D<sub>7</sub>, and RxCLK.
- Internal Blocks:**
  - チップ・セレクタ・デコーダ:** Receives CS<sub>0</sub>, CS<sub>1</sub>, CS<sub>2</sub>, and RS to select between transmit and receive data paths.
  - 送信データ・レジスタ:** Receives data from the CPU via the data bus and sends it to the transmit shift register.
  - 送信シフトレジスタ:** Shifts out data to the Tx Data pin.
  - 受信データ・レジスタ:** Receives data from the receive shift register and sends it to the CPU via the data bus.
  - 受信シフトレジスタ:** Shifts in data from the Rx Data pin.
  - 送信コントロール:** Manages transmit operations, including parity generation and control signals like CTS, IRQ, DCP, and RTS.
  - 受信コントロール:** Manages receive operations, including parity checking and control signals like CTS, IRQ, DCP, and RTS.
  - 同期回路:** Synchronizes the receive data stream with the RxCLK.
  - クロック・ジェネレータ:** Generates internal clock signals from TxCLK and RxCLK.
  - 割り込み回路:** Generates the IRQ interrupt signal.
  - データ・バス・バッファ:** Buffers data between the CPU and the internal registers.
  - ステータス・レジスタ:** Holds status information for the chip.
  - コントロール・レジスタ:** Holds control information for the chip.
- Outputs:** Tx Data, CTS, IRQ, DCP, RTS, and Rx Data.



## ■端子機能

端子名	名称	ピン番号	入出力	機能
E	イネーブル	14	入力	E信号はリード/ライト時以外も周期的に入力する必要がある
D <sub>0</sub> ~D <sub>7</sub>	双方向性データ・バス	22~15	入出力	双方向性データ・バス (D <sub>0</sub> ~D <sub>7</sub> )。データ・バスの出力は3ステート・バッファ
R/ $\overline{W}$	リード/ライト	13	入力	双方向性データ・バスのデータ転送方向を制御する
CS <sub>0</sub> , CS <sub>1</sub> , CS <sub>2</sub>	チップ・セレクト0, チップ・セレクト1, チップ・セレクト2	8, 10, 9	入力	アドレスを決定するために使われる。 CS <sub>0</sub> とCS <sub>1</sub> が“H”レベルでかつCS <sub>2</sub> が“L”レベルのとき選択される
RS	レジスタ・セレクト	11	入力	トランスミット・データ・レジスタ/レシーブ・データ・レジスタあるいはコントロール・レジスタ/ステータス・レジスタのいずれかを選択するために使われる
$\overline{IRQ}$	インタラプト・リクエスト	7	出力	割り込み要求出力。割り込み状態が続いている間、 $\overline{IRQ}$ は“L”レベルになったままとなる
TxCLK	トランスミット・クロック	4	入力	送信されるデータとの同期を取るために使用。クロックの立ち下がりデータを送信
RxCLK	レシーブ・クロック	3	入力	受信されるデータとの同期を取る信号。受信側クロックの立ち上がりデータでデータをサンプリングして取り込む
TxData	トランスミット・データ	6	出力	直列データの出力端子
RxData	レシーブ・データ	2	入力	直列データの入力端子
$\overline{CTS}$	送信要求	24	入力	モデムの“クリア・ツー・SEND”出力。TDREフラグを読み出し可能とし、かつ送信の割り込み要求を出力可能とするための入力信号
$\overline{RTS}$	送信要求	5	出力	モデムの $\overline{RTS}$ 入力
$\overline{DCD}$	データ・キャリア・ディテクト	23	入力	“キャリア・ディテクト”信号

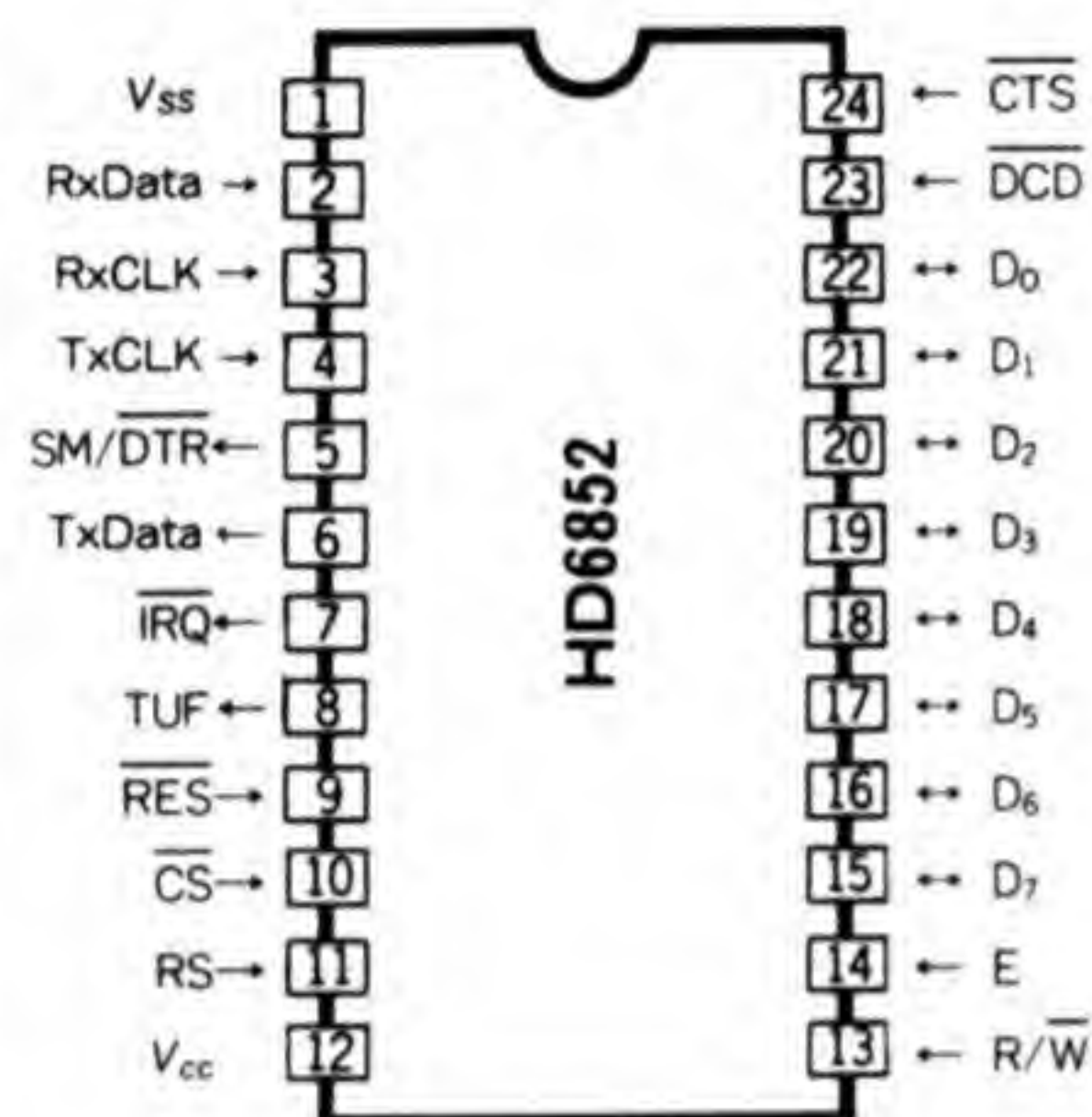
## ■直列データ・タイミング

項目	モード	max/min*			単位
		MC6850	MC68A50	MC68B50	
PW (CLK)	÷1 ÷16, ÷64	900* 600*	650* 450*	500* 280*	ns
f <sub>e</sub> (CLK)	÷1 ÷16, ÷64	500 0.8	750 1.0	1000 1.5	kHz MHz
ボー レート	÷1 ÷64 ÷64	500 50 1.25	750 62.5 15.625	1000 93.75* 23.4375	Kbps



# SDA [Serial Data Adapter]

## ■ ピン接続

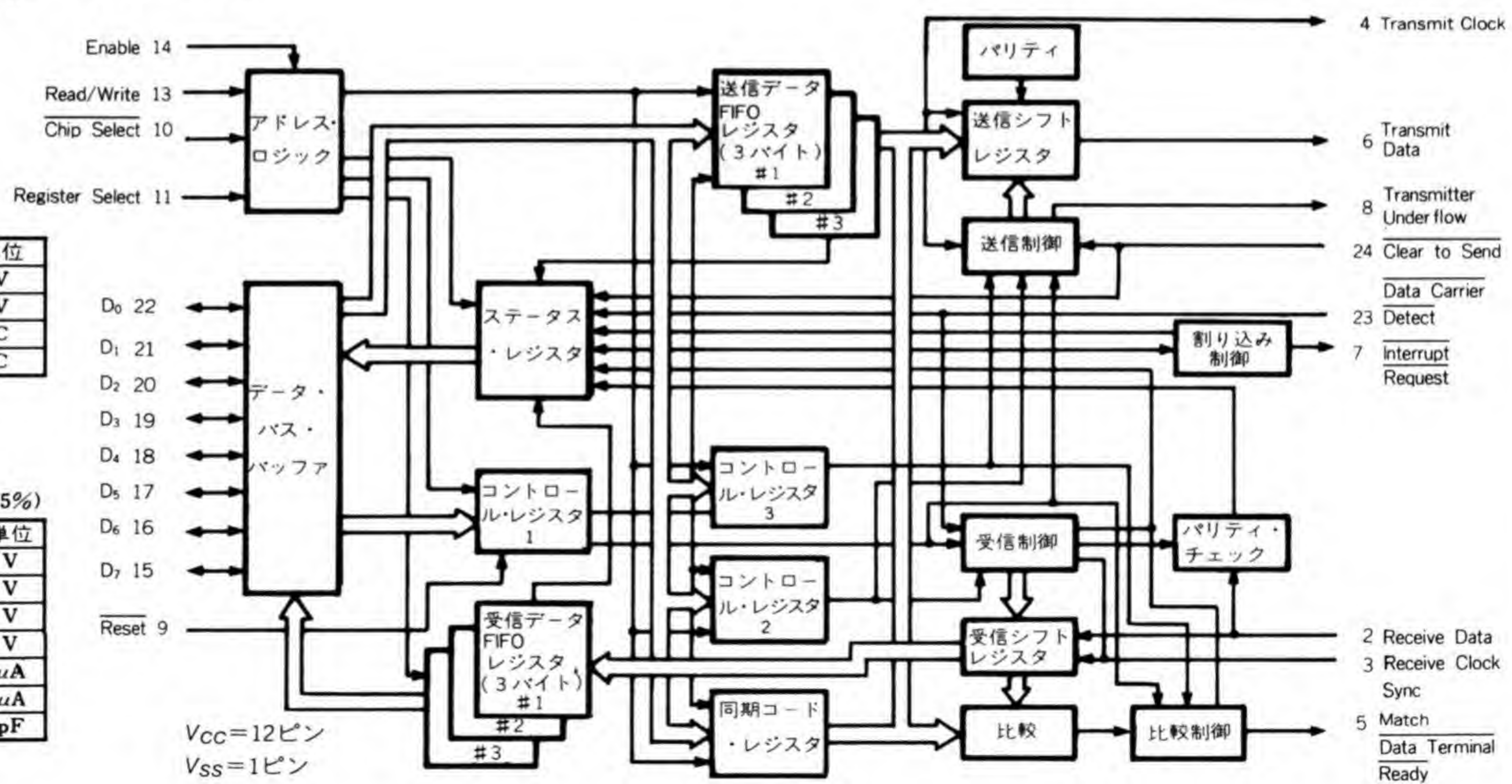


## ■ 特 徴

- ・ モデムあるいは周辺機器との間で使用される同期式シリアル・データ伝送用アダプタ
- ・ 送信, 受信およびエラー検出回路からの割り込みがプログラム可能
- ・ 1 バイトまたは2 バイトのシンク・コードによるキャラクタ同期が可能
- ・ 並列-直列変換の外部同期制御が可能
- ・ プログラム可能なシンク・コード・レジスタ

- ・ モデムおよび周辺機器の制御機能をもつ
- ・ 送信, 受信用にそれぞれ3 バイトのFIFO内蔵
- ・ 6, 7, 8 ビットのデータ送受信機能
- ・ 偶数または奇数パリティ, パリティなしのプログラムが可能
- ・ パリティ・エラー, オーバラン, アンダフローのチェック機能をもつ

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~7.0	V
動作温度	$T_{OPR}$	-20~+75	°C
保存温度	$T_{STG}$	-55~+150	°C

## ■ DC特性

( $T_a = -20 \sim +75^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測 定 条 件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 100\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT} = 2.4\text{V}$	10	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0.4 \sim 2.4\text{V}$	10	$\mu\text{A}$
$C_{IN}$		10	pF



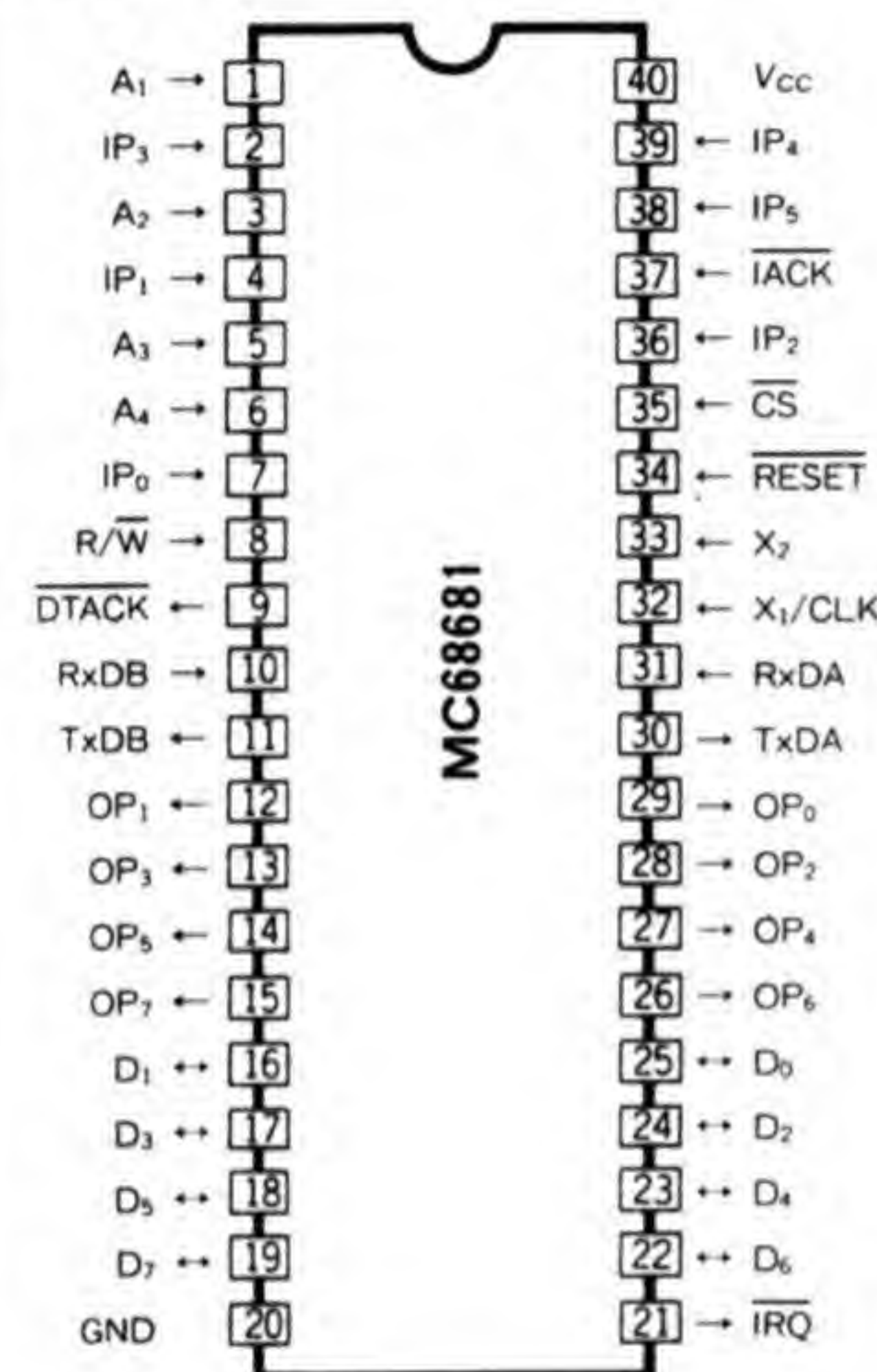
## ■端子機能

端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	双方向性データ・バス	22~15	入出力	CPU との間のデータ転送に使用される。データ・バスの出力は 3 ステート回路となっている
E	イネーブル	14	入力	データ・バスからのデータ入力あるいはデータ・バスへのデータ出力ができるようにするとともに CPU との間のデータ転送を同期させる
R/ $\overline{W}$	リード/ライト	13	入力	入出力データ・バスのデータ転送方向を制御する。また R/ $\overline{W}$ 信号は内部のリード専用レジスタの選択にも使われる
$\overline{CS}$	チップ・セレクト	10	入力	チップ・セレクト信号。データ転送は E 信号、R/ $\overline{W}$ 信号および RS 信号により実行される
RS	レジスタ・セレクト	11	入力	レジスタ・セレクト信号。“H” レベルのときにコントロール・レジスタ C <sub>2</sub> と C <sub>3</sub> シンク・コード・レジスタおよびトランスミット/レシーブ・データ・レジスタが選択される。また “L” レベルのときにはコントロール・レジスタ 1 とステータス・レジスタが選択される
$\overline{IRQ}$	インタラプト・リクエスト	7	出力	$\overline{IRQ}$ はオープン・ドレインの出力であり、CPU へ割り込み信号を出す。“L” レベルで割り込みとなり CPU によって解除されるまで “L” レベルを保つ
$\overline{RES}$	リセット	9	入力	リセット信号
TxCLK	トランスミッタ・クロック	4	入力	送信されるデータとの同期をとるために使われ、データはクロックの立ち下がりで送信される
RxCLK	レシーブ・クロック	3	入力	受信されるデータとの同期をとるために使われる。クロックとデータは外部で同期されていることが必要で、受信側はクロックの立ち上がりでデータを受信する
RxData	レシーブ・データ	2	入力	受信シリアル・データの入力端子
TxData	トランスミット・データ	6	出力	送信シリアル・データの出力端子
$\overline{CTS}$	送信要求	24	入力	CS に対応する入力信号で、シリアル・データ送信を制御する
$\overline{DCD}$	データ・キャリア・ディテクト	24	入力	モデムの搬送波検出を示す “CD” 信号に対応する入力信号
SM/ $\overline{DTR}$	シンクマッチ/ データ・ターミナル・レディ	5	出力	PC <sub>1</sub> と PC <sub>2</sub> のコントロール・ビットの状態によって四つの機能をもつ。シンク・マッチ・モードが選択されると (PC <sub>1</sub> = “1”, PC <sub>2</sub> = “0”), シンク・コードを検出したときに SM/ $\overline{DTR}$ 出力は、1 ビットの幅のパルスを出す。PC <sub>2</sub> = “1” になると SM 出力は PC <sub>2</sub> の反転したレベルになる。(PC <sub>2</sub> = “1” のときは $\overline{DTR}$ = “L”)
TUF	トランスミッタ・アンダフロー	8	出力	TUF トランスミット・データ FIFO の最後のロケーション (#3) が空になり、トランスミッタ・シフトレジスタに “フィル・キャラクタ” の転送がなされたときに出力される



# DUART (Dual Universal Asynchronous Receiver Transmitter)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~6.0	V
入力電圧	$V_{IN}$	-0.5~6.0	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC特性

( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{CC}=5.0\text{V}\pm5\%$ )

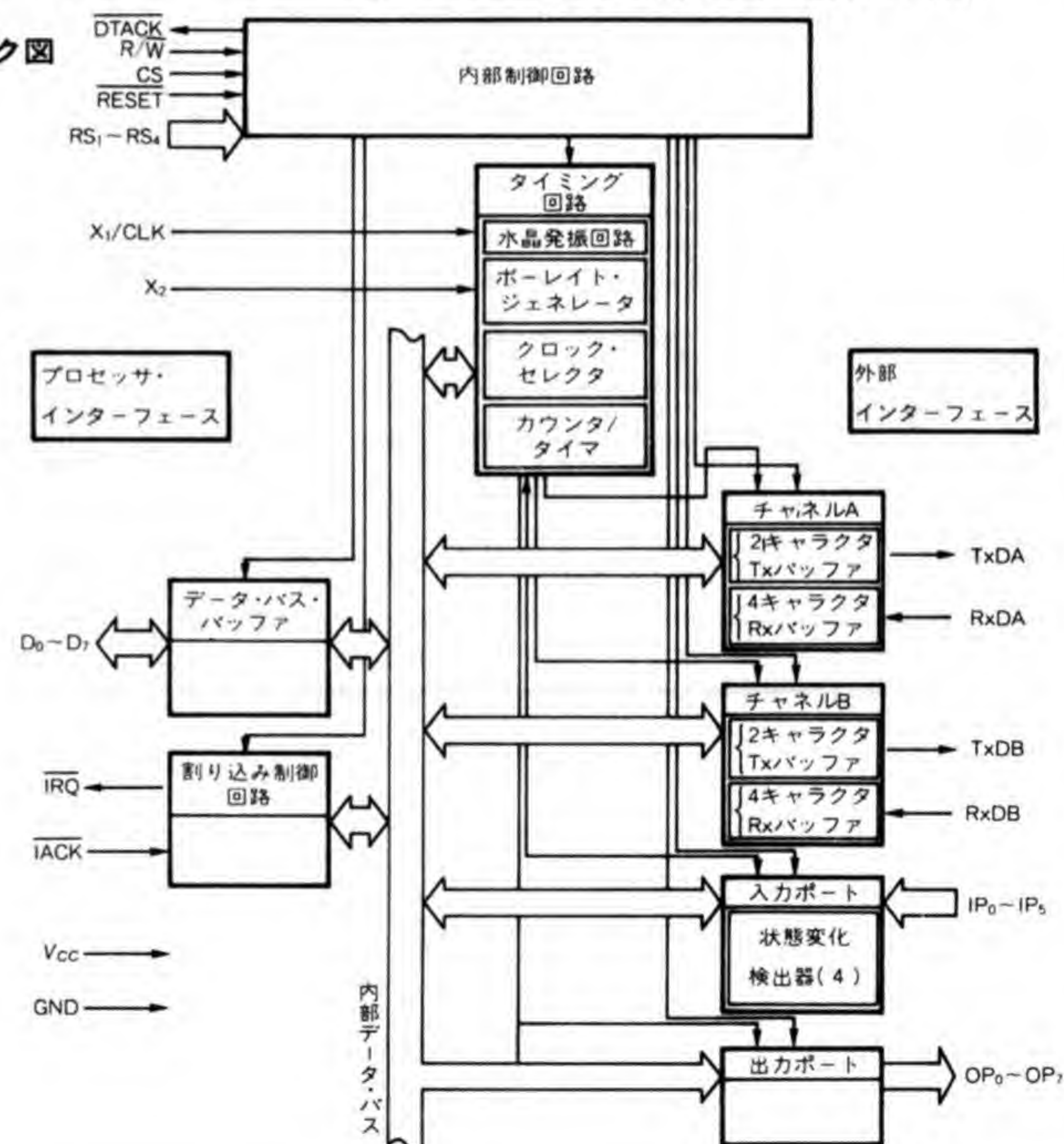
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=2.4\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=400\mu\text{A}$	2.4*	V
$I_{OL}$	$V_{OUT}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		15	pF

## ■ 特徴

- ・ 68000バス・コンパチブルなデュアル全二重非同期式データ伝送用LSI
- ・ 四つの受信データ・レジスタ・バッファ
- ・ データ・フォーマットはプログラマブル、5~8ビット・キャラクタ、ストップ・ビット長、パリティは設定可能
- ・ 各送受信部に対してプログラマブル・ボーレート、18固定レート：50~38.4kボー、タイマ/カウンタによる任意設定、外部の1倍または16倍クロック使用

- ・ パリティ、フレーミング、オーバラン・エラー検出
- ・ 誤りスタート・ビットの検出
- ・ ライン・ブレークの生成と検出
- ・ 多機能プログラマブル16ビット・カウンタ/タイマを内蔵
- ・ 多機能6ビット入力ポート：クロック/制御入力として利用
- ・ 多機能8ビット出力ポート：ステータス/割り込み信号としてプログラム可能
- ・ 8マスカブル割り込み要因で単一割り込み出力

## ■ ブロック図





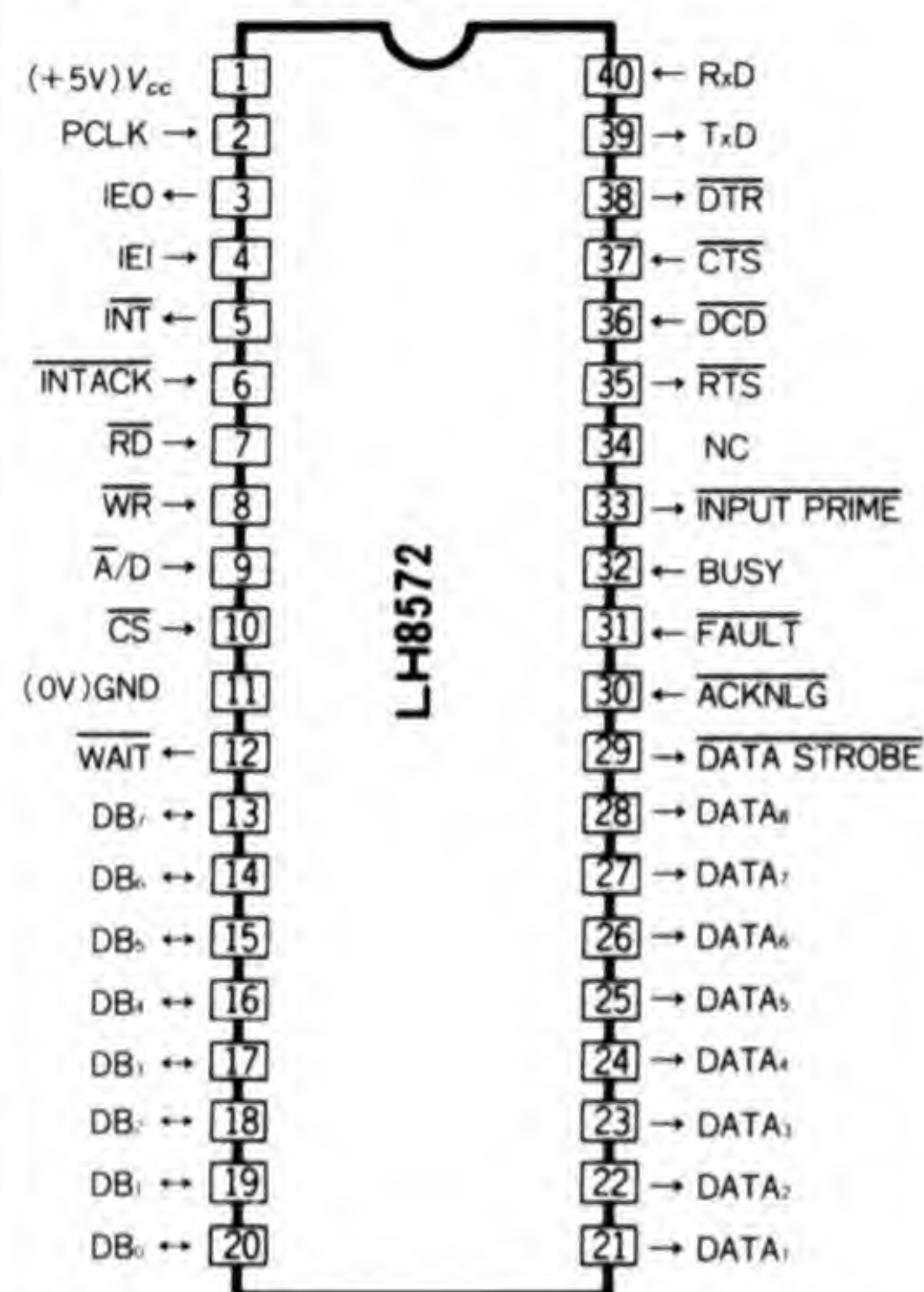
## ■端子機能

端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	25, 16, 24, 17, 23, 18, 22, 19	入出力	コマンド、データおよびステータス転送に使われる双方向 3 ステート・データ・バス
$\overline{CS}$	チップ・セレクト	35	入力	チップ選択信号
R/ $\overline{W}$	リード/ライト	8	入力	$\overline{CS}$ 入力のアサートで、サイクルが起動すると“H”入力で読み出しサイクル、“L”入力で書き込みサイクルを示す
A <sub>1</sub> ~A <sub>4</sub>	アドレス入力	1, 2, 5, 6	入力	読み出し、書き込み動作の内部レジスタとポートを選択する
$\overline{RESET}$	リセット	34	入力	“L”レベル状態で内部レジスタをクリアする
$\overline{DTACK}$	データ転送アクノリッジ	9	出力	書き込み、読み出しまたは割り込みサイクルでアサートされる 3 ステート・アクティブ“L”出力
$\overline{IRQ}$	割り込み要求	21	出力	マスク可能な 8 割り込み要因のうち、1 要因以上が“真”であることを CPU に知らせる出力
$\overline{IACK}$	割り込みアクノリッジ	37	入力	割り込みアクノリッジ・サイクルであることを示すアクティブ“L”入力
X <sub>1</sub> /CLK	クリスタル <sub>1</sub> /クロック	32	入力	水晶振動子または外部クロック入力
X <sub>2</sub>	クリスタル <sub>2</sub>	33	入力	水晶振動子のもう一方の側を接続する
RxDA	受信データ A	31	入力	チャンネル A の受信データ入力
RxDB	受信データ B	10	入力	チャンネル B の受信データ入力
TxDA	送信データ A	30	出力	チャンネル A の送信データ出力
TxDB	送信データ B	11	出力	チャンネル B の送信データ出力
OP <sub>0</sub>	出力 0	29	出力	汎用出力、チャンネル A 送信要求
OP <sub>1</sub>	出力 1	12	出力	汎用出力、チャンネル B 送信要求
OP <sub>2</sub>	出力 2	28	出力	汎用出力、チャンネル A 送信部クロック出力、チャンネル A 受信部クロック出力
OP <sub>3</sub>	出力 3	13	出力	汎用出力、カウンタ/タイマ出力、チャンネル B 送信部クロック、チャンネル B 受信部クロック出力
OP <sub>4</sub>	出力 4	27	出力	汎用出力、チャンネル A RxRDYA/FFULLA 出力
OP <sub>5</sub>	出力 5	14	出力	汎用出力、チャンネル B RxRDYB/FFULLB 出力
OP <sub>6</sub>	出力 6	26	出力	汎用出力、チャンネル A TxRDYA 出力
OP <sub>7</sub>	出力 7	15	出力	汎用出力、チャンネル B TxRDYB 出力
IP <sub>0</sub>	入力 0	7	入力	汎用入力、チャンネル A 送信可入力
IP <sub>1</sub>	入力 1	4	入力	汎用入力、チャンネル B 送信可入力
IP <sub>2</sub>	入力 2	36	入力	汎用入力、チャンネル B 受信外部クロック入力、カウンタ/タイマ外部クロック入力
IP <sub>3</sub>	入力 3	2	入力	汎用入力、チャンネル A 送信外部クロック入力
IP <sub>4</sub>	入力 4	39	入力	汎用入力、チャンネル A 受信外部クロック入力
IP <sub>5</sub>	入力 5	38	入力	汎用入力、チャンネル B 送信外部クロック入力



# SPCC [Serial Parallel Combination Controller]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
入力電圧	$V_{IN}^*$	$-0.3 \sim +7.0$	V
出力電圧	$V_{OUT}^*$	$-0.3 \sim +7.0$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

\* 全端子に加わるGNDに対する電圧

## ■ DC特性

( $T_a = 0 \sim +70^\circ\text{C}$ ,  $V_{CC} = 5V \pm 5\%$ )

記号	測定条件	min	max	単位
$V_{CH}$		2.4	$V_{CC}$	V
$V_{CL}$		-0.3	0.8	V
$V_{IH}$		2	$V_{CC}$	V
$V_{IL}$		-0.3	0.8	V
$V_{OH}$	$I_{OH} = -250\mu\text{A}$	2.4		V
$V_{OL}$	$I_{OL} = 2\text{mA}$		0.4	V
$I_{IL}$	$0 \leq V_{IN} \leq 5.25\text{V}$		10	$\mu\text{A}$
$I_{OL}$	$0 \leq V_{IN} \leq 5.25\text{V}$		10	$\mu\text{A}$
$I_{CC}$			250	$\text{mA}$

## ■ 特徴

- ・ 調歩同期式シリアル・データ伝送とセントロニクス準拠プリンタ制御を行うインターフェースを備えたシリアル・パラレル・コンビネーション・コントローラ
- ・ 調歩同期式全二重データ転送
  - 5～8キャラクタ長指定可能
  - ストップ・ビットの1, 2指定可能
  - パリティ・ビットの偶奇および有無の指定可能
  - マーク・ライン上のスパイク・ノイズを検出し、誤スタート・ビットを検出する
  - 送信バッファはダブル・バッファ構成

受信バッファは4段FIFO構成

パリティ、オーバラン、フレーミングの各エラー検出機能をもつ

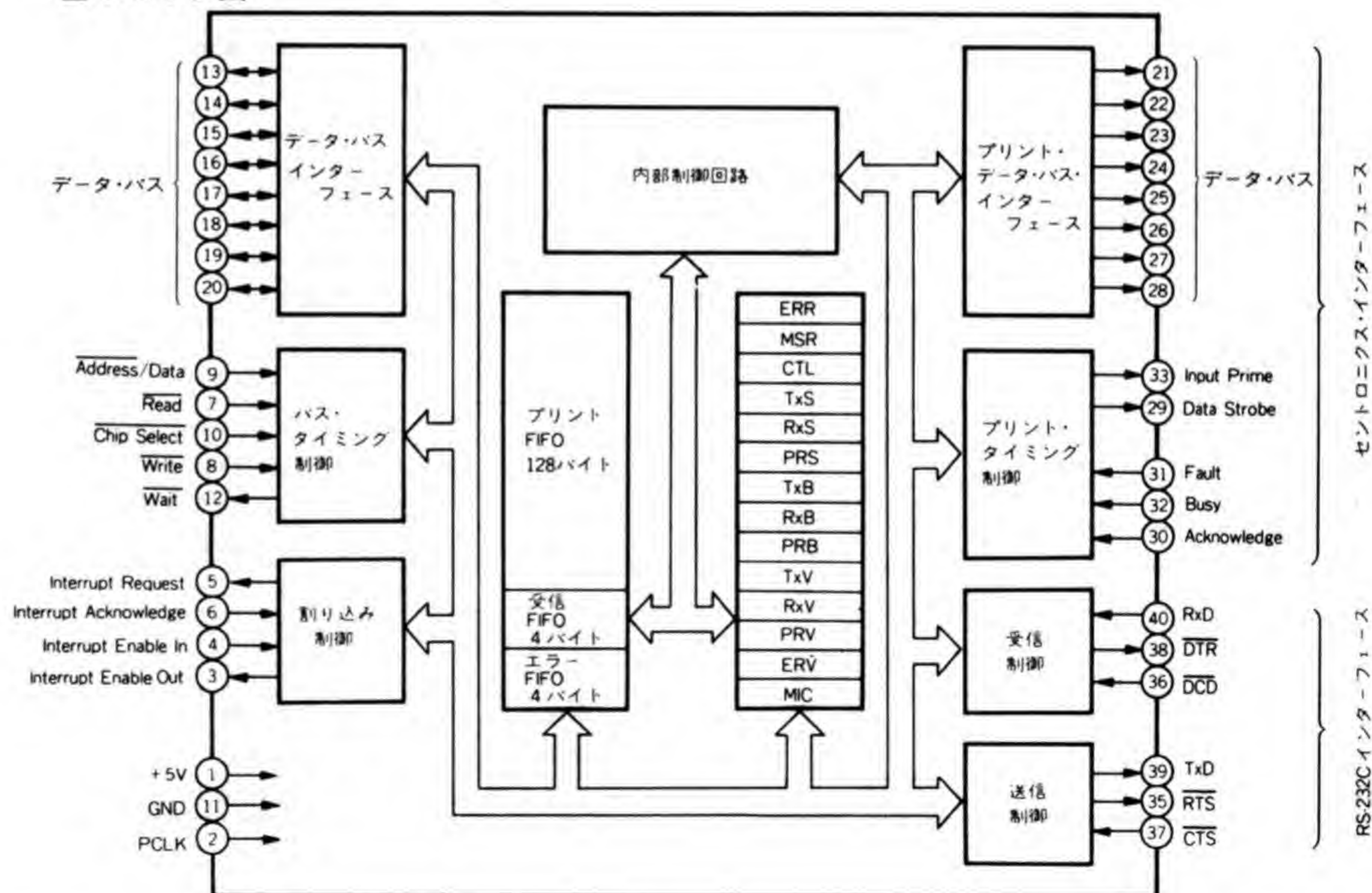
- ・ セントロニクス・プリンタ制御機能

データ出力のためのハンドシェイク機能を内蔵

内部バッファは128バイトのFIFO構成  
プリンタ・フォールト、ペーパー・エンブティのエラー検出機能をもつ

- ・ 送信バッファ空、受信キャラクタ有効、プリンタ出力、バッファ空の条件で割り込み発生可能
- ・ 割り込みベクタ設定可能

## ■ ブロック図





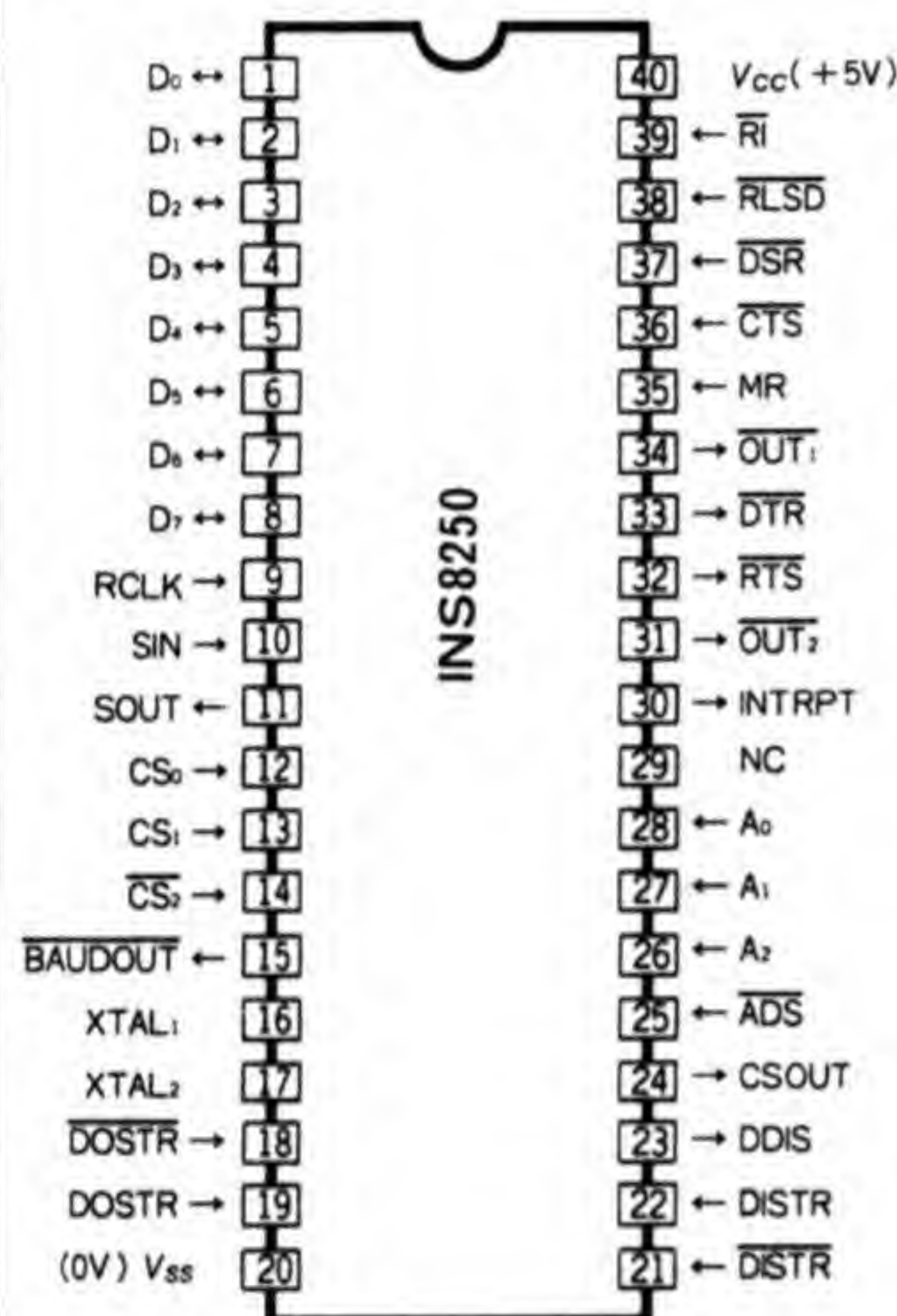
■端子機能

端子名	名称	ピン番号	入出力	機能
DB <sub>0</sub> ~DB <sub>7</sub>	データ・バス	20~13	入出力	システム・データ・バス
$\overline{A/D}$	アドレス/データ選択	9	入力	アドレス/データ選択信号
$\overline{RD}$	読み出し	7	入力	アクティブ“L”. 読み出し動作中であることを示す
$\overline{WR}$	書き込み	8	入力	アクティブ“L”. 書き込み動作中であることを示す
$\overline{CS}$	チップ選択	10	入力	アクティブ“L”. チップ選択信号
$\overline{WAIT}$	ウェイト	12	出力	アクティブ“L”. オープン・ドレイン. CPUとの同期用
$\overline{INT}$	割り込み要求	5	出力	アクティブ“L”. オープン・ドレイン. CPUへ割り込み要求を示す
$\overline{INTACK}$	割り込み応答	6	入力	アクティブ“L”. 割り込み応答サイクルを示す
IEI	割り込みイネーブル入力	4	入力	アクティブ“H”. 割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
IEO	割り込みイネーブル出力	3	出力	アクティブ“H”. 割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
DATA <sub>1</sub> ~DATA <sub>4</sub>	出力データ	21~28	出力	出力データ
$\overline{DATA\ STROBE}$	データ・ストロブ	29	出力	アクティブ“L”. データの確定を示す
BUSY	ビジィ	32	入力	アクティブ“H”. プリンタ装置動作中を示す
ACKNLG	応答	30	入力	アクティブ“H”. プリンタ装置からの応答信号
$\overline{FAULT}$	フォルト	31	入力	アクティブ“L”. プリンタ装置の動作不能状態を示す
$\overline{INPUT\ PRIME}$	プライム入力	33	出力	アクティブ“L”. プリンタ装置の初期化信号
RxD	受信データ	40	入力	受信用データ線
TxD	送信データ	39	出力	送信用データ線
$\overline{RTS}$	送信要求	35	出力	アクティブ“L”. データ転送(送信)の用意完了を示す信号
$\overline{CTS}$	送信可	37	入力	アクティブ“L”. データの送信可能状態を示す信号
$\overline{DTR}$	データ・ターミナル・レディ	38	出力	アクティブ“L”. データの送信要求信号
$\overline{DCD}$	受信可	36	入力	アクティブ“L”. データの受信可能状態を示す信号
PCLK	クロック	2	入力	単相クロック, CPUと同一のものでなくてよい



# UART [Asynchronous Communication Element]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.5~+7.0	V
入力電圧	V <sub>IN</sub>	-0.5~+7.0	V
動作温度	T <sub>OPR</sub>	0~+70	°C
保存温度	T <sub>STG</sub>	-65~+150	°C

## ■ DC特性

(T<sub>a</sub> = 0°C ~ +70°C, V<sub>CC</sub> = +5V ± 5%, V<sub>SS</sub> = 0V)

記号	項目	min	typ	max	単位
V <sub>ILX</sub>	クロック“L”入力電圧	-0.5		0.8	V
V <sub>IHX</sub>	クロック“H”入力電圧	2.0		V <sub>CC</sub>	V
V <sub>IL</sub>	入力電圧“L”	-0.5		0.8	V
V <sub>IH</sub>	入力電圧“H”	2.0		V <sub>CC</sub>	V
V <sub>OL</sub> *	出力電圧“L”			0.4	V
V <sub>OH</sub> *	出力電圧“H”	2.4			V
I <sub>CC(AV)</sub>	消費電流(V <sub>CC</sub> )		65	80	mA

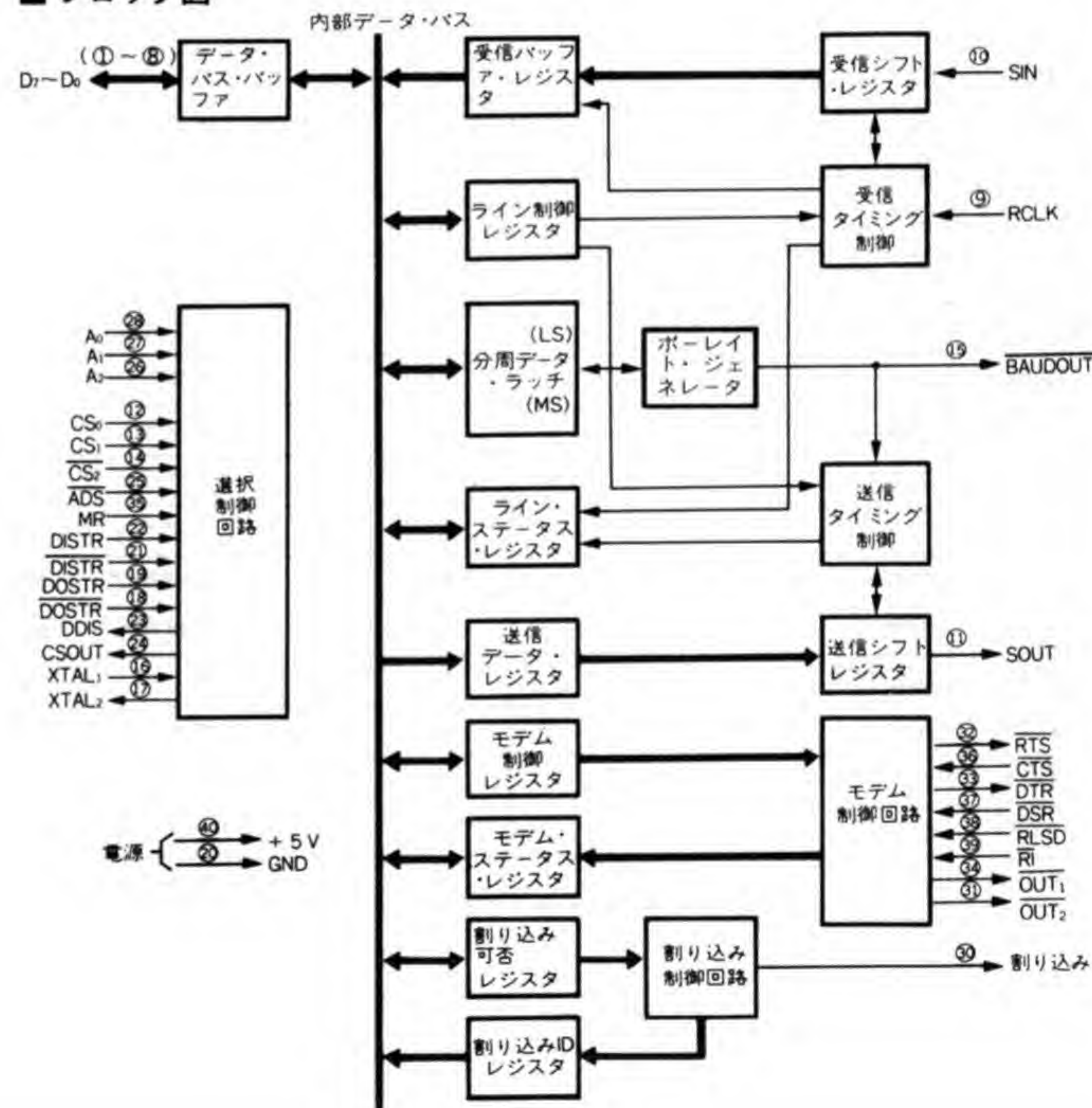
\* I<sub>OL</sub> = 1.6mA すべての出力, I<sub>OH</sub> = -100μA

## ■ 特徴

- ・ 各種の調歩同期式の直列通信処理をプログラマブルに設定できる
- ・ 8ビット/16ビットなど各種のCPUと容易に接続できる仕様となっている
- ・ プログラマブルなボーレート・ジェネレータを内蔵している

- ・ 送信, 受信, ライン・ステータス, データ・セットなどの割り込み処理をそれぞれ独立にセットできる
- ・ モデム制御のために信号線が用意されている (CTS, RTS, DSR, RI, CD)

## ■ ブロック図





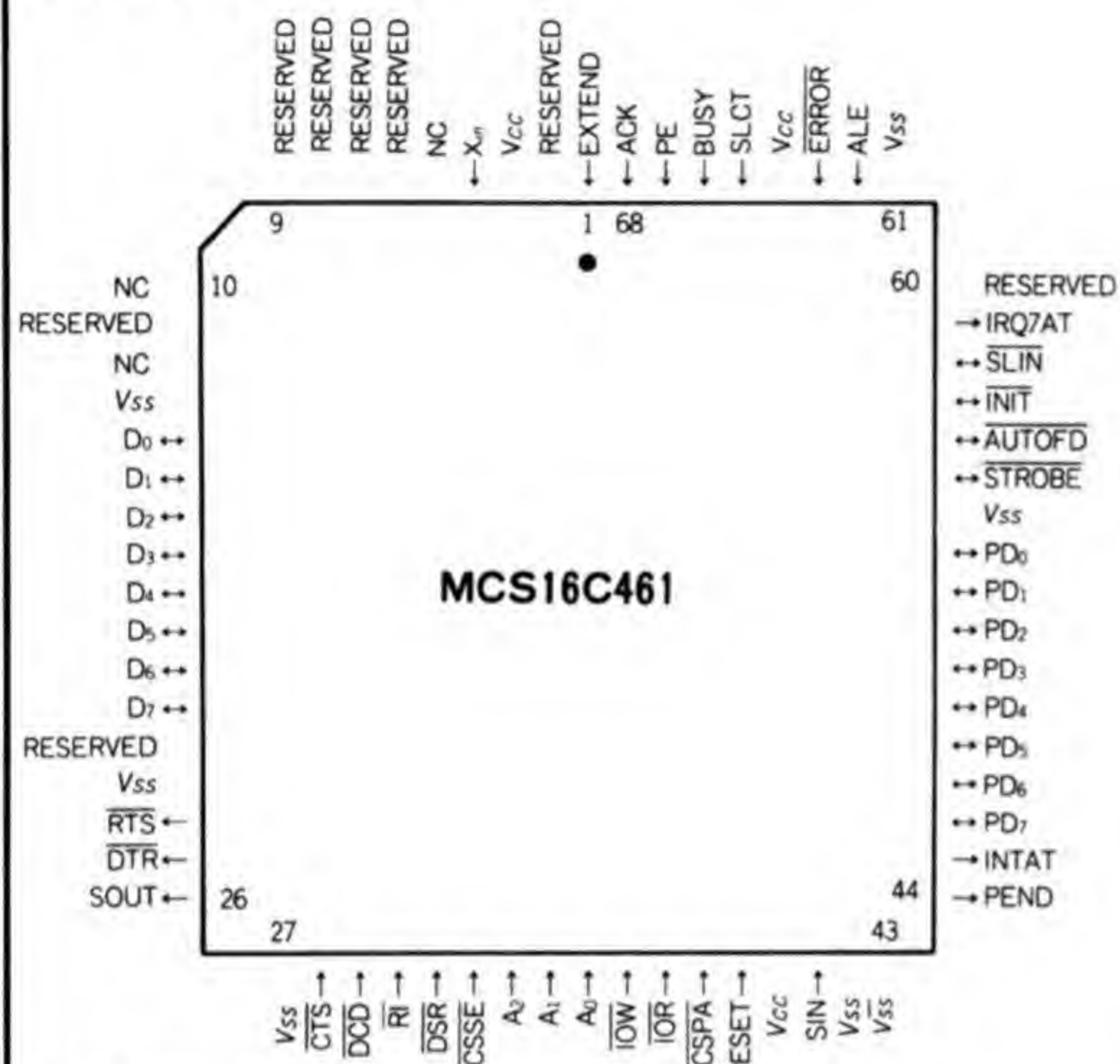
## ■端子機能

端子名	名 称	ピン番号	入 出 力	機 能
$\overline{CS_0}, \overline{CS_1}, \overline{CS_2}$	チップ・セレクト	12~14	入 力	$\overline{CS_0}$ , $\overline{CS_1}$ がともに“H”レベルでかつ $\overline{CS_2}$ が“L”レベルのとき、本チップが選択される
$\overline{DISTR}$ , $\overline{DISTR}$	データ・インプット・ストロープ	22, 21	入 力	チップが選択され、 $\overline{DISTR}$ 入力が“H”レベルまたは $\overline{DISTR}$ 入力が“L”レベルのとき、選択されたレジスタからのステータス情報やデータがCPUに読み込まれる
$\overline{DOSTR}$ , $\overline{DOSTR}$	データ・アウトプット・ストロープ	19, 18	入 力	チップが選択され、 $\overline{DOSTR}$ 入力が“H”レベルまたは $\overline{DOSTR}$ が“L”レベルのとき、選択されたレジスタへデータやコントロール・ワードが書き込まれる
$\overline{ADS}$	アドレス・ストロープ	25	入 力	この入力が“L”レベルのとき、レジスタ・セレクト信号( $A_0$ , $A_1$ , $A_2$ )およびチップ・セレクト信号( $\overline{CS_0}$ , $\overline{CS_1}$ , $\overline{CS_2}$ )のラッチ動作が行われる
$A_0$ , $A_1$ , $A_2$	レジスタ・セレクト	26~28	入 力	これらの入力は、リードまたはライト動作時にその対象になるレジスタを指定するために使用される
MR	マスタ・リセット	35	入 力	“H”レベル時には、すべてのレジスタ(レシーバ・バッファ、トランスミット・ホールディング、ディバイサ・ラッチの3レジスタは除く)および制御ロジックがクリアされる
RCLK	レシーバ・クロック	9	入 力	レシーバ回路を制御する16倍のクロックの入力端子である
SIN	シリアル・インプット	10	入 力	直列データ入力端子である
$\overline{CTS}$	クリア・トゥ・SEND	36	入 力	CTSはモデム・コントロール用の入力であり、その状態はモデム・ステータス・レジスタのビット4(CTS)を参照することによってテストされる
$\overline{DSR}$	データ・セット・レディ	37	入 力	“L”レベルのとき、モデムまたはデータ・セットが送信可能な状態であることを示す
DCD	データ・キャリア・ディテクタ	38	入 力	“L”レベルのとき、データ・キャリアがモデムまたはデータ・セットによって検出されたことを示す
$\overline{RI}$	リング・インジケータ	39	入 力	“L”レベルのとき、電話のベルの音がモデムまたはデータ・セットに受信されたことを示す
$\overline{DTR}$	データ・ターミナル・レディ	33	出 力	“L”レベルのとき、モデムに通信可能な状態であることを示す
$\overline{RTS}$	リクエスト・トゥ・SEND	32	出 力	“L”レベルのとき、モデムにデータ転送可能な状態であることを示す
$\overline{OUT_1}$	アウトプット1	34	出 力	汎用の出力端子であり、モデム・コントロール・レジスタのビット2( $\overline{OUT_1}$ )をプログラムでセットすることにより、アクティブとなる
$\overline{OUT_2}$	アウトプット2	31	出 力	汎用の出力端子であり、モデム・コントロール・レジスタのビット3( $\overline{OUT_2}$ )をプログラムすることにより、アクティブとなる
CSOUT	チップ・セレクト・アウト	24	出 力	$\overline{CS_0}$ , $\overline{CS_1}$ , $\overline{CS_2}$ がともにアクティブとなり、チップが選択状態となった場合に“H”レベル信号を出力する
DDIS	ドライバ・ディセーブル	23	出 力	データがCPUによって読み出されているとき、“L”レベルとなる。外部データ・トランシーバをディセーブルするために使用される
BAUDOUT	ボーレート・アウト	15	出 力	送信回路に使用される16倍のクロックを出力する
INTRPT	インタラプト	30	出 力	インタラプト要求がアクティブ状態となり、かつIERの対応ビットがセットされていた場合に“H”レベルとなる
SOUT	シリアル・アウトプット	11	出 力	シリアル・データを出力する
$D_7 \sim D_0$	データ・バス	1~8	入出力	8ラインの3ステート入出力で構成されており、CPU間との双方向性のデータ通信を行う
$\overline{XTAL_1}$ , $\overline{XTAL_2}$	クロック入出力	16, 17	—	水晶振動子または外部クロックが接続される



# MFP (Multi Function Peripheral)

## ■ ピン接続



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	3.0~7.0	V
入力電圧	$V_{IN}$	0~5.5	V
消費電力	$P_D$	1.0	W
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-50~150	°C

## ■ DC特性

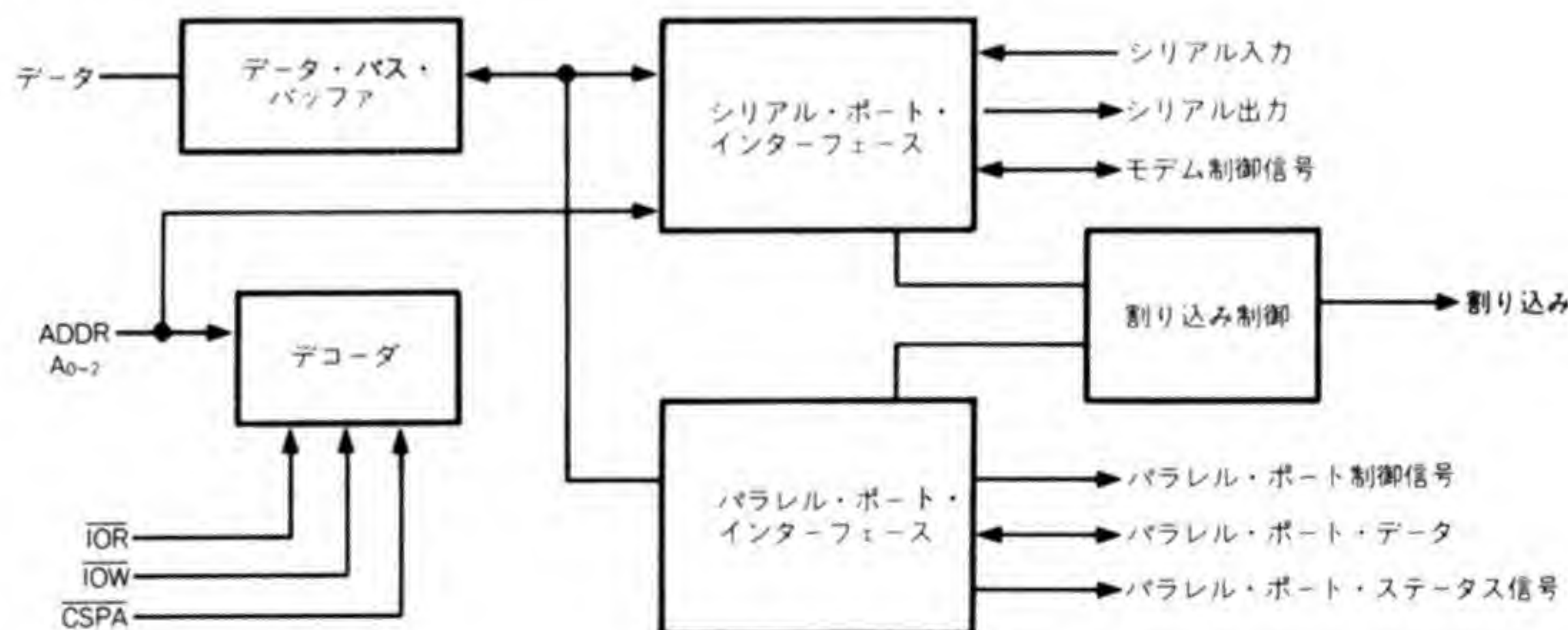
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$		0.4	V
$V_{OH}$		2.4*	V
$I_{OL}$		$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		10	pF

## ■ 特 徴

- ・ IBM PC/AT, XTポート・アドレス・デコーダをサポートする複合機能コントローラ
- ・ INS8250 UARTと互換のある全二重シリアル・ポート内蔵
- ・ 受信/送信部ごとにボーレートをプログラム可能
- ・ 完全なモデム制御機能内蔵
- ・ キャラクタ・モードでのダブル・バッファリングが可能
- ・ 異常スタート・ビット検出機能をもつ
- ・ セントロニクス・プリンタ・インターフェース
- ・ パラレル・ポート拡張モードでは双方向入出力をサポート
- ・ パラレル・ポートは、レベル感知のリード可能な割り込みペンドイング・ステータスをサポート
- ・ パラレル・ポート・インターフェースを直接ドライブ可能

## ■ ブロック図





## ■ 端子機能

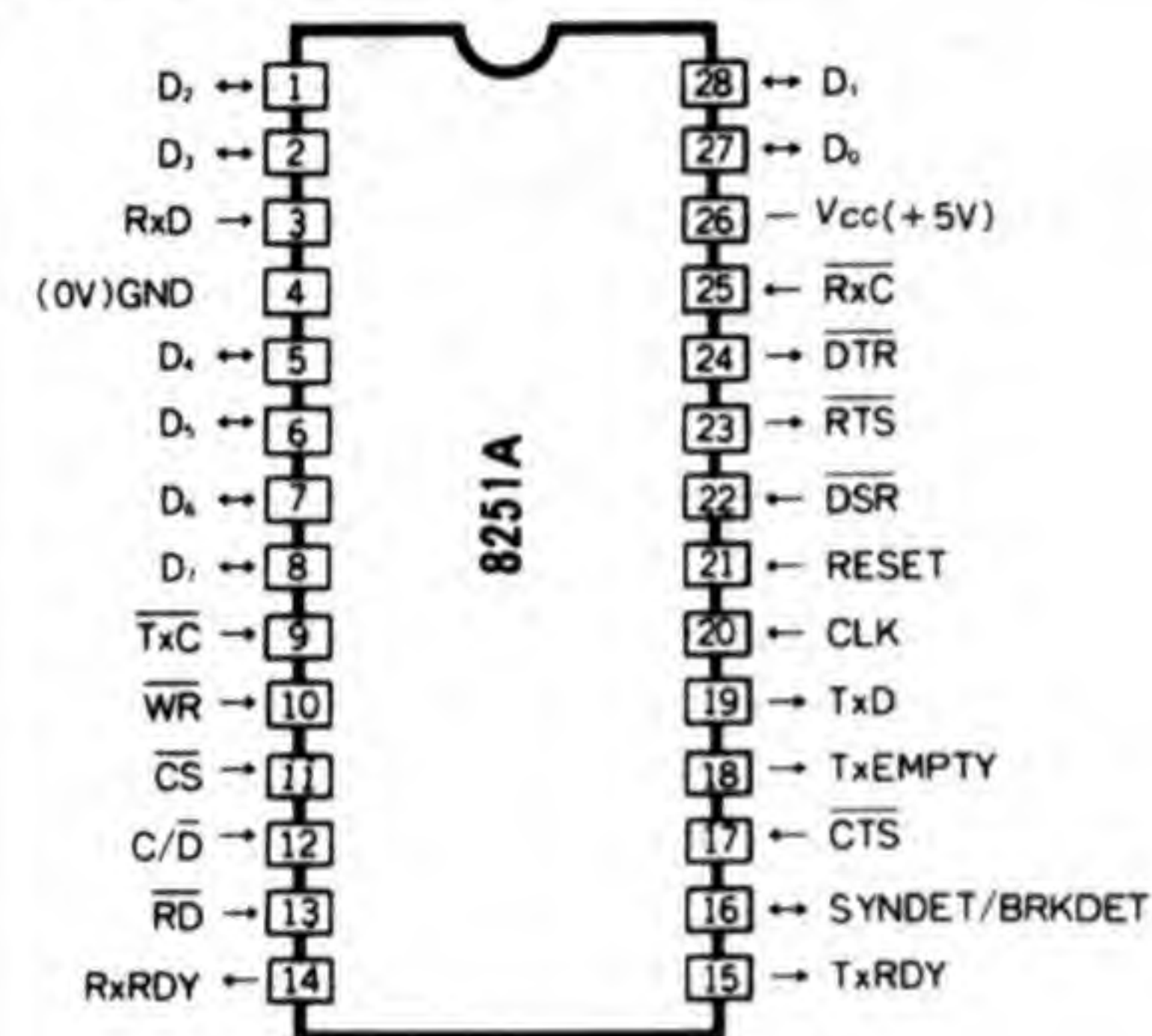
端子名	ピン番号	入出力	機能
EXTEND	1	入力	このピンが0にセットされると、拡張モードが選択される。拡張モードでは、パラレル・データは8ビット・パラレルの双方向インターフェースになる
X <sub>in</sub>	4	入力	外部クロック入力。メイン・タイミング基準をUARTに接続する
D <sub>0</sub> ~D <sub>7</sub>	14~21	入出力	CPUデータ・バス
$\overline{\text{RTS}}$	24	出力	送信要求。“L”のとき、UARTがデータを送出する準備ができていることをモデムまたはデータ・セットに知らせる
$\overline{\text{DTR}}$	25	出力	データ・ターミナル・レディ。“L”のとき、DTRはUARTがデータを受信する準備ができていることをモデムまたはデータ・セットに知らせる
SOUT	26	出力	シリアル・データ出力
$\overline{\text{CTS}}$	28	入力	送信許可。“L”のとき、モデムまたはデータ・セットがデータを受信する準備ができていることを示す
$\overline{\text{DCD}}$	29	入力	受信キャリア検出。“L”のとき、モデムまたはデータ・セットがデータ・キャリアを検出したことを示す
$\overline{\text{RI}}$	30	入力	リング・インジケータ。“L”のとき、モデムまたはデータ・セットが電話リング信号を検出したことを示す
$\overline{\text{DSR}}$	31	入力	データ・セット・レディ。“L”のとき、モデムまたはデータ・セットがUARTで通信リンクおよび転送データをセットする準備ができていることを示す
$\overline{\text{CSSE}}$	32	入力	シリアル・ポート・セレクト。この信号が“L”のとき、シリアル・ポートがセレクトされる
$\overline{\text{CSPA}}$	38	入力	パラレル・ポート・セレクト。この信号が“L”のとき、パラレル・ポートが選択される
A <sub>0</sub> ~A <sub>2</sub>	35~33	入力	CPUのアドレス・バス
$\overline{\text{IOW}}$	36	入力	I/Oライト・ストロブ。この信号が“L”のとき、CPUはデータをUARTまたはパラレル・ポートにライトすることができる

端子名	ピン番号	入出力	機能
$\overline{\text{IOR}}$	37	入力	I/Oリード・ストロブ。この信号が“L”のとき、CPUはステータス情報またはデータをUARTまたはパラレル・ポートからリードすることができる
RESET	39	入力	パラレル・ポート・コントロール・レジスタおよびすべてのシリアル・ポート・レジスタをクリアする
SIN	41	入力	モデムまたはデータ・セットからのシリアル・データ入力
PEND	44	出力	バス・バッファ出力。PENDは、シリアル・ポートまたはパラレル・ポートがリードされるときには“L”である
INTAT	45	出力	AT用のシリアル・ポート割り込み
PD <sub>0</sub> ~PD <sub>7</sub>	53~46	入出力	パラレル・ポートのデータ・バス
$\overline{\text{STROBE}}$	55	入出力	プリンタ・ストロブ。“L”のとき、データをプリンタにクロック出力する
$\overline{\text{AUTOFD}}$	56	入出力	プリンタ自動給紙。“L”のとき、各々の行がプリントされた後でライン・フィードを行う
$\overline{\text{INIT}}$	57	入出力	プリンタの初期化。“L”のとき、プリンタは初期化ルーチンを開始する
$\overline{\text{SLIN}}$	58	入出力	プリンタ・セレクト。“L”のとき、プリンタを選択する
IRQ7AT	59	出力	AT用のパラレル・ポート割り込み
ALE	62	入力	アドレス・ラッチ・イネーブル。アクティブ“H”
$\overline{\text{ERROR}}$	63	入力	プリンタ・エラー。“L”のときプリンタ・エラーを示す
SLCT	65	入力	プリンタ・セレクトッド。“H”のときプリンタを選択されていることを示す
BUSY	66	入力	プリンタ・ビジィ。“H”のときプリンタがデータを受け入れることができないことを示す
PE	67	入力	用紙の終わり。“H”のときプリンタが用紙の終わりを検出したことを示す
ACK	68	入力	プリンタ・アクノリッジ。“H”のときプリンタがデータを受信したことを示す



# USART (Universal Synchronous Asynchronous Receiver Transmitter)

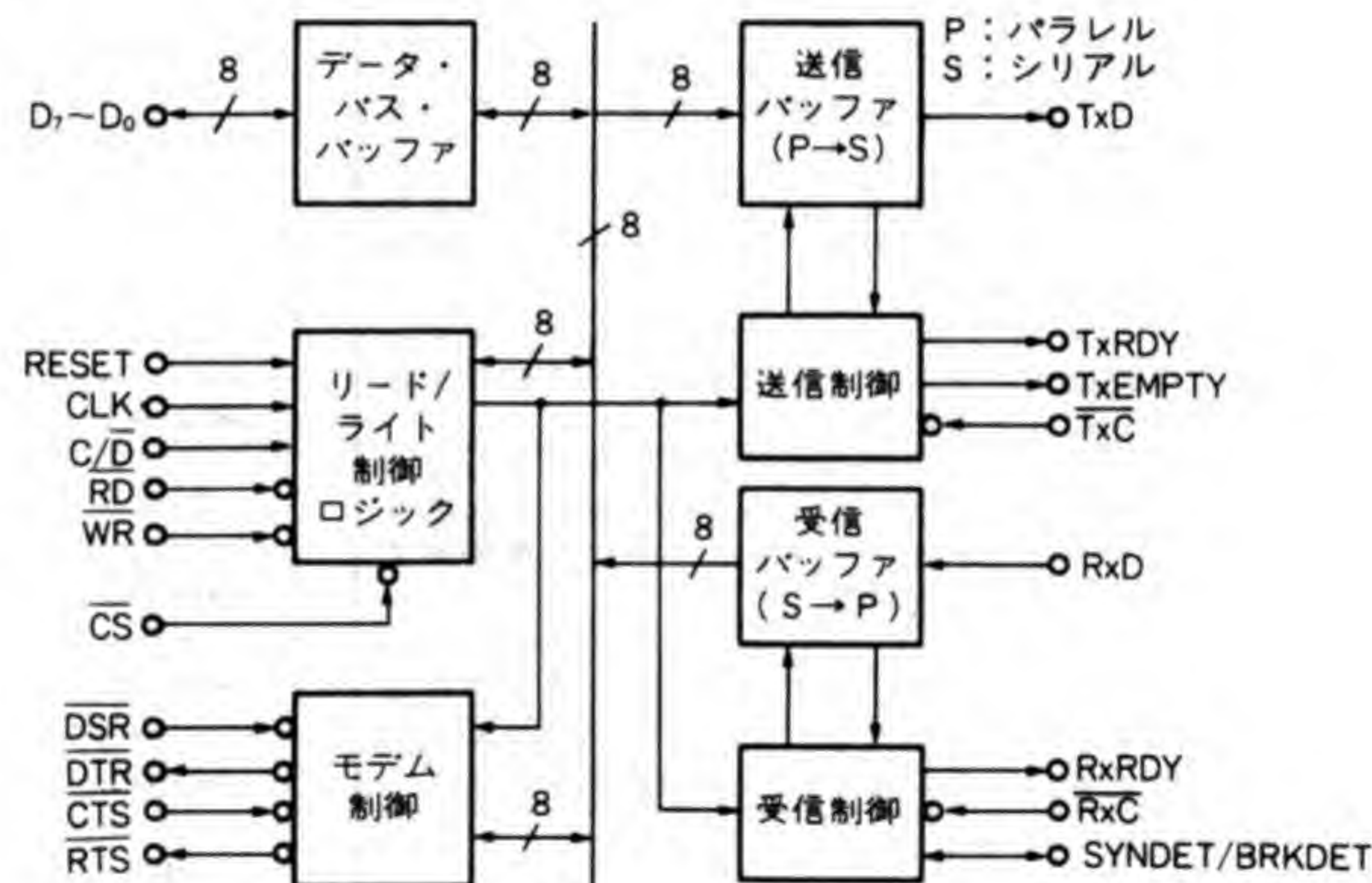
## ■ ピン接続



## ■ 特 徴

- ・ プログラマブルに、非同期/同期通信のいずれも選択することができる
- ・ 同期式では5～8ビット・キャラクタの処理、内部/外部キャラクタ同期を選択できる
- ・ BSCに対応し、自動SYNキャラクタ挿入ができる
- ・ 伝送速度  
同期: DC～56Kbit/sec  
非同期: DC～19.2Kbit/sec
- ・ 全二重、ダブル・バッファ方式による送受信バッファをもっている
- ・ エラー検出としてパリティ、オーバラン、フレーミング・エラーがある
- ・ 非同期モードでは、5～8ビット・キャラクタ、ストップ・ビット1, 1.5, 2などの使用選択ができる
- ・ ブレーク・キャラクタ送出ができる
- ・ 8ビット, 16ビットCPUと容易に接続できる

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5～+7.0	V
入力電圧	$V_{IN}$	-0.5～+7.0	V
動作温度	$T_{OPR}$	0～+70	°C
保存温度	$T_{STG}$	-65～+150	°C

## ■ DC特性

記号	測 定 条 件	min	max	単位
$V_{IH}$		2.0	$V_{CC}$	V
$V_{IL}$		-0.5	0.8	V
$V_{OH}$	$I_{OH} = -0.4mA$	2.4		V
$V_{OL}$	$I_{OL} = -2.2mA$		0.45	V
$V_{CC}$		-0.5	7	V
$I_{CC}$	全出力“H”		100	mA



■ 端子機能

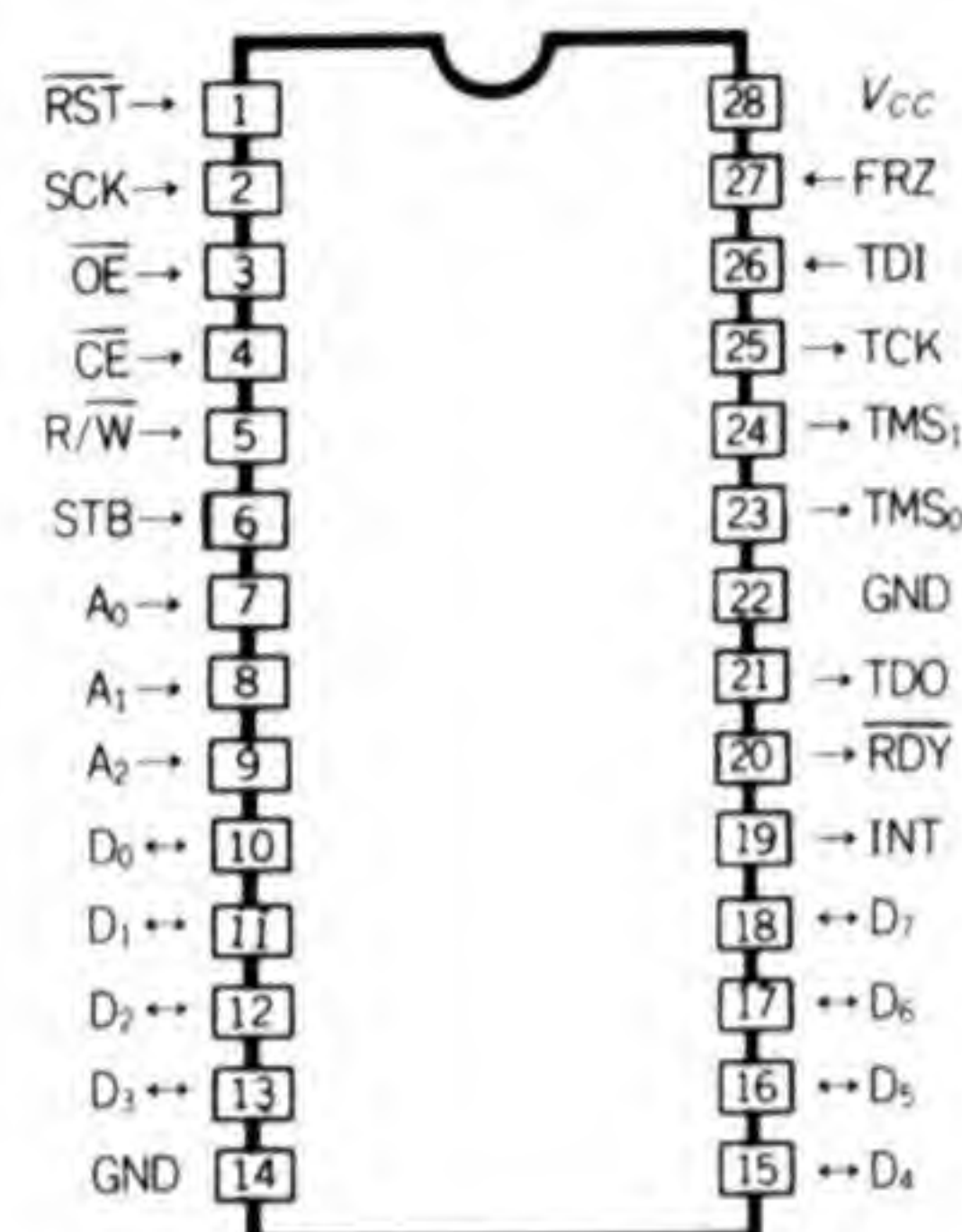
端子名	ピン番号	入出力	機能																																			
CLK	20	入力	メイン・クロックでありRxC, TxCの4.5倍以上の周波数でなくてはならない (×1モードは30倍以上)																																			
RESET	21	入力	マスタ・リセット、システム・クロックの6サイクル分のパルス幅が必要																																			
$\overline{\text{CS}}$	11	入力	<table><tr><th></th><th>データ WRITE</th><th>データ READ</th><th>コマンド WRITE</th><th>ステータス READ</th><th colspan="2">ハイ・インピーダンス</th></tr><tr><td><math>\overline{\text{CS}}</math></td><td>L</td><td>L</td><td>L</td><td>L</td><td>L</td><td>H</td></tr><tr><td>C/D</td><td>L</td><td>L</td><td>H</td><td>H</td><td>×</td><td>×</td></tr><tr><td><math>\overline{\text{WR}}</math></td><td>L</td><td>H</td><td>L</td><td>H</td><td>H</td><td>×</td></tr><tr><td><math>\overline{\text{RD}}</math></td><td>H</td><td>L</td><td>H</td><td>L</td><td>H</td><td>×</td></tr></table> <p><math>\overline{\text{WR}}=\overline{\text{RD}}\text{"L"}</math>は禁止</p>		データ WRITE	データ READ	コマンド WRITE	ステータス READ	ハイ・インピーダンス		$\overline{\text{CS}}$	L	L	L	L	L	H	C/D	L	L	H	H	×	×	$\overline{\text{WR}}$	L	H	L	H	H	×	$\overline{\text{RD}}$	H	L	H	L	H	×
	データ WRITE	データ READ		コマンド WRITE	ステータス READ	ハイ・インピーダンス																																
$\overline{\text{CS}}$	L	L		L	L	L	H																															
C/D	L	L		H	H	×	×																															
$\overline{\text{WR}}$	L	H		L	H	H	×																															
$\overline{\text{RD}}$	H	L	H	L	H	×																																
C/D	12	入力																																				
$\overline{\text{WR}}$	10	入力																																				
$\overline{\text{RD}}$	13	入力																																				
$\overline{\text{DTR}}, \overline{\text{RTS}}, \overline{\text{DSR}}$	24, 23, 22	出力, 出力, 入力	RS-232Cの信号に対応する入出力信号。使用しない場合は、たんなるI/O信号(自由に使える)																																			
$\overline{\text{CTS}}$	17	入力	"H"であると送信回路はディセーブル																																			
TxD	19	出力	シリアル出力																																			
TxRDY	15	出力	次のデータを書き込めることを示す (データを書き込むと"L"となる) Txディセーブルにするとマスクされて"H"とならない																																			
TxEMPTY	18	出力	すべてのデータが送出し終わったことを示す (データを書き込むと"L"となる)																																			
$\overline{\text{TxC}}$	9	入力	送信クロック																																			
RxD	3	入力	シリアル入力																																			
RxRDY	14	出力	データが全ビット受信終了し、読み出せることを示す (データを読み出すと"L"となる)																																			
$\overline{\text{RxC}}$	25	入力	受信クロック																																			

端子名	ピン番号	入出力	機能
SYNDET (同期モード)	16	入出力	内部SYNC(O)所定のSyncキャラクタ検出で"H", ステータス読み出して"L" 外部SYNC(I) $\overline{\text{RxC}}$ 1サイクル以上の入力で同期検出モードから抜ける
BRKDET (非同期モード)		出力	ブ레이크状態検出。1ワード分のスペース入力で"H"となり、マーク入力あるいはRESETで"L"となる (×1モードでは2ワードのスペース入力で"H"となる)



# BSPSC (Boundary Scan Parallel Serial Converter)

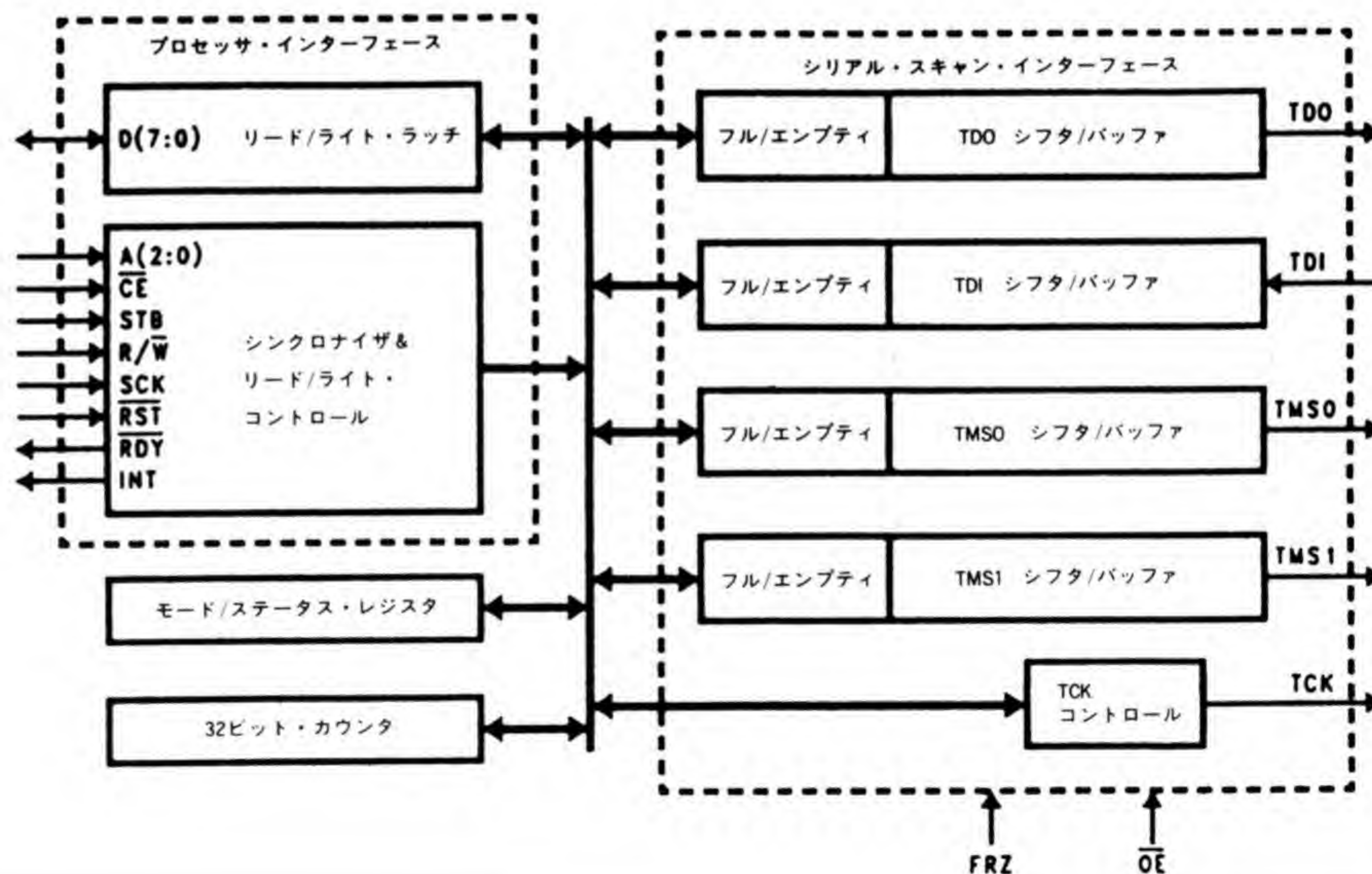
## ■ ピン接続



## ■ 特 徴

- ・並列プロセッサに直列スキャン・テスト・バスを接続するためのインターフェース
- ・IEEE規格1149.1(JTAG)テスト・アクセス・ポートおよびバウンダリ・スキャン・アーキテクチャとコンパチブル
- ・最高2本までの1149.1スキャン・リングとのインターフェース
- ・テスト・データ入力ポートにおける16ビット直列シグネチャ・コンパクション (SSC)
- ・テスト・データ出力ポートにおける擬似ランダム・パターンの自動発生

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.5~7.0	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
動作温度	$T_{OPR}$	-40~85	°C
保存温度	$T_{STG}$	-65~150	°C

## ■ DC 特性

( $T_a = -40 \sim 85^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 24\text{mA}$	0.44	V
$V_{OH}$	$I_{OH} = 24\text{mA}$	3.76*	V
$I_{OFL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 5$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 1$	$\mu\text{A}$



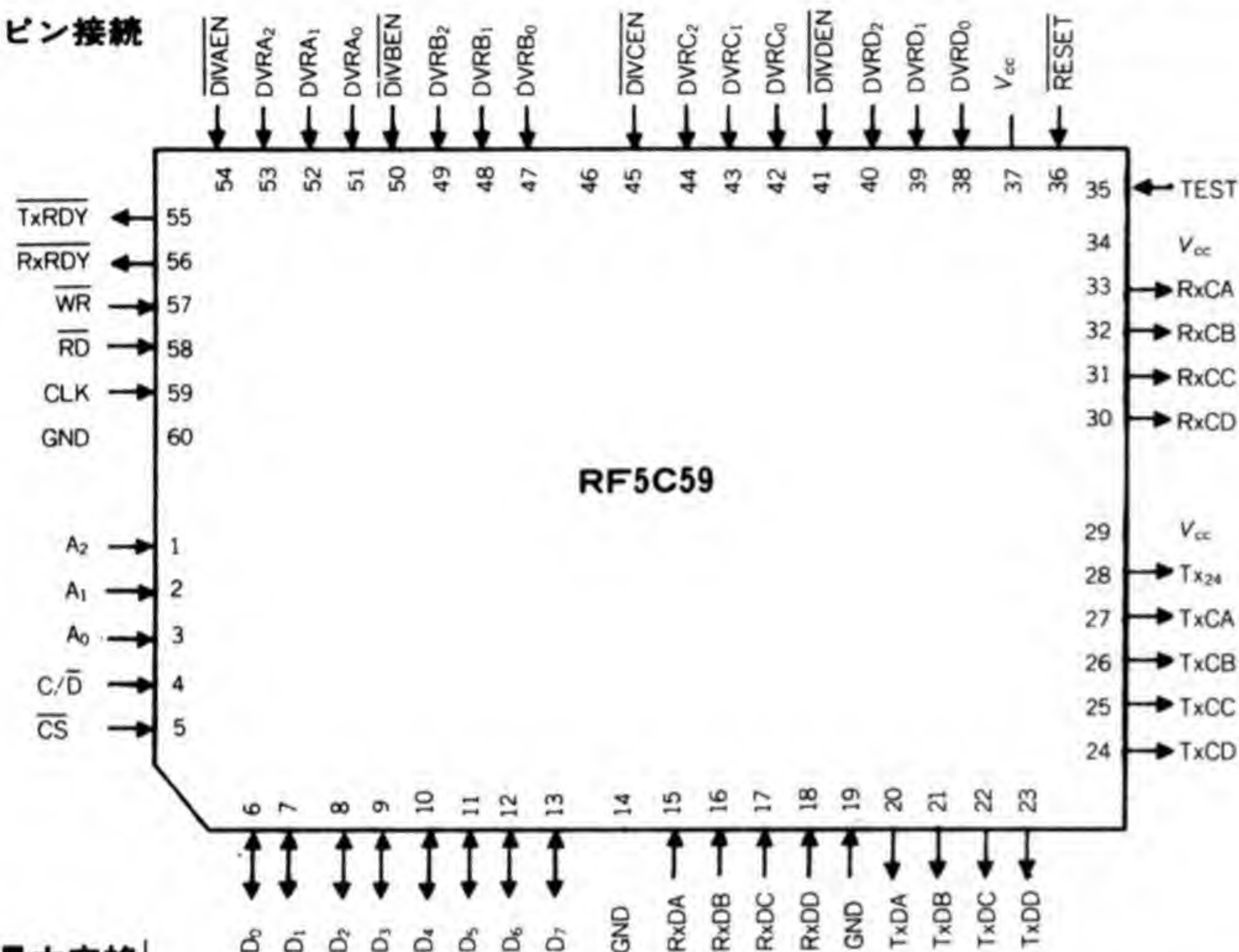
## ■端子機能

端子名	ピン番号	入出力	機能
$\overline{\text{RTS}}$	1	入力	リセット・ピンは非同期入力であり、ローのときPSC100を起動する。モード・ビット、シフタ/バッファおよびCNT32制御ロジック、TCK制御、およびPPIはすべて定義された状態で起動される。 $\overline{\text{RST}}$ は改善されたノイズ耐性のためヒステリシス特性をもっている。
SCK	2	入力	システム・クロックは内部タイミングをすべて駆動する。またTCKはSCKをゲートまたはバッファで遅延させた信号。SCKは改善されたノイズ耐性のためヒステリシス特性をもっている。
$\overline{\text{OE}}$	3	入力	出力イネーブルはハイのときすべてのSSI出力をTRI-STATE®出力にする。この信号がフロート状態のとき、出力を自動的にTRI-STATE®出力するため、20k $\Omega$ のプル・アップ抵抗が接続されている。
$\overline{\text{CE}}$	4	入力	チップ・イネーブルはローのときバイト転送のためPPIをイネーブルにする。D(7:0)および $\overline{\text{RDY}}$ は $\overline{\text{CE}}$ がハイであればTRI-STATE®出力する。 $\overline{\text{CE}}$ は改善されたノイズ耐性のためヒステリシス特性をもっている。
R/ $\overline{\text{W}}$	5	入力	読み出し/書き込みはPPIサイクルを定義し、ハイであれば読み出しを、ローであれば書き込みを行う。R/ $\overline{\text{W}}$ は改善されたノイズ耐性のためヒステリシス特性をもっている。
STB	6	入力	ストローブはすべてのPPIバイト転送のタイミングをとるため使う。D(7:0)はSTBがハイのときTRI-STATE®出力する。すべての他のPPI入力はこの信号に対して、指定されたセットアップ期間およびホールド期間に合致しなければならない。STBは改善されたノイズ耐性のためヒステリシス特性をもっている。
A <sub>0</sub> ~A <sub>2</sub>	7~9	入力	このアドレス・ピンは書き込みするか、または読み出しのために、レジスタを選択する目的に使う。
D <sub>0</sub> ~D <sub>7</sub>	10~13, 15~18	入出力	双方向性ピンはPSC100との間で並列データの転送に使う。
INT	19	出力	割り込みは定義された割り込みイベントのため、ホスト割り込みをトリガするのに使う。INTはアクティブ・ハイ。
$\overline{\text{RDY}}$	20	出力	レディはホストとPSC100との間の非同期バイト転送を同期するのに使う。 $\overline{\text{RDY}}$ はアドレスされたレジスタがアクセス可能なことを通知する。 $\overline{\text{RDY}}$ は $\overline{\text{CE}}$ がローのときイネーブルされる。
TDO	21	出力	テスト・データ出力はPSC100からの直列スキャン出力。TDOは $\overline{\text{OE}}$ がローのときイネーブルされる。
TMS <sub>0</sub> , TMS <sub>1</sub>	23, 24	出力	テスト・モード選択ピンはUUTにテスト・モード切り替え信号を供給するための直列出力。TMS(1:0)は $\overline{\text{OE}}$ がローのときイネーブルされる。
TCK	25	出力	テスト・クロック出力はUUTに分配するためSCKをバッファリングした信号。TCKは $\overline{\text{OE}}$ がローのときイネーブルされる。
TDI	26	入力	テスト・データ入力 PSI への直列スキャン入力。UUTからのTDOラインがフロート状態のとき、TDIを強制的に論理1にするため20k $\Omega$ のプル・アップ抵抗が接続されている。
FRZ	27	入力	フリーズ・ピンはTCK上にユーザ固有パルスの発生に使う。FRZイネーブル・モード・ビットがセットされているとき、FRZがハイになれば、TCK出力を強制的にハイにする。FRZは改善されたノイズ耐性のためヒステリシス特性をもっている。



# UART (Universal Asynchronous Receiver Transmitter)

## ■ ピン接続



## ■ 特徴

- ・ 4チャンネルのシリアル・ポートを内蔵したUART
- ・ 各チャンネルとも全二重送受信可能
- ・ ダブル・バッファ方式のトランスミッタ/レシーバ
- ・ 各チャンネルごとに転送レートを、ハード、ソフトの両方で設定可能

## ■ 最大定格

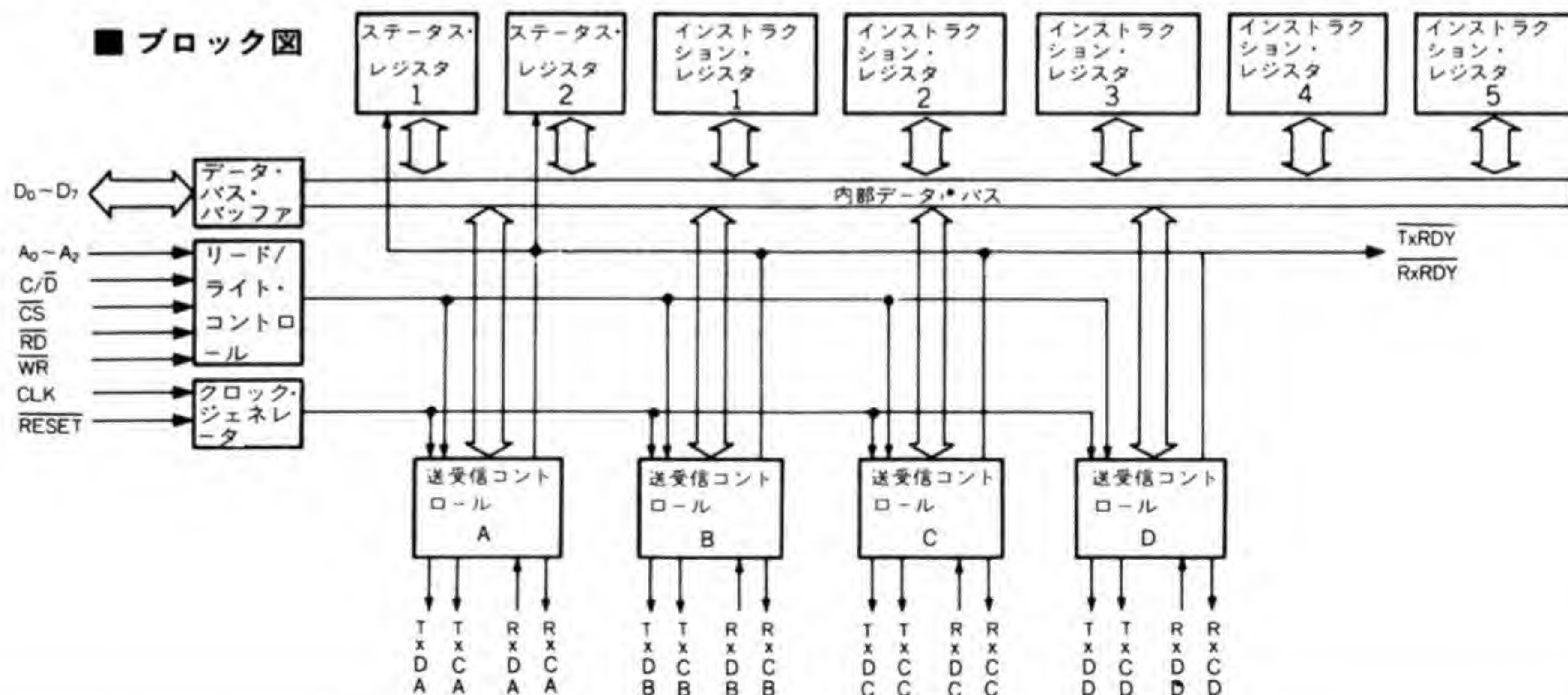
項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
消費電力	$P_D$	0.2	W
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-40 \sim +125$	°C

## ■ DC特性

( $T_a = 0 \sim +70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 4\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 4\text{mA}$	2.4*	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	10	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	10	$\mu\text{A}$

## ■ ブロック図





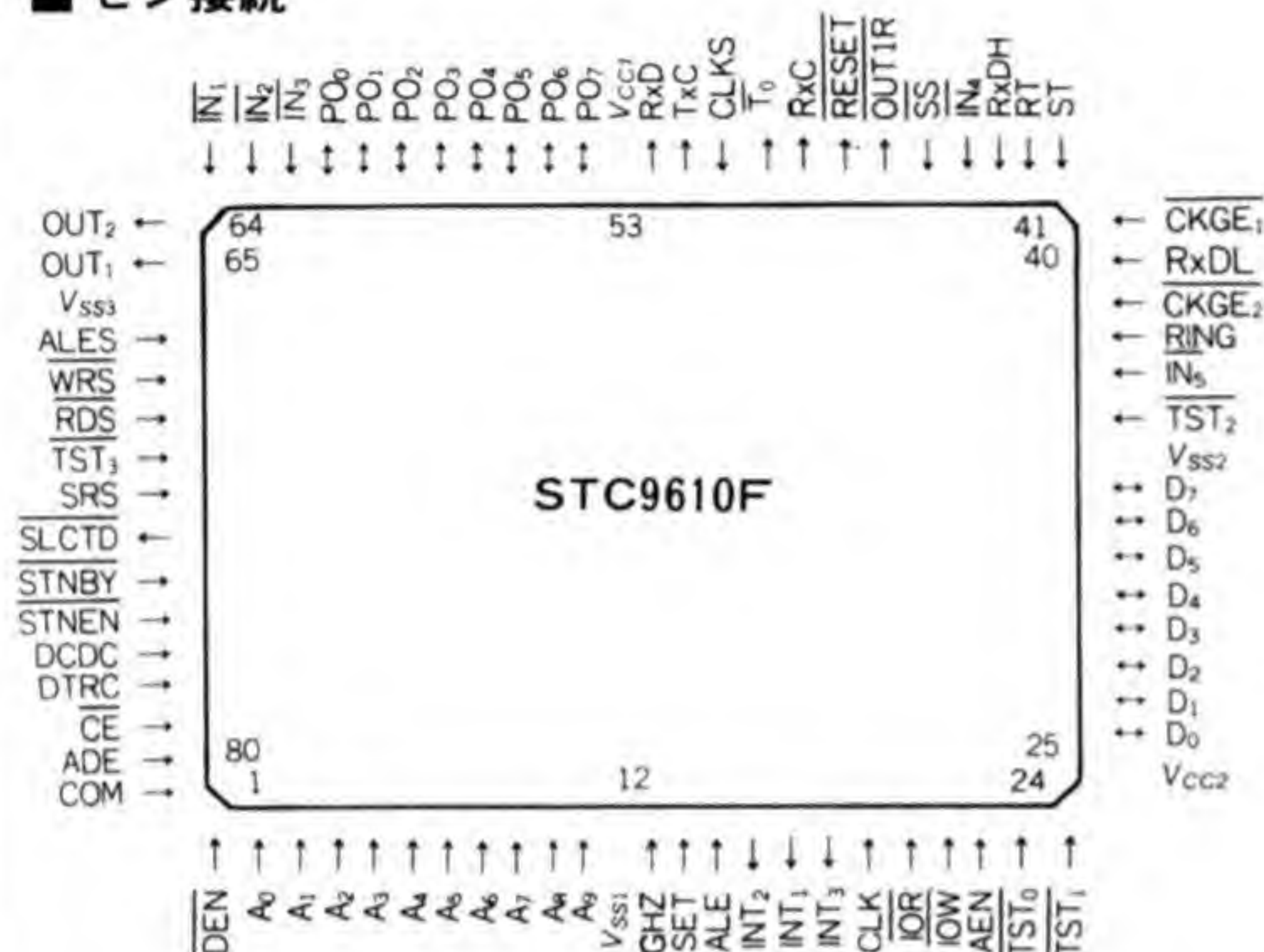
## ■端子機能

端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	6~13	入力	この LSI と CPU との間でコマンド、データとステータスの転送に使われる双方向 3 ステート・データ・バス
$\overline{\text{RESET}}$	リセット	36	入力	リセット入力, "L" アクティブ
$\overline{\text{CS}}$	チップ・セレクト	5	入力	チップ・セレクト入力, "L" アクティブ, この端子が "L" レベルのとき, CPU とデータ転送が可能
$\overline{\text{WR}}$	ライト	57	入力	WR 入力, この信号が "L" で CS が "L" のとき, D <sub>0</sub> ~D <sub>7</sub> 上のデータがこの LSI に書き込まれる
$\overline{\text{RD}}$	リード	58	入力	RD 入力, この信号が "L" で CS が "L" のとき, 指定されたアドレスの内部レジスタの内容が D <sub>0</sub> ~D <sub>7</sub> 上に読み出される
C/ $\overline{\text{D}}$	コントロール/データ	4	入力	この信号は, データ・バス上のデータがコントロール情報かステータス情報かを知らせる入力
A <sub>2</sub> ~A <sub>0</sub>	アドレス	1~3	入力	アドレス入力
$\overline{\text{RxRDY}}$	受信レディ	56	出力	データの受信があったことを知らせる CPU への割り込み信号
CLK	クロック	59	入力	システム・クロック入力
TxDA, TxDB, TxDC, TxDD	データ出力	20~23	出力	チャンネル A~D の送受信部シリアル・データ出力
RxDA, RxDB, RxDC, RxDD	データ入力	15~18	入力	チャンネル A~D の受信部シリアル・データ入力
V <sub>CC</sub>	電源	29, 34, 37	—	+5 V 電源
GND	グラウンド	14, 19, 60	—	グラウンド
$\overline{\text{TxRDY}}$	送信レディ	55	出力	データの送信が可能なことを知らせる CPU への割り込み信号
Tx <sub>24</sub>	分周信号	28	出力	CLK 入力の 1/24 分周出力
$\overline{\text{DIVAEN}}$ DIRA <sub>2</sub> ~ DVRA <sub>0</sub> $\overline{\text{DIVBEN}}$ DVRB <sub>2</sub> ~ DVRB <sub>0</sub> $\overline{\text{DIVCEN}}$ DVRC <sub>2</sub> ~ DVRC <sub>0</sub> $\overline{\text{DIVDEN}}$ DV RD <sub>2</sub> ~ DV RD <sub>0</sub>	設定入力	54~38	入力	転送レイトのハードウェアによる設定入力, $\overline{\text{DIV*EN}}$ が "L" のときは, 対応するポートの転送レイトは DVR* <sub>2</sub> DVR* <sub>1</sub> DVR* <sub>0</sub> の入力状態で決まる, $\overline{\text{DIV*EN}}$ が "H" のときはインストラクション・レジスタ 4, 5 に書き込まれるデータによって転送レイトが決まる
TxCA, TxCB, TxCC, TxCD	送信クロック	27~24	出力	各ポートの送信時の転送クロック出力, 送信データはこのクロックの立ち下がりに同期して出力される
RxCA, RxCB, RxCC, RxCD	受信クロック	33~30	出力	各ポートの受信時の転送クロック出力, スタート・ビットの立ち下がりに同期してフレーム同期がとられる
TEST	テスト	35	入力	"H" アクティブでテスト・モードになる



# ACI (Asynchronous Communication Interface)

## ■ ピン接続



## ■ DC特性

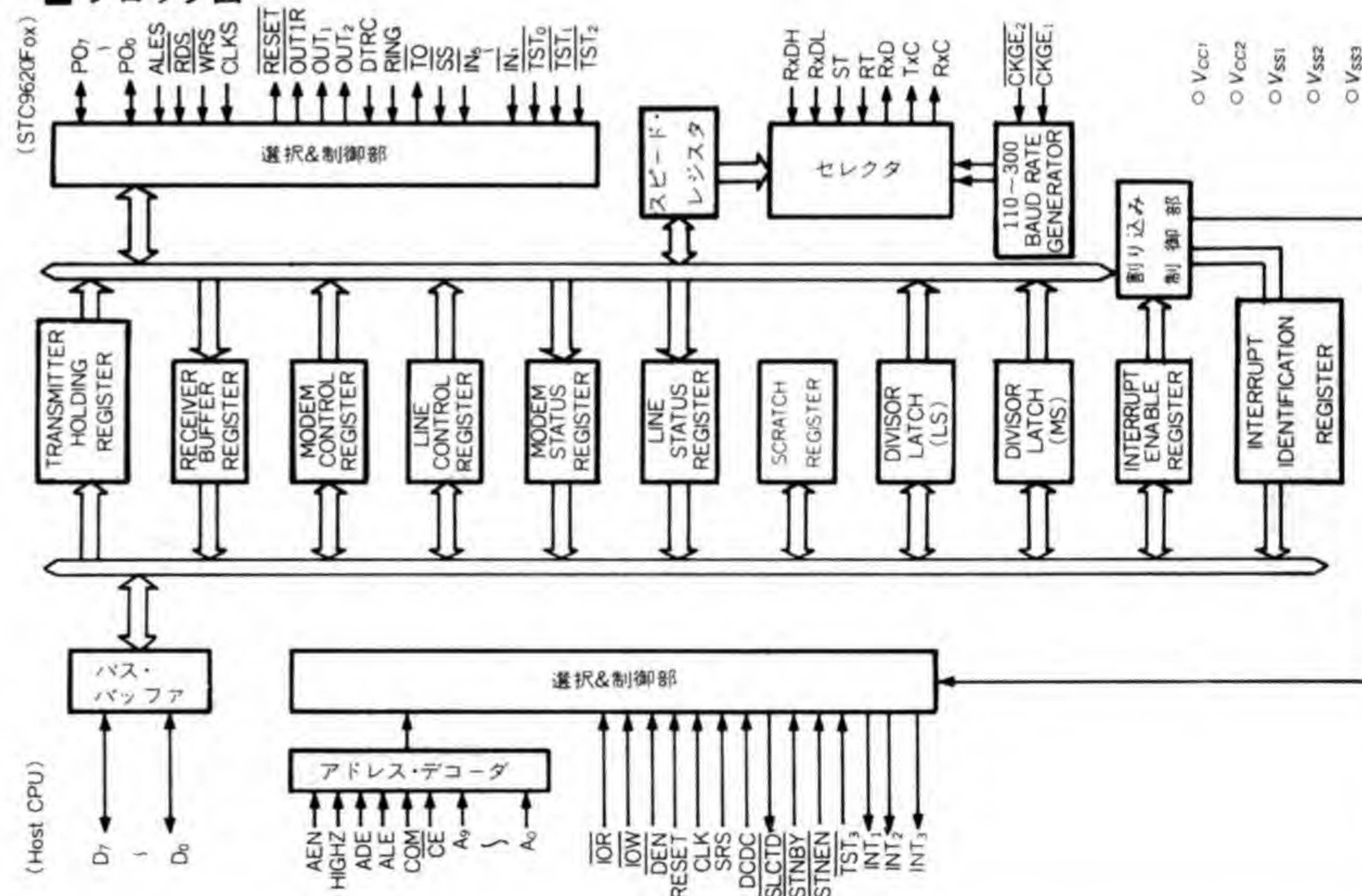
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.6	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 2\text{mA}$	$V_{CC} - 0.4^*$	V
$I_{OL}$	$V_{OUT} = 0, 5.5\text{V}$	$\pm 1$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0, 5.5\text{V}$	$\pm 1$	$\mu\text{A}$

## ■ 特徴

- ・ 86系CPU用の非同期式データ伝送用LSI
- ・ 8250A/Bと機能コンパチブルで、IBM PC-XT/ATシステム・バスとのインターフェース機能をすべて内蔵
- ・ 8ビット×16のアドレス制御レジスタをもつ
- ・ 豊富なアドレッシング・モード
  - アドレス・デコード機能
  - アドレス・データ分離機能
  - 外部アドレス・デコード出力による制御可能
- ・ 300/110bpsボーレート・ジェネレータ内蔵
- ・ プロトコル・コントローラの拡張入力機能内蔵 (5本)
- ・ プロトコル・コントローラのスタンバイ制御機能内蔵

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.3 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
消費電力	$P_D$	0.1	W
動作温度	$T_{OPR}$	$0 \sim 70$	$^\circ\text{C}$
保存温度	$T_{STG}$	$-65 \sim 150$	$^\circ\text{C}$



## ■端子機能

端子名	ピン番号	入出力	機能
$\overline{\text{DEN}}$	1	入力	ホスト側がマルチプレクス・バスである場合に、バス上のデータが有効であることを示す信号 $\overline{\text{DEN}}$ を入力する
$A_0 \sim A_9$	2 ~ 11	入力	ホスト側への入力端子
$V_{SS1}, V_{SS2}, V_{SS3}$	12, 34, 69	—	$V_{SS}$ 電源端子 0 V
HIGHZ	13	—	ホストCPUの上位アドレス ( $A_{15} \sim A_{10}$ ) のデコード結果を使用する場合の入力端子
RESET	14	入力	ホスト側のリセット信号を入力する
ALE	15	入力	ホスト側がマルチプレクス・バスである場合にアドレスのラッチ・タイミングの入力
$\text{INT}_2$	16	出力	3ステート出力
$\text{INT}_1$	17	出力	3ステート出力, IBM PCをホストにする場合は, $\text{IRQ}_4$ に接続する
$\text{INT}_3$	18	出力	ホスト側への割り込み信号を出力
CLK	19	入力	システム・クロックを入力
$\overline{\text{IOR}}$	20	入力	リード信号を入力
$\overline{\text{IOW}}$	21	入力	ライト信号を入力
AEN	22	入力	DMAコントローラがバスを使用していることを示す信号AENを入力する
$\overline{\text{TST}}_0, \overline{\text{TST}}_1, \overline{\text{TST}}_2, \overline{\text{TST}}_3$	23, 24, 35, 71	入力	LSI試験用入力端子
$V_{DD2}, V_{DD1}$	25, 53	—	$V_{CC}$ 電源端子 +5 V
$D_0 \sim D_7$	26 ~ 33	入出力	データ・バスに接続
$\overline{\text{IN}}_5, \overline{\text{IN}}_4, \overline{\text{IN}}_3 \sim \overline{\text{IN}}_1$	36, 44, 62 ~ 64	入力	プロトコル・コントローラの拡張入力ポートとして使用できる
RING	37	入力	着信検出信号
$\overline{\text{CKGE}}_2, \overline{\text{CKGE}}_1$	38, 40	入力	内蔵ボーレート・ジェネレータのイネーブル端子
RxDL	39	入力	Low Speedモデルの受信データを入力
ST	41	入力	同期モデムの送信クロックを入力する
RT	42	入力	同期モデムの受信クロックを入力する
RxDH	43	入力	High Speedモデルの受信データを入力する
$\overline{\text{SS}}$	45	入力	スタンバイ解除割り込みの禁止用入力
$\overline{\text{T}}_0$	49	出力	スタンバイ解除割り込みを発生する
$\overline{\text{STNBY}}$	74	入力	スタンバイ制御信号
$\overline{\text{STNEN}}$	75	入力	$\overline{\text{STNBY}}$ レジスタ書き込み用クロックを入力
$\overline{\text{OUT1R}}$	46	出力	リセット信号を出力する

端子名	ピン番号	入出力	機能
$\overline{\text{RESET}}$	47	出力	リセット信号を出力する
RxC	48	出力	High SpeedモードではRTへの入力をそのまま出力する。Low Speedモードでは内蔵ボーレート・ジェネレータで生成される受信クロックを出力する
CLKS	50	入力	プロトコル・コントローラのクロックを入力
TxC	51	出力	High Speedモードでは, STへの入力をそのまま出力する。Low Speedモードでは, 内蔵ボーレート・ジェネレータで生成される送信クロックを出力する
RxD	52	出力	High Speedモードでは, RxDHへの入力を出力する。Low Speedモードでは, RxDLへの入力を出力する
$\text{PO}_7 \sim \text{PO}_0$	54 ~ 61	入出力	プロトコル・コントローラのアドレス・データ・バスに接続する
$\text{OUT}_2$	65	出力	$\text{OUT}_2$ の値を出力する
$\text{OUT}_1$	66	出力	$\text{OUT}_1$ の値を出力する
ALES	68	入力	プロトコル・コントローラからのアドレス・ラッチ・タイミング信号を入力する
$\overline{\text{WRS}}$	69	入力	ライト信号を入力する
$\overline{\text{RDS}}$	70	入力	リード信号を入力する
SRS	72	入力	ホスト側からアクセスする場合のアドレス7のレジスタを、スクラッチ・レジスタとして使うか、スピード・インジケータ・レジスタとして使うかを選択する
$\overline{\text{SLCTD}}$	73	出力	IBM PC-XTのハーフ・スロットで使用する場合に必要となる
DCDC	76	入力	ホスト側でモデム・ステータス・レジスタをリードしたときに出力されるビット7の値を制御する
DTRC	77	入力	プロトコル・コントローラ側で、コントロール・レジスタ3をリードしたときに出力されるビット6の値を制御する
$\overline{\text{CE}}$	78	入力	外部アドレス・デコーダを使用する場合、デコード結果を入力する
ADE	79	入力	内蔵アドレス・デコーダのイネーブル端子
COM	80	入力	アドレス・デコーダのデコード・アドレスの指定および割り込み信号を出力する端子の選択を行う



**Z8470**

Pin	Signal	Pin	Signal
1	D <sub>1</sub>	40	D <sub>0</sub>
2	D <sub>3</sub>	39	D <sub>2</sub>
3	D <sub>5</sub>	38	D <sub>4</sub>
4	D <sub>7</sub>	37	D <sub>6</sub>
5	INT	36	IORQ
6	IEI	35	CE
7	IEO	34	B/A
8	M <sub>1</sub>	33	C/D
9	V <sub>CC</sub> (+5V)	32	RD
10	W/RDYA	31	GND (0V)
11	RIA	30	W/RDYB
12	RxDA	29	RIB
13	RxCA	28	RxDB
14	TxCA	27	RxTxCB
15	TxDA	26	TxDB
16	DTRA	25	DTRB
17	RTSA	24	RTSB
18	CTSA	23	CTSB
19	DCDA	22	DCDB
20	CLK	21	RESET

- ・独立した二つの全二重同期式の通信の処理機能をもっている
- ・それぞれ独立してモデムの制御およびモニタができる
- ・通信速度は0～500Kbit/sec (2.5MHz), 0～800Kbit/sec (4MHz) となっている・シリアル・データのフォーマットを

内部構造のブロック図。CPUバス入出力、内部バス、内部制御ロジック、割り込み制御ロジック、チャンネルA/Bの読み出し/書き込みレジスタ、およびチャンネルA/Bのディスクリット制御およびステータス回路が示されています。外部接続にはデータバス、制御線、電源、クロック、およびシリアルデータ送受信クロック/WAIT/READYがあります。

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim +7.0$	V
動作温度	$T_{OPR}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

記号	測定条件	min	max	単位
$V_{ILC}$		-0.3	+0.45	V
$V_{IHC}$		$V_{CC}-0.6$	+5.5	V
$V_{IL}$		-0.3	+0.8	V
$V_{IH}$		+2.0	+5.5	V
$V_{OL}$	$I_{OL}=2.0\text{mA}$		+0.4	V
$V_{OH}$	$I_{OH}=-250\mu\text{A}$	+2.4		V
$I_L$	$0.4 < V < 2.4\text{V}$	-10	+10	$\mu\text{A}$
$I_{L(RT)}$	$0.4 < V < 2.4\text{V}$	-40	+10	$\mu\text{A}$
$I_{CC}$			100	mA



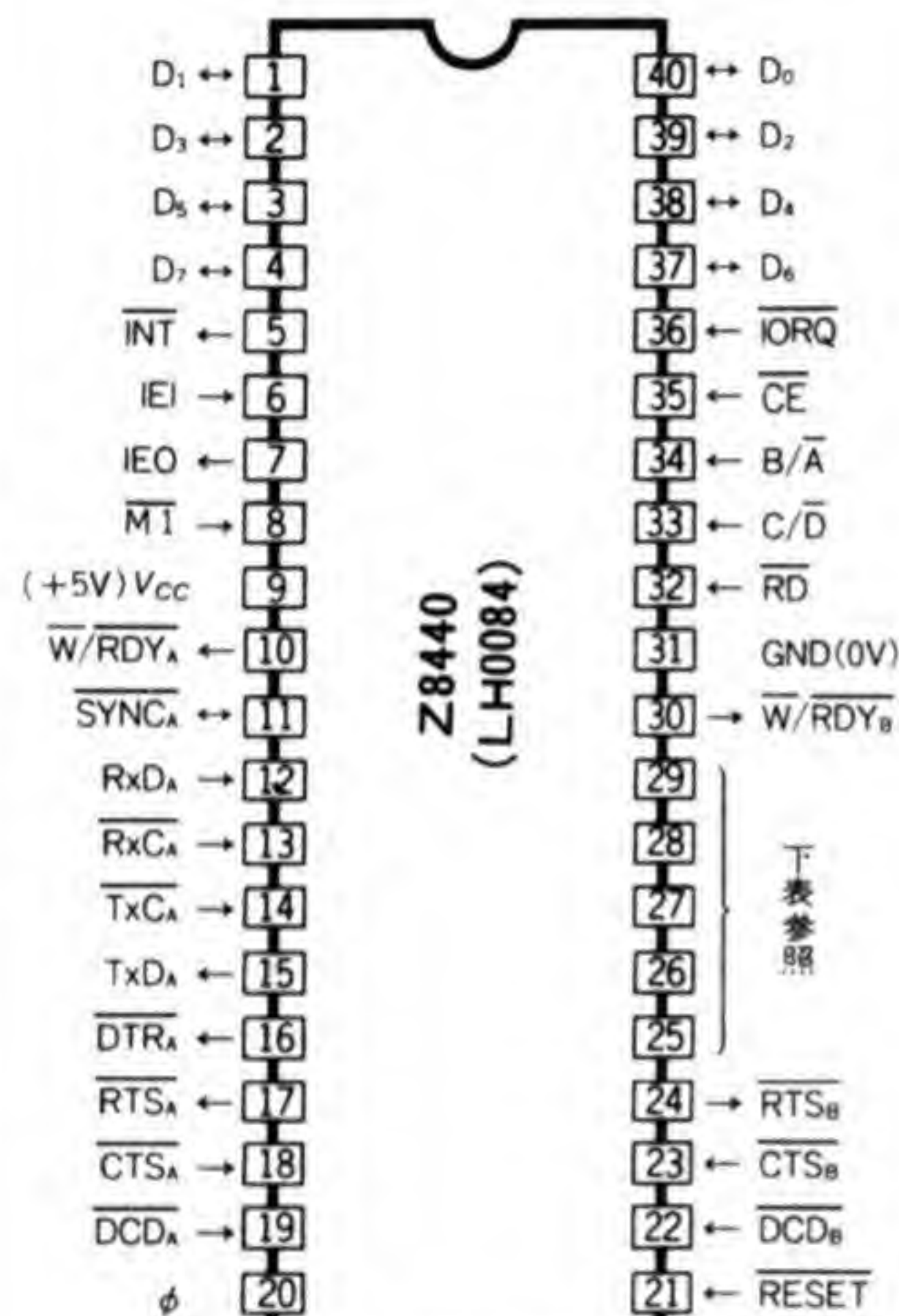
## ■端子の機能

端子名	名称	ピン番号	入出力	機能
B/ $\overline{A}$	チャンネル・セレクト	34	入力	Channel A or B Select. チャンネルA, Bの選択. "H"でB, "L"でAのチャンネルが選択される
C/ $\overline{D}$	コントロール/データ	33	入力	Control or Data Select. "H"でコントロール, "L"でデータ. 制御レジスタおよびデータ・レジスタの選択を行う
$\overline{CE}$	チップ・イネーブル	35	入力	Chip Enable. "L"でDARTが選択される. アドレス・デコーダの出力を接続する
CLK	クロック	20	入力	(System)Clock. Z80 のシステム・クロックを接続する
$\overline{CTSA}$ , $\overline{CTSB}$	送信可	18, 23	入力	Clear To Send. モデムの制御信号. モデムの送信可を検出する. チャンネルA, Bにそれぞれ独立にもっている
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	40~37, 1~4	入出力	(System)Data bus. CPU のデータ・バスに接続し, データの受け渡しを行う. 双方向で3ステート
$\overline{DCDA}$ , $\overline{DCDB}$	受信可	19, 22	入力	Data Carrier Detect. モデム制御信号. キャリアを検出する
$\overline{DTRA}$ , $\overline{DTRB}$	データ・ターミナル・レディ	16, 25	出力	Data Terminal Ready. モデム制御信号. DART が送受信可能であることを示す
IEI IEO	割り込みイネーブル入出力	6, 7	入出力	Interrupt Enable In. Z80 の割り込みのデイジィ・チェーンによる優先順位判定に利用する
$\overline{INT}$	割り込み要求	5	出力	Interrupt Request. CPU に対して割り込み要求を出す
$\overline{MI}$	コントロール信号	8	入力	コントロール・バスのM1に接続する. 割り込みベクトル送出のときに利用される
$\overline{IORQ}$	I/O 要求	36	入力	I/O Request. 入出力デバイスに対する読み書きのときに"L"になる. コントロール・バスのIORQに接続する
$\overline{RxCA}$ , $\overline{RxCB}$	受信クロック	13, 27	入力	Receiver Clock. レシーブ・データ受信用のクロック信号を入力する. チャンネルBについては, $\overline{TxCB}$ と同一端子になっている
$\overline{RD}$	読み出し	32	入力	Read. サイクル・ステータス, メモリまたはI/Oからのリード操作を行うときに"L"になる
RxDA, RxDB	受信データ	12, 28	入力	Receive Data. 直列の受信データが, この端子から受信される
$\overline{RESET}$	リセット	21	入力	リセット端子
$\overline{RIA}$ , $\overline{RIB}$	リング・インジケータ	11, 29	入力	Ring Indicator. モデム制御信号
$\overline{RTSA}$ , $\overline{RTSB}$	送信要求	17, 24	入力	Request to Send. モデム制御信号. 送信を要求する
$\overline{TxCA}$ , $\overline{TxCB}$	送信クロック	14, 27	入力	Transmitter Clock. 送信用のタイミングをとるためのクロック. チャンネルBについては, $\overline{RxCB}$ と同一端子になっている
TxDA, TxDB	送信データ	15, 26	出力	Transmitter Data. 送信データ
$\overline{W/RDYA}$ , $\overline{W/RDYB}$	ウェイト/レディ	10, 30	出力	Wait/Ready. レディ: DMA 制御に使用. ウェイト: CPU との同期をとるために用いる



# SIO (Serial Input/Output Controller)

## ■ ピン接続



モデム制御信号のパターンによって、3種類のパッケージがある

ボンディング・オプション			
ピン番号	SIO/0	SIO/1	SIO/2
29	← SYNC <sub>a</sub>	← SYNC <sub>b</sub>	← RxD <sub>b</sub>
28	← RxD <sub>a</sub>	← RxD <sub>b</sub>	← RxC <sub>b</sub>
27	← RxD <sub>a</sub>	← RxC <sub>b</sub>	← TxC <sub>b</sub>
26	← TxD <sub>a</sub>	← TxC <sub>b</sub>	← TxD <sub>b</sub>
25	← DTR <sub>a</sub>	← TxD <sub>b</sub>	← DTR <sub>b</sub>

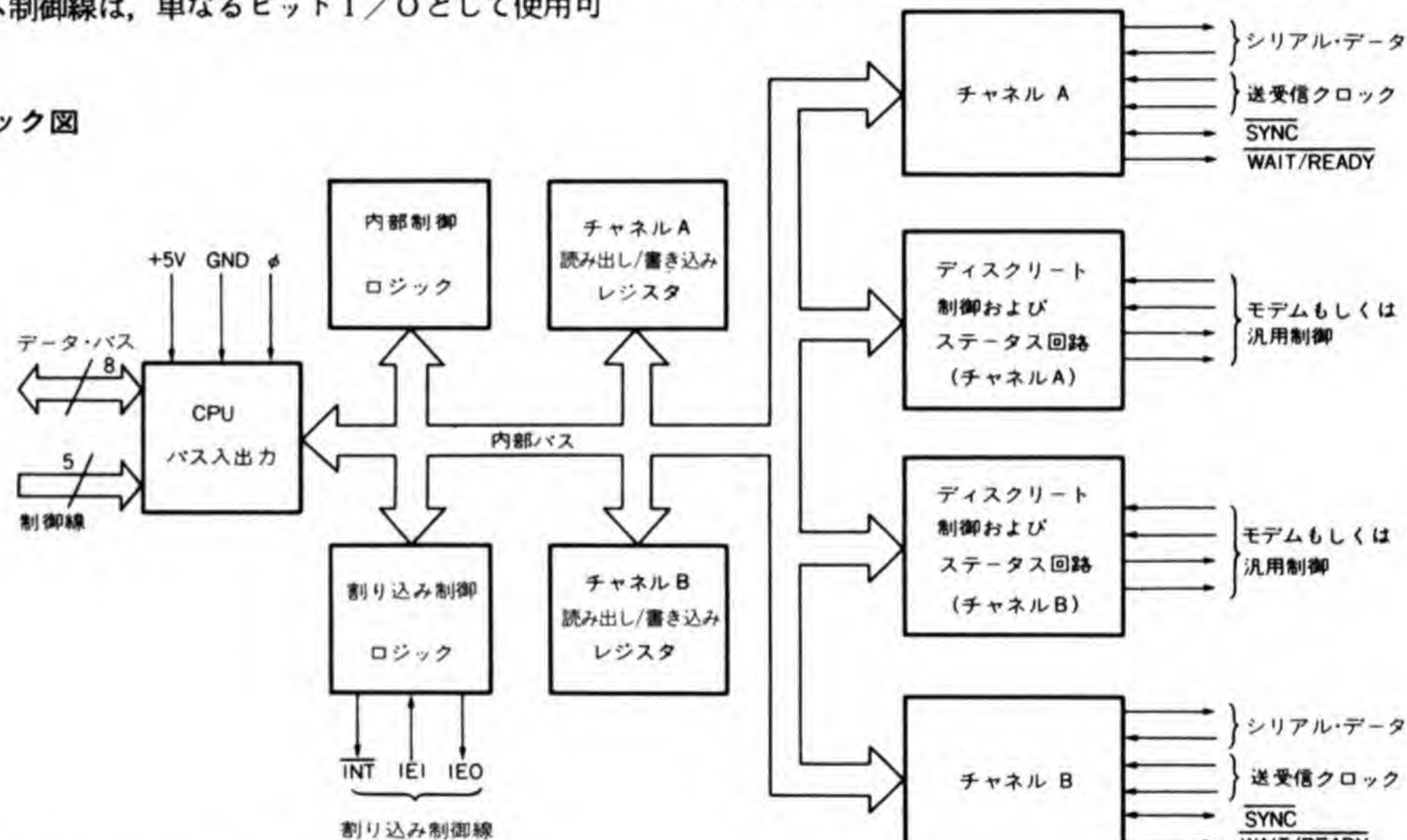
## ■ 最大定格

項目	記号	定格	単位
入力電圧	V <sub>IN</sub>	-0.3 ~ +7.0	V
出力電圧	V <sub>OUT</sub>	-0.3 ~ +7.0	V
動作温度	T <sub>OPR</sub>	0 ~ +70	°C
保存温度	T <sub>STG</sub>	-65 ~ +150	°C

## ■ 特徴

- ・独立した二つの全二重チャンネル
- ・Z80モード2割り込み可
- ・調歩同期, 同期, SDLC, HDLC対応可能
- ・0~880Kbit/sec転送レート
- ・受信レジスタは3段FIFO内蔵
- ・2種のCRC生成回路内蔵
- ・モデム制御線は, 単なるビットI/Oとして使用可

## ■ ブロック図



## ■ DC特性

(T<sub>a</sub>=0~+70°C, V<sub>CC</sub>=+5V±5%)

記号	測定条件	min	max	単位
V <sub>ILC</sub>		-0.3	+0.45	V
V <sub>IHC</sub>		V <sub>CC</sub> -0.6	+5.5	V
V <sub>IL</sub>		-0.3	+0.8	V
V <sub>IH</sub>		+2.0	+5.5	V
V <sub>OL</sub>	I <sub>OL</sub> =2.0mA	-	+0.4	V
V <sub>OH</sub>	I <sub>OH</sub> =-250μA	+2.4	-	V
I <sub>L1</sub>	0 ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>	-10	+10	μA
I <sub>Z</sub>	0 ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>	-10	+10	μA
I <sub>L(SY)</sub>	0 ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>	-40	+10	μA

● ボンディング・オプションによる違い

信号	SIO/0	SIO/1	SIO/2
SYNCB	○	○	×
DTRB	○	×	○
TxCB	共通	単独	単独
RxCB	共通	単独	単独



## ■端子の機能

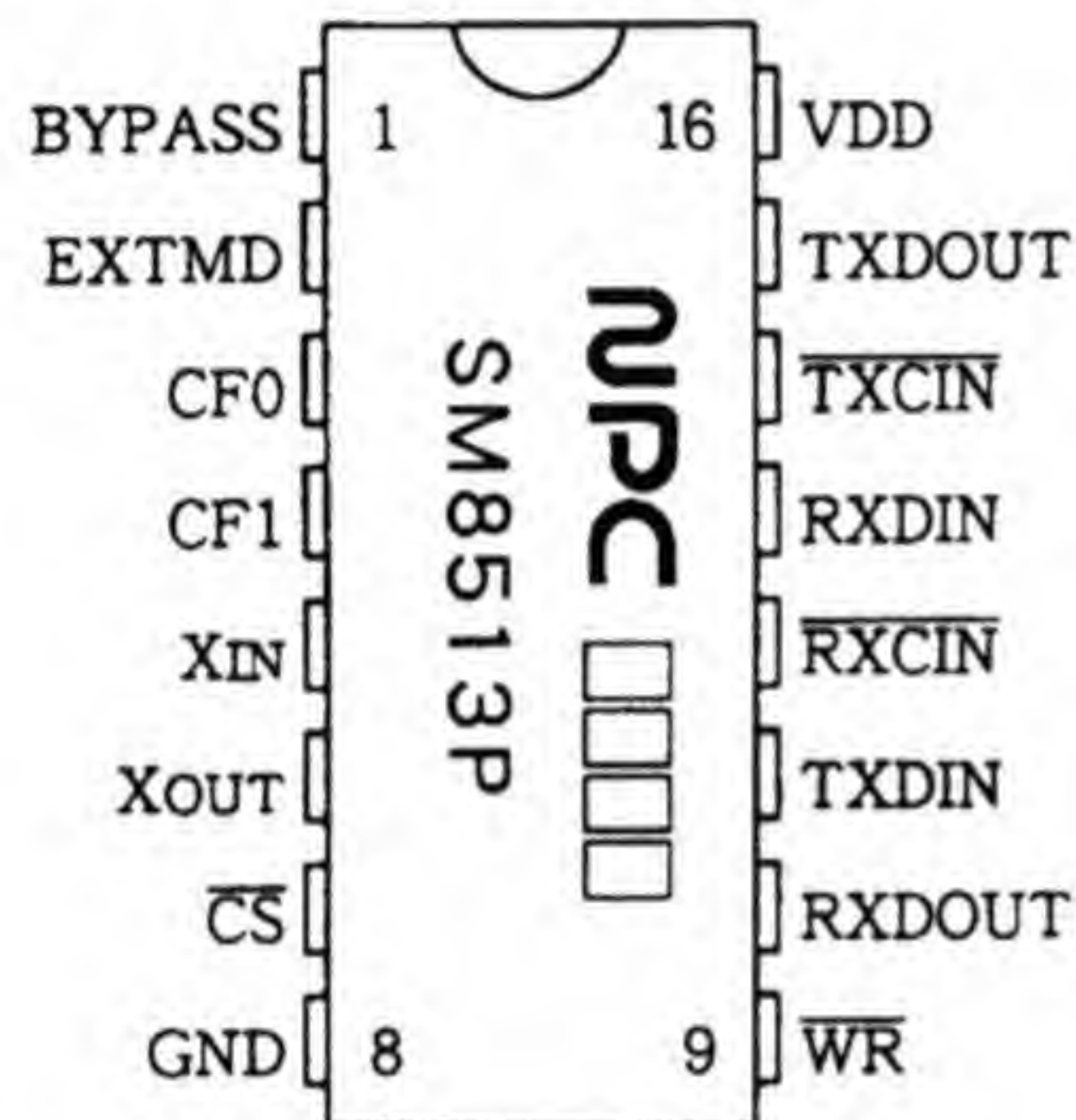
端子名	名称	ピン番号	入出力	機能
D <sub>0</sub> ~D <sub>7</sub>	データ・バス	1~4, 37~40	入出力	Z80 CPU のデータ・バスと接続し、CPU と SIO 間のデータ転送に使用する
B/ $\overline{A}$	チャンネル選択	34	入力	SIO の A または B チャンネルを選択。通常、CPU のアドレス線 A <sub>1</sub> を接続する
C/ $\overline{D}$	制御/データ選択	33	入力	この信号は、CPU と SIO の間で転送される信号が、制御コマンドであるかデータであるかを区別する。通常、CPU のアドレス線 A <sub>0</sub> を接続する
$\overline{CE}$	チップ・イネーブル	35	入力	チップ・イネーブル信号で、アドレスをデコードした信号を接続する
$\phi$	システム・クロック	20	入力	内部信号の同期をとるために使用。システム・クロックを接続する
$\overline{MI}$	マシン・サイクル 1	8	入力	CPU の $\overline{MI}$ 信号を接続する。IORQ 信号とともにインタラプト・アクノリッジ信号として使用したり、RETI 命令を解釈するのに用いる
$\overline{IORQ}$	入出力要求	36	入力	CPU の IORQ 信号に接続する。CPU と SIO 間でデータを転送する場合、B/ $\overline{A}$ 、C/ $\overline{D}$ 、 $\overline{CD}$ 、および RD と組み合わせて使用する
$\overline{RD}$	リード・サイクル	32	入力	CPU の RD 信号と接続する。CE と $\overline{IORQ}$ がアクティブで、かつ RD もアクティブであれば SIO からデータを読み出す。CE と $\overline{IORQ}$ がアクティブで、RD が非アクティブであれば SIO にデータを書き込む
$\overline{RESET}$	リセット	21	入力	SIO をリセット
IEI	割り込みイネーブル入力	6	入力	割り込みの優先順位を決めるデジィ・チェーン回路を IEO と共に構成する。この信号が“H”のとき、SIO は割り込みを行うことができる
IEO	割り込みイネーブル出力	7	出力	IEI と共にデジィ・チェーン回路を構成する。IEO が“L”の場合、そのデバイスあるいはそれより優先順位の高いデバイスが割り込みを実行中であることを示す
$\overline{INT}$	割り込み要求	5	出力	SIO が割り込み要求をすると“L”になる
$\overline{W}/RDY_{A1}$ $\overline{W}/RDY_B$	ウェイト/レディ	10, 30	出力	DMA コントローラ用レディ線、または CPU と SIO 間のデータ転送速度を合わせるためのウェイト線として利用
$\overline{CTS}_{A1}$ $\overline{CTS}_B$	送信用クリア	18, 23	入力	オート・イネーブルに SIO がプログラムされている場合、この信号をアクティブにすると対応するトランスミッタがイネーブルになる
$\overline{DCD}_{A1}$ $\overline{DCD}_B$	キャリア検出	19, 22	入力	オート・イネーブルに SIO がプログラムされている場合、この信号をアクティブにすると対応するレシーバがイネーブルになる
RxD <sub>A1</sub> RxD <sub>B</sub>	受信データ	12, 28	入力	受信データ線
TxD <sub>A1</sub> TxD <sub>B</sub>	送信データ	15, 26	出力	送信データ線
$\overline{RxC}_{A1}$ $\overline{RxC}_B$	レシーブ・クロック	13	入力	受信クロックで、受信データは $\overline{RxC}$ の立ち上がりでサンプリングされる
$\overline{TxC}_{A1}$ $\overline{TxC}_B$	トランスミット・クロック	14	入力	送信クロックで、送信データは $\overline{TxC}$ の立ち下がりエッジで変化する
$\overline{RTS}_{A1}$ $\overline{RTS}_B$	送信要求	17, 24	出力	書き込みレジスタ内の RTS ビットをセットするとアクティブになる。SIO が送信したいときに RTS ビットをセットする
$\overline{DTR}_{A1}$ $\overline{DTR}_B$	データ端末レディ	16, 25	出力	書き込みレジスタ内の DTR ビットをセットするとアクティブになる。SIO が受信できる状態になればこの信号をアクティブにする
$\overline{SYNC}_{A1}$ $\overline{SYNC}_B$	同期信号	11, 29	入出力	外部同期通信に使用する場合、外部同期が成立したらこの信号をアクティブにする

(注) ピン番号は SIO/0 を記入



## ■ピン接続

・16ピンDIP



## ■最大定格

項目	記号	定 格	単位
電源電圧	$V_{DD}$	-0.3~+7.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{DD}+0.3$	V
動作温度	$T_{OPR}$	0~+70	℃
保存温度	$T_{STG}$	-65~+150	℃

## ■DC 特性

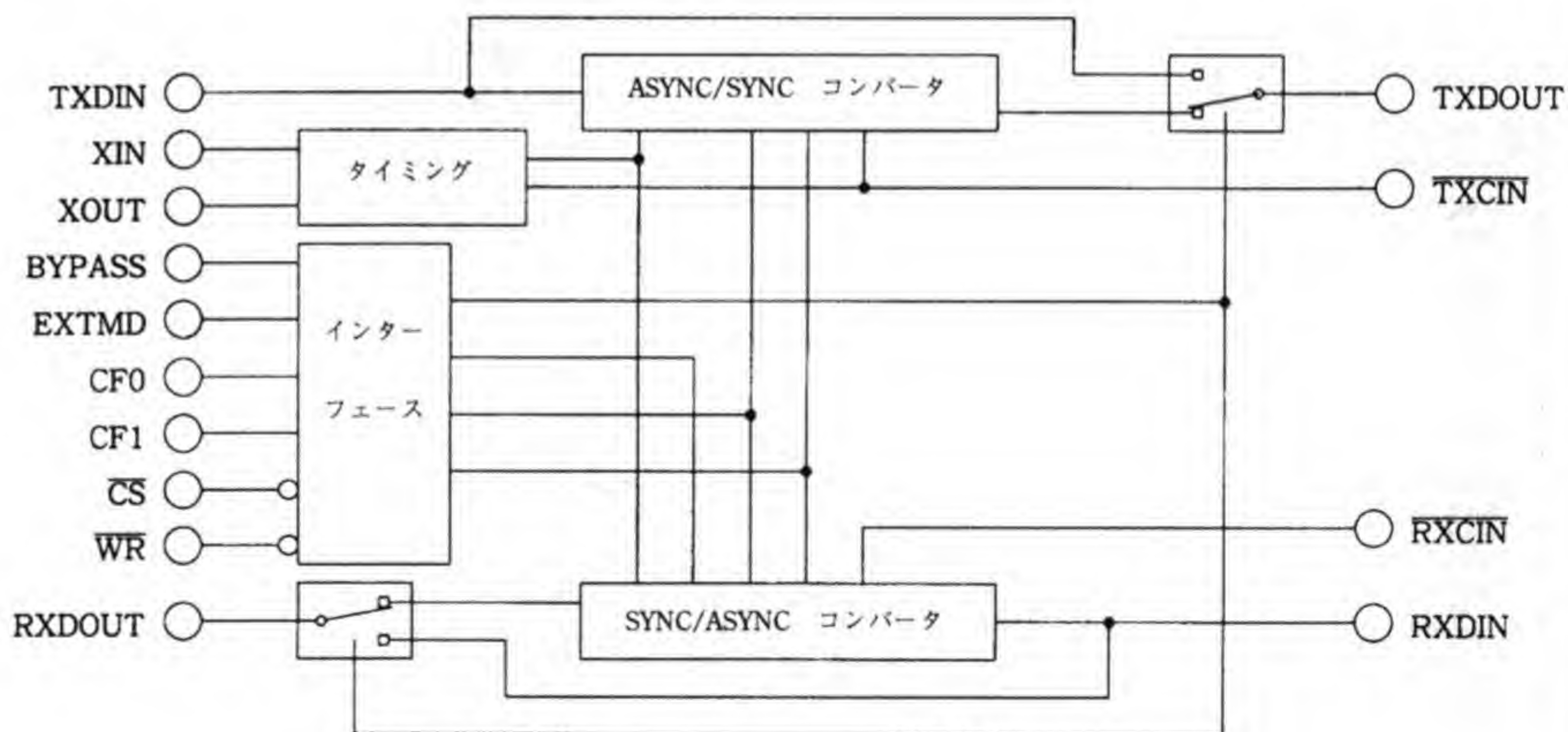
( $T_a=0\sim70^{\circ}\text{C}$ ,  $V_{DD}=5\text{V}\pm5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=4\text{mA}$	0.4	V
$V_{OH}$	$I_{IL}=4\text{mA}$	3.7*	V
$I_{IL}$	$V_{IN}=0$ , $V_{DD}$	10	$\mu\text{A}$

## ■特 徴

- ・ITU-T 勧告V. 14 に準拠し、同期／非同期式信号の相互変換機能を内蔵
- 600bps から19.2Kbps までの通信速度に対応
- 300bps 以下の信号に対してはバイパス・モードを使用し対応  
(バイパス・モードでは同期／非同期信号の変換は行われない)
- 非同期式信号のキャラクタ・フォーマットは8 から 11 ビットに対応
- 基本信号速度範囲および拡張信号速度範囲に対応
- ・システム・クロックとしてクリスタルまたは外部クロック入力を選択が可能

## ■ブロック図



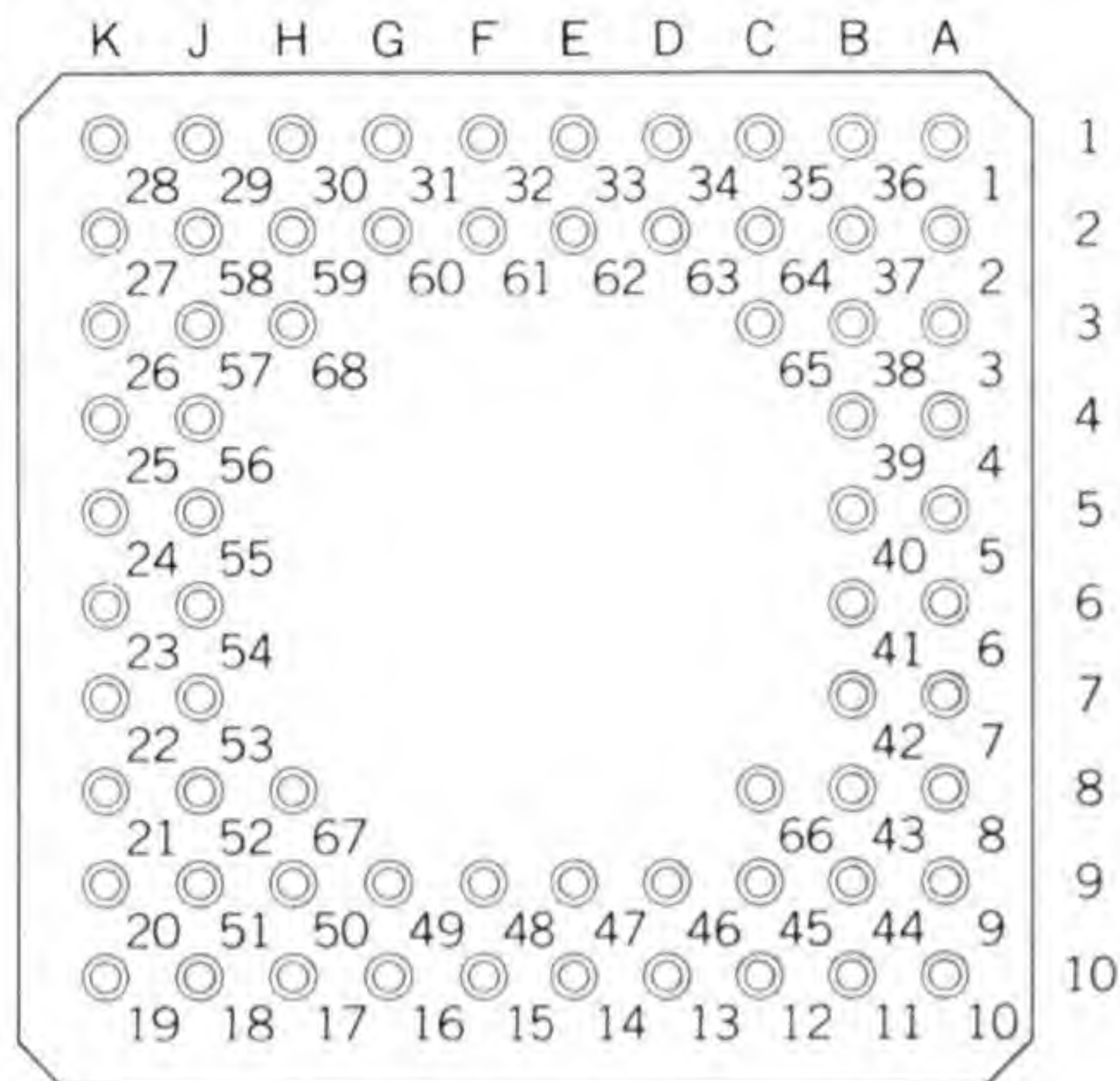


端子番号	端子名	機能																														
1	BYPASS	バイパスモード指定 (インターフェースレジスタ) 300bps以下の時 (300bps以上でも可)、Hiに設定する。 Lo : ノーマルモード Hi : バイパスモード (同期/非同期式信号間の変換を行なわない)																														
2	EXTMD	速度変動許容範囲指定 (インターフェースレジスタ) 非同期式信号受信時の速度変動に対する許容範囲を設定する。 Lo : 基本信号速度範囲 (+1.0%~-2.5%) Hi : 拡張信号速度範囲 (+2.3%~-2.5%)																														
3/4	CF0/CF1	<table border="1"> <thead> <tr> <th colspan="2">CF1/CF0</th><th>キャラクター・フォーマット(M)</th><th>スタートビット</th><th>データビット(N)</th><th>ストップビット</th></tr> </thead> <tbody> <tr> <td>Lo</td><td>Lo</td><td>8</td><td>1</td><td>6</td><td>1</td></tr> <tr> <td>Lo</td><td>Hi</td><td>9</td><td>1</td><td>7</td><td>1</td></tr> <tr> <td>Hi</td><td>Lo</td><td>10</td><td>1</td><td>8</td><td>1</td></tr> <tr> <td>Hi</td><td>Hi</td><td>11</td><td>1</td><td>9</td><td>1</td></tr> </tbody> </table> キャラクター・フォーマット選択 (インターフェースレジスタ) 非同期式信号のキャラクター・フォーマット (M) を設定する。 * : 実処理は、1ストップ+8データ+2ストップ	CF1/CF0		キャラクター・フォーマット(M)	スタートビット	データビット(N)	ストップビット	Lo	Lo	8	1	6	1	Lo	Hi	9	1	7	1	Hi	Lo	10	1	8	1	Hi	Hi	11	1	9	1
CF1/CF0		キャラクター・フォーマット(M)	スタートビット	データビット(N)	ストップビット																											
Lo	Lo	8	1	6	1																											
Lo	Hi	9	1	7	1																											
Hi	Lo	10	1	8	1																											
Hi	Hi	11	1	9	1																											
5	XIN	発振部入力端子 11.0592MHzのクリスタルをXIN/XOUT間に接続するか、外部クロックをこの端子に接続する。																														
6	XOUT	発振部出力端子																														
7	$\overline{CS}$	チップセレクト入力 < CPU使用時 > 端子1~4までのインターフェースレジスタを書き込む場合には、 $\overline{CS}$ 端子をLoにセットする。 通常はCPUからデコードされたアドレスを接続する。 < CPU未使用時 > GNDに接続する。																														
8	GND	グラウンド端子																														
9	$\overline{WR}$	ライトイネーブル < CPU使用時 > $\overline{CS}$ 端子がアクティブで、 $\overline{WR}$ 端子がLoになると、端子1~4までのデータ (インターフェースレジスタ) を取り込み、LoからHiになることで、データがラッチされる。 < CPU未使用時 > GNDに接続する。端子1~4の状態は、変更した時点で有効になる。																														
10	RXDOUT	非同期式信号出力端子																														
11	TXDIN	非同期式信号入力端子																														
12	$\overline{RXCIN}$	同期式信号受信用クロック入力端子																														
13	RXDIN	同期式信号入力端子																														
14	$\overline{TXCIN}$	同期式信号送信用クロック入力端子																														
15	TXDOUT	同期式信号出力端子																														
16	VDD	+5V電源供給端子																														



# LAPB Controller

## ■ ピン接続



底面図

## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	7.0	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-55~150	°C

## ■ DC特性

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 200\mu\text{A}$	2.4*	V
$I_{OL}$		10	$\mu\text{A}$
$I_{IL}$		2.5	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ $T_a = 25^\circ\text{C}$ , $V_{IN} = 0\text{V}$	15	pF

ピンコード	ピン番号	端子名	ピンコード	ピン番号	端子名	ピンコード	ピン番号	端子名
A <sub>1</sub>	1	$\overline{\text{IRQ}}$	C <sub>8</sub>	66	A <sub>10</sub> /D <sub>2</sub>	H <sub>9</sub>	50	GND
A <sub>2</sub>	2	S/ $\overline{\text{U}}$	C <sub>9</sub>	45	A <sub>13</sub> /D <sub>5</sub>	H <sub>10</sub>	17	A <sub>21</sub> /D <sub>13</sub>
A <sub>3</sub>	3	NUM*	C <sub>10</sub>	12	A <sub>14</sub> /D <sub>6</sub>	J <sub>1</sub>	29	$\overline{\text{CS}}$
A <sub>4</sub>	4	A <sub>1</sub>	D <sub>1</sub>	34	R/ $\overline{\text{W}}$	J <sub>2</sub>	58	TXC
A <sub>5</sub>	5	GND	D <sub>2</sub>	63	$\overline{\text{LDS}}$	J <sub>3</sub>	57	GND
A <sub>6</sub>	6	$\phi$	D <sub>9</sub>	46	A <sub>15</sub> /D <sub>7</sub>	J <sub>4</sub>	56	V <sub>CC</sub>
A <sub>7</sub>	7	A <sub>4</sub>	D <sub>10</sub>	13	A <sub>16</sub> /D <sub>8</sub>	J <sub>5</sub>	55	PI <sub>2</sub>
A <sub>8</sub>	8	A <sub>5</sub>	E <sub>1</sub>	33	GND	J <sub>6</sub>	54	PO <sub>1</sub>
A <sub>9</sub>	9	A <sub>7</sub>	E <sub>2</sub>	62	V <sub>CC</sub>	J <sub>7</sub>	53	NUM*
A <sub>10</sub>	10	A <sub>9</sub> /D <sub>1</sub>	E <sub>9</sub>	47	GND	J <sub>8</sub>	52	V <sub>CC</sub>
B <sub>1</sub>	36	READY	E <sub>10</sub>	14	A <sub>17</sub> /D <sub>9</sub>	J <sub>9</sub>	51	V <sub>CC</sub>
B <sub>2</sub>	37	$\overline{\text{IACK}}$	F <sub>1</sub>	32	$\overline{\text{DBEN}}$	J <sub>10</sub>	18	A <sub>23</sub> /D <sub>15</sub>
B <sub>3</sub>	38	PF	F <sub>2</sub>	61	$\overline{\text{DIN}}$	K <sub>1</sub>	28	$\overline{\text{BREQ}}$
B <sub>4</sub>	39	A <sub>2</sub>	F <sub>9</sub>	48	A <sub>19</sub> /D <sub>11</sub>	K <sub>2</sub>	27	TXD
B <sub>5</sub>	40	V <sub>CC</sub>	F <sub>10</sub>	15	A <sub>18</sub> /D <sub>10</sub>	K <sub>3</sub>	26	RXD
B <sub>6</sub>	41	A <sub>3</sub>	G <sub>1</sub>	31	NC**	K <sub>4</sub>	25	RXC
B <sub>7</sub>	42	A <sub>6</sub>	G <sub>2</sub>	60	$\overline{\text{AS}}$	K <sub>5</sub>	24	PI <sub>1</sub>
B <sub>8</sub>	43	A <sub>8</sub> /D <sub>0</sub>	G <sub>9</sub>	49	A <sub>22</sub> /D <sub>14</sub>	K <sub>6</sub>	23	PI <sub>0</sub>
B <sub>9</sub>	44	A <sub>11</sub> /D <sub>3</sub>	G <sub>10</sub>	16	A <sub>20</sub> /D <sub>12</sub>	K <sub>7</sub>	22	PO <sub>0</sub>
B <sub>10</sub>	11	A <sub>12</sub> /D <sub>4</sub>	H <sub>1</sub>	30	$\overline{\text{ABEN}}$	K <sub>8</sub>	21	NUM*
C <sub>1</sub>	35	$\overline{\text{HDS}}$	H <sub>2</sub>	59	$\overline{\text{BACK}}$	K <sub>9</sub>	20	$\overline{\text{RES}}$
C <sub>2</sub>	64	$\overline{\text{AIN}}$	H <sub>3</sub>	68	NUM*	K <sub>10</sub>	19	$\overline{\text{BERR}}$
C <sub>3</sub>	65	NC**	H <sub>8</sub>	67	$\overline{\text{BRTRY}}$			

\* NUM : Not Users Mode

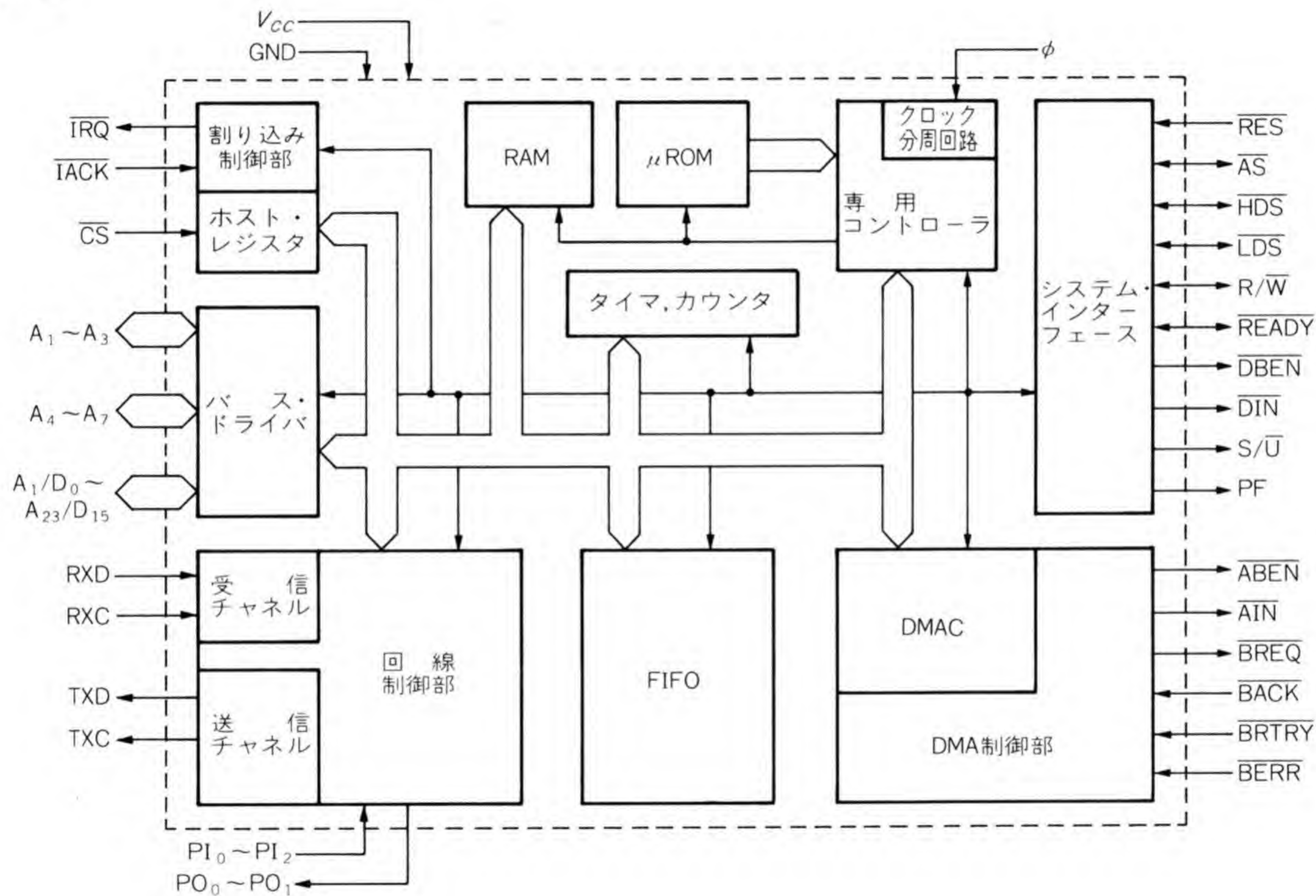
\*\* NC : Not Connection

## ■ 特徴

- ・ CCITT勧告X. 25 LAPBを完全サポート
- ・ HDLCフレーミング, ゼロ挿入削除, フラグ制御, 再送制御, 状態制御などを行う
- ・ 伝送エラー, 送受信回数などの監視情報用カウンタ内蔵
- ・ DTE/DCEモード, パラメータの設定可能
- ・ 複数バッファを用いる送受信データ・チェーン機能をもつ
- ・ H16とバス・コンパチブル



■ ブロック図





## LAPB Controller

## ■端子機能

分類	ピン番号	端子名	名称	入出力	機能
電源	40, 51 52, 56 62	Vcc	Power Supply	入力	+SV 電源を接続する
GND	5, 33 47, 50 57	Vss	Ground	入力	接地用端子
クロック	6	$\phi$	Clock	入力	システム・クロックを入力する。ここで入力する周波数は、システム定数テーブル(SYSPT)の3バイト目で指定する周波数と同じにする
割り込み コントロール および チップ・セレクト	1	$\overline{\text{IRQ}}$	Interrupt Request	出力	割り込み要求する出力端子 オープン・ドレイン出力
	37	$\overline{\text{IACK}}$	Interrupt Acknowledge	入力	$\overline{\text{IRQ}}$ に対する応答信号として、HD64540に割り込み要求の受け付けを知らせる入力端子 $\overline{\text{IACK}}$ が入力されると HD64540は割り込みベクタを出力する
	29	$\overline{\text{CS}}$	Chip Select	入力	MPU を含むホスト・システム (HD64540以外) がバス・マスタのとき、HD64540をアドレッシングするための入力信号として用いられる
アドレス・ バス データ・ バス	4, 39 41	A <sub>1</sub> ~A <sub>3</sub>	Address Bus	入出力	HD64540がバス・マスタのときは、アドレスを出力する。HD64540がバス・マスタでないときは、入力信号となり A <sub>1</sub> ~A <sub>3</sub> の三本のアドレス・ラインと $\overline{\text{HDS}}$ , $\overline{\text{LDS}}$ で HD64540内部のレジスタをアクセスする
	7, 8 42, 9	A <sub>4</sub> ~A <sub>7</sub>	Address Bus	出力	HD64540がバス・マスタのとき出力となり、アクセスする番地の A <sub>4</sub> ~A <sub>7</sub> アドレスを出力する
	43, 10 66, 44 11, 45 12, 46 13, 14 15, 48 16, 17 49, 18	A <sub>8</sub> /D <sub>0</sub> ~ A <sub>23</sub> /D <sub>15</sub>	Address Bus/ Data Bus	入出力	この信号は、アドレスとデータにマルチプレックスされている。 $\overline{\text{ABEN}}$ , $\overline{\text{AIN}}$ , $\overline{\text{DIN}}$ , $\overline{\text{DBEN}}$ の各信号を用いて外部回路により、デマルチプレックスを行う。HD64540がバス・マスタのときは、アドレス情報の出力とデータ情報の入出力を行う。HD64540以外がバス・マスタのときデータ情報の入出力を行う
回線制御部	26	RXD	Receive Data	入力	受信データを入力する。RXC の立ち上がりでデータとして取り込む
	25	RXC	Receive Clock	入力	受信データ用のクロックを入力する
	27	TXD	Transmit Data	出力	送信データが出力される。TXC の立ち下がりに周期してデータが変化する
	58	TXC	Transmit Clock	入力	送信データ用のクロックを入力する
	23, 24 55	P <sub>10</sub> ~ P <sub>12</sub>	Port Input	入力	汎用の入力ポート
	22, 54	PO <sub>0</sub> ~ PO <sub>1</sub>	Port Output	出力	汎用の出力ポート



## HD64540(つづき)

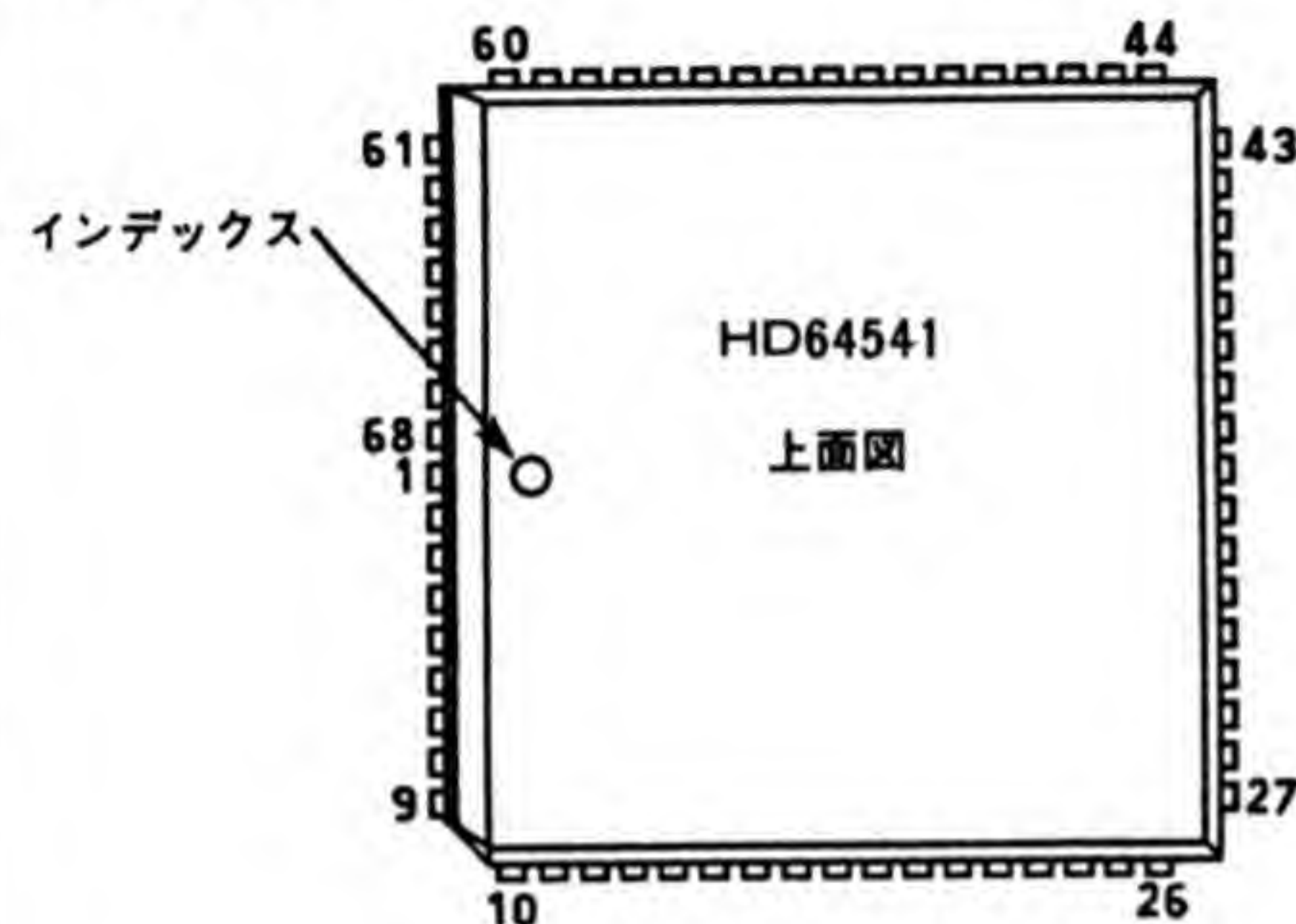
## ■端子機能

分 類	ピン番号	端 子 名	名 称	入 出 力	機 能
システム・ インター フェース	20	$\overline{\text{RES}}$	Reset	入 力	リセット入力を行うと、HD64540は初期化される リセット入力は最低24クロック期間必要。このときシステム・クロックを供給しておく必要がある
	60	$\overline{\text{AS}}$	Address Strobe	入出力	HD64540がバス・マスタのとき、出力したアドレスがバス上で確認したことを示す出力信号となる。 HD64540以外がバス・マスタのとき、 $A_1 \sim A_3$ のアドレス入力が増大したことを示す入力信号となる
	34	$\text{R}/\overline{\text{W}}$	Read/Write	入出力	HD64540がバス・マスタのとき出力信号となり、HD64540以外がバス・マスタのとき入力信号となる。 この信号はデータの流れる方向をコントロールするのに使われる
	35	$\overline{\text{HDS}}$	High Data Strobe	入出力	HD64540がバス・マスタのとき出力信号となり、データ・バスの上位側 ( $D_{15} \sim D_8$ ) が有効であることを示す HD64540以外がバス・マスタのとき、入力信号となる
	63	$\overline{\text{LDS}}$	Low Data Strobe	入出力	HD64540がバス・マスタのとき出力信号となり、データ・バスの下位側 ( $D_7 \sim D_0$ ) が有効であることを示す HD64540以外がバス・マスタのとき、入力信号となる
	36	$\overline{\text{READY}}$	Ready	入出力	HD64540がバス・マスタのとき入力端子となり、HD64540データ転送の完了時期を知るためにこの信号をモニタする HD64540以外がバス・マスタのとき出力端子となり、データの読み出し／書き込みを完了したことを示す
	32	$\overline{\text{DBEN}}$	Data Bus Enable	出 力	この信号は、アドレス・データ・ラインの双方向バッファの出力をコントロールするために使われる出力信号
	61	$\overline{\text{DIN}}$	Data Indication	出 力	この信号はデータ・ラインの方向をコントロールするために使われる出力信号
	2	$\text{S}/\overline{\text{U}}$	Supervisor/Uset	出 力	ユーザ空間のアクセスか、スーパーバイザ空間のアクセスかを示す
	38	PF	Program Fetch	出 力	プログラム空間のアクセスか、データ空間のアクセスかを示す
DMA 制御部	30	$\overline{\text{ABEN}}$	Address Bus Enable	出 力	HD64540がバス・マスタのとき、この信号はアドレス・データ・ラインのアドレス・ラインをラッチするために使われる出力信号
	64	$\overline{\text{AIN}}$	Address Indication	出 力	HD64540がバス・マスタのとき、この信号はアドレス・ラインの方向をコントロールするために使われる出力信号
DMA 制御部	28	$\overline{\text{BREQ}}$	Bus Request	出 力	HD64540がバス占有権を要求していることを示す
	59	$\overline{\text{BACK}}$	Bus Request Acknowledge	入 力	$\overline{\text{BREQ}}$ に対する応答として、HD64540にバスを解放したことを示す入力信号
	67	$\overline{\text{BRTRY}}$	Bus Cycle Retry	入 力	HD64540に対し、バス・サイクルの再実行を要求する HD64540は、リトライが発生すると現在実行中のサイクルを保持したまま例外条件がなくなるのを待ち、例外条件がなくなると、再度同じサイクルを実行する
	19	$\overline{\text{BERR}}$	Bus Error	入 力	バス・エラーはデータ転送中に回復不可能なエラーが発生し、DMA 転送を終了させる場合に用いられる バスエラー入力は最低8クロック間必要
その他	3, 21 53, 68	N.U.M.	Not User Mode	入 力	Low に固定
	31, 65	N.C.	No Connection	—	何も接続しない



# LLC(Link Layer Controller)

## ■ピン接続



## ■特徴

- ・ CCITT勧告T. 90, X. 75, X. 25のレイヤ2プロトコルを完全サポートするコントローラ
- ・ HDLCフレーミング, ゼロ挿入削除, フラグ制御, 再送制御, 状態制御を行う
- ・ 17項目の監視情報, 6種類の割り込み情報を上位プロセッサに通知する機能をもつ
- ・ 各種プロトコル・モード, パラメータ設定可能
- ・ 最大データ速度は5Mbps
- ・ 汎用入力ポート3, 出力ポート2をもつ
- ・ 68系16ビット・バスとインターフェース可能

## ■最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	0~7	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	0~70	°C
保存温度	$T_{STG}$	-55~150	°C

## ■DC特性

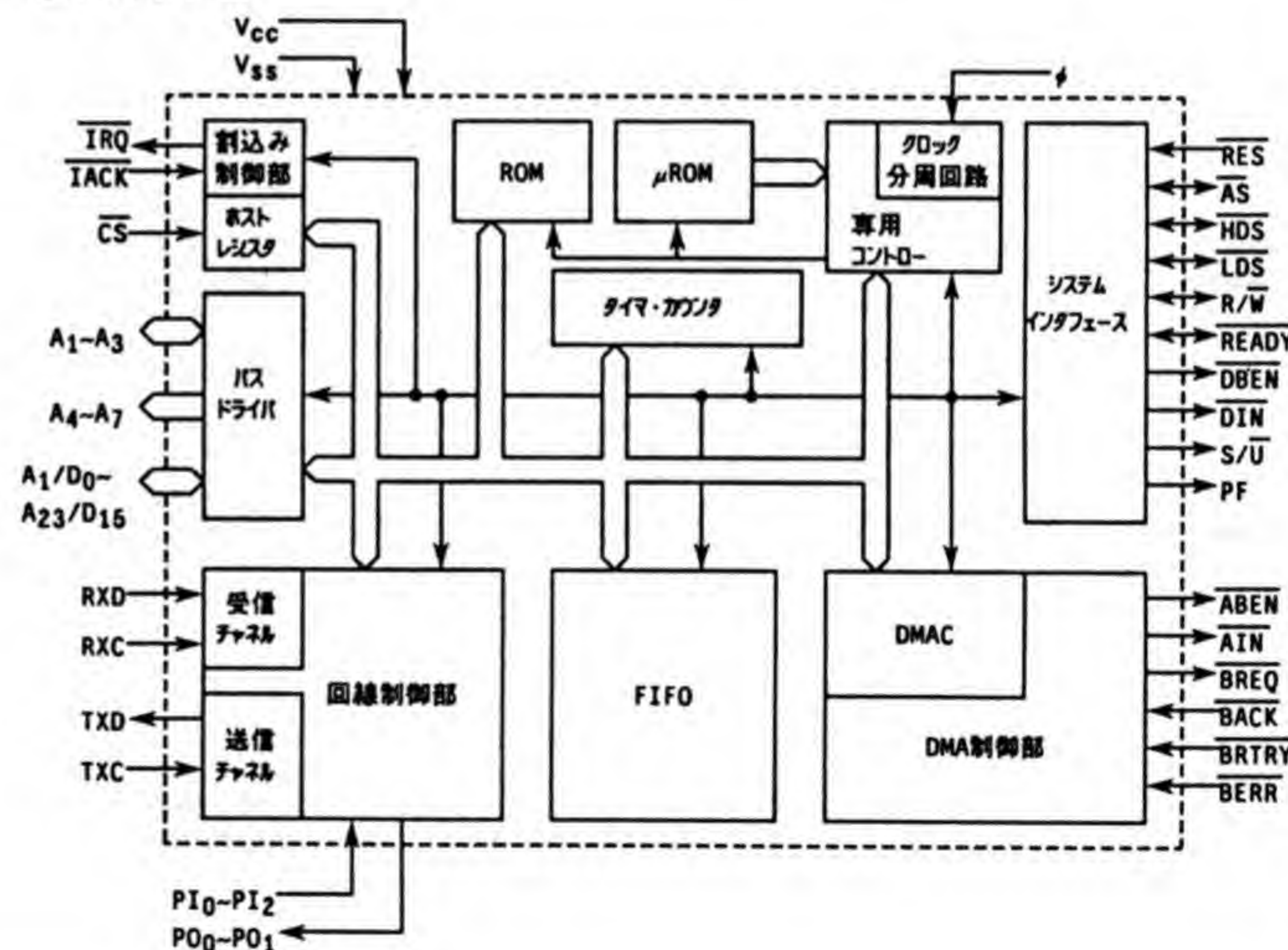
( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 200\mu\text{A}$	2.4*	V
$I_{OFL}$		10	$\mu\text{A}$
$I_{IL}$		2.5	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^\circ\text{C}$	15	pF

ピン番号	端子名	ピン番号	端子名	ピン番号	端子名
1	$V_{SS}$	24	A8/D0	47	NUM*
2	$V_{CC}$	25	A9/D1	48	NUM*
3	R/W	26	A10/D2	49	PO0
4	RD $\bar{S}$	27	A11/D3	50	PO1
5	CD $\bar{S}$	28	A12/D4	51	PI0
6	READY	29	A13/D5	52	PI1
7	ATN	30	A14/D6	53	PI2
8	TRQ	31	A15/D7	54	RXC
9	TACK	32	A16/D8	55	RXD
10	NC**	33	$V_{SS}$	56	$V_{SS}$
11	S/U	34	A17/D9	57	$V_{CC}$
12	PF	35	A18/D10	58	TXD
13	NUM*	36	A19/D11	59	TXC
14	A1	37	A20/D12	60	NUM*
15	A2	38	A21/D13	61	BREQ
16	$V_{SS}$	39	A22/D14	62	BACK
17	$V_{CC}$	40	A23/D15	63	$\bar{CS}$
18	$\bar{A}$	41	$V_{SS}$	64	$\bar{AS}$
19	A3	42	$V_{CC}$	65	ABEN
20	A4	43	$V_{CC}$	66	NC**
21	A5	44	BRTRY	67	DIN
22	A6	45	BERR	68	DBEN
23	A7	46	RES		

\*NUM: Not Users Mode  
\*\*NC: Non Connection

## ■ブロック図





## ■端子機能

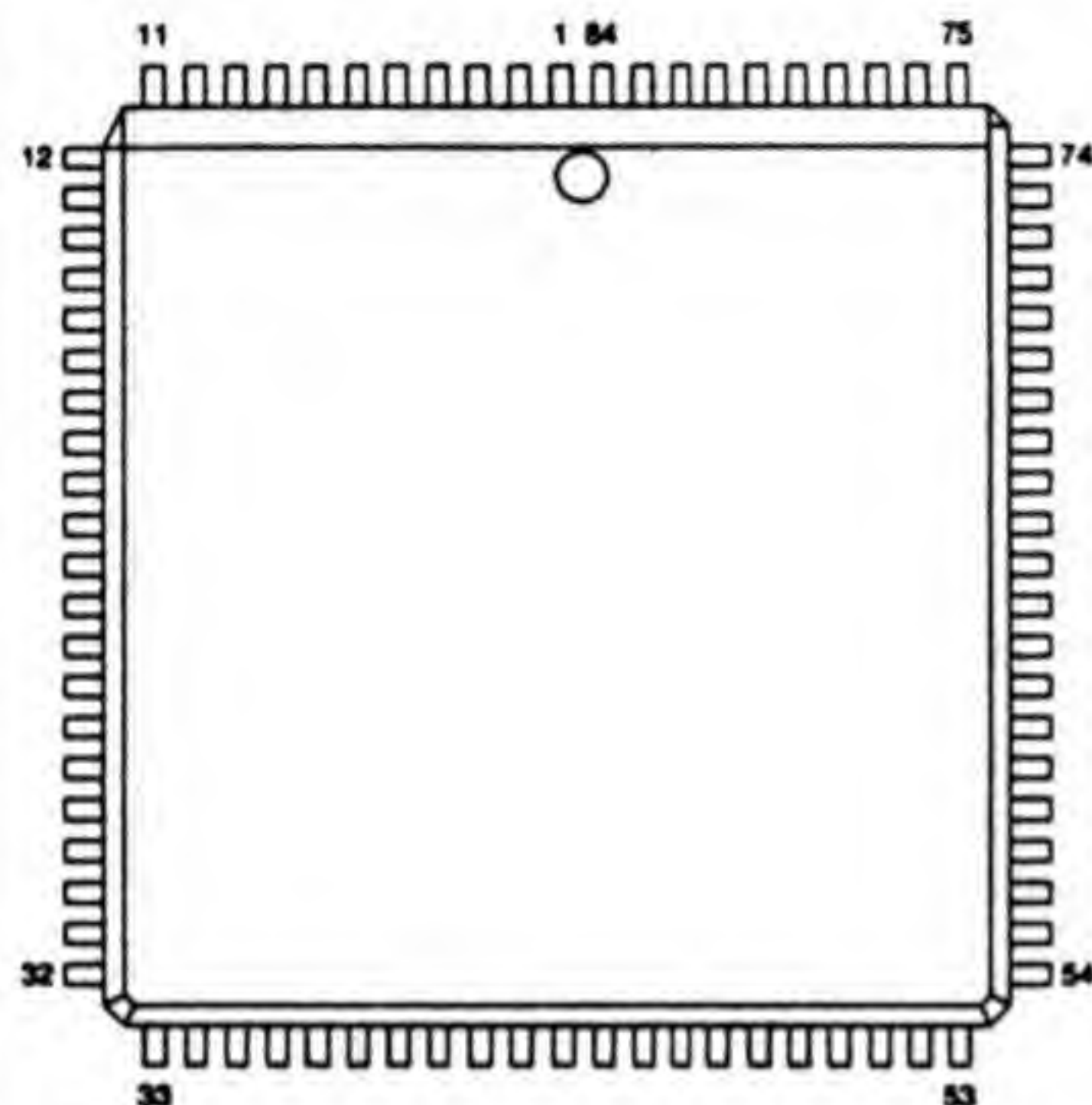
端子名	ピン番号	入出力	機能
$\phi$	18	入力	システム・クロックを入力する。ここで入力する周波数は、システム定数テーブル(SYSPT)の3バイト目で指定する周波数と同じにする
$\overline{\text{IRQ}}$	8	出力	割り込み要求する出力端子。オープン・ドレイン出力
$\overline{\text{IACK}}$	9	入力	$\overline{\text{IRQ}}$ に対する応答信号として、HD64541に割り込み要求の受け付けを知らせる入力端子。 $\overline{\text{IACK}}$ が入力されるとHD64541は割り込みベクタを出力する
$\overline{\text{CS}}$	63	入力	MPUを含むホスト・システム(HD64541以外)がバス・マスタのとき、HD64541をアドレスリングするための入力信号として用いられる
A1~A3	14, 15, 19	入出力	HD64541がバス・マスタのときは、アドレスを出力する。HD64541がバス・マスタでないときは、入力信号となりA <sub>1</sub> ~A <sub>3</sub> の3本のアドレス・ラインとHDS, LDSでHD64541内部のレジスタをアクセスする
A4~A7	20, 21, 22, 23	出力	HD64541がバス・マスタのとき出力となり、アクセスする番地のA4~A7アドレスを出力する
A8/D0 A23/D15	24, 25, 26, 27, 28, 29, 30, 31, 32, 34, 35, 36, 37, 38, 39, 40	入出力	この信号は、アドレスとデータにマルチプレックスされている。ABEN, AIN, DIN, DBENの各信号を用いて外部回路により、デマルチプレックスを行う。HD64541がバス・マスタのときは、アドレス情報の出力とデータ情報の入出力を行う。HD64541以外がバス・マスタのとき、データ情報の入出力を行う
RXD	55	入力	受信データを入力する。RXCの立ち上がりでデータとして取り込む
RXC	54	入力	受信データ用のクロックを入力する
TXD	58	出力	送信データが出力される。TXCの立ち下がり同期してデータが変化する
TXC	59	入力	送信データ用のクロックを入力する
PI0~PI2	51, 52, 53	入力	汎用の入力ポート
PO0~PO1	49, 50	出力	汎用の出力ポート。リセット時は、Lowレベルになる
$\overline{\text{BACK}}$	62	入力	これは、 $\overline{\text{BREQ}}$ に対する応答として、HD64541にバスを解放したことを示す入力信号
$\overline{\text{BRTRY}}$	44	入力	HD64541に対し、バス・サイクルの再実行を要求する。HD64541は、リトライが発生すると現在実行中のサイクルを保持したまま、例外条件がなくなるのを待ち、例外条件がなくなると、再度同じサイクルを実行する

端子名	ピン番号	入出力	機能
$\overline{\text{BERR}}$	45	入力	バス・エラーはデータ転送中に回復不可能なエラーが発生し、DMA転送を終了させる場合に用いる。バス・エラー入力最低8クロック間必要
$\overline{\text{RES}}$	46	入力	リセット入力を行うと、HD64541は初期化される。TXDはHighになる。リセット入力最低24クロック間必要
$\overline{\text{AS}}$	64	入出力	HD64541がバス・マスタのとき、出力したアドレスがバス上で確認したことを示す出力信号となる。HD64541以外がバス・マスタのとき、A1~A3のアドレス入力確定したことを示す入力信号となる
R/ $\overline{\text{W}}$	3	入出力	HD64541がバス・マスタのとき、出力信号となり、HD64541以外がバス・マスタのとき入力信号となる。この信号はデータの流れる方向をコントロールするのに使われる
$\overline{\text{HDS}}$	4	入出力	HD64541がバス・マスタのとき、出力信号となり、データ・バスの上位側(D15~D8)が有効であることを示す。HD64541以外がバス・マスタのとき、入力信号となる
$\overline{\text{LDS}}$	5	入出力	HD64541がバス・マスタのとき、出力信号となり、データ・バスの下位側(D7~D0)が有効であることを示す。HD64541以外がバス・マスタのとき、入力信号となる
$\overline{\text{READY}}$	6	入出力	HD64541がバス・マスタのとき、入力端子となり、HD64541データ転送の完了時期を知るためにこの信号をモニタする。HD64541以外がバス・マスタのとき、出力端子となり、データの読み出し/書き込みを完了したことを示す
$\overline{\text{DBEN}}$	68	出力	この信号は、アドレス・データ・ラインの双方向バッファの出力をコントロールするために使われる出力信号
$\overline{\text{DIN}}$	67	出力	この信号はデータ・ラインの方向をコントロールするために使われる出力信号
S/ $\overline{\text{U}}$	11	出力	ユーザ空間のアクセスが、スーパーバイザ空間のアクセスかを示す
PF	12	出力	プログラム空間のアクセスか、データ空間のアクセスかを示す
$\overline{\text{ABEN}}$	65	出力	HD64541がバス・マスタのとき、この信号はアドレス・データ・ラインのアドレス・ラインをラッチするために使われる出力信号
$\overline{\text{AIN}}$	7	出力	HD64541がバス・マスタのとき、この信号はアドレス・ラインの方向をコントロールするために使われる出力信号
$\overline{\text{BREQ}}$	61	出力	HD64541がバス占有権を要求していることを示す



# SCA (Serial Communication Adaptor)

## ■ ピン接続

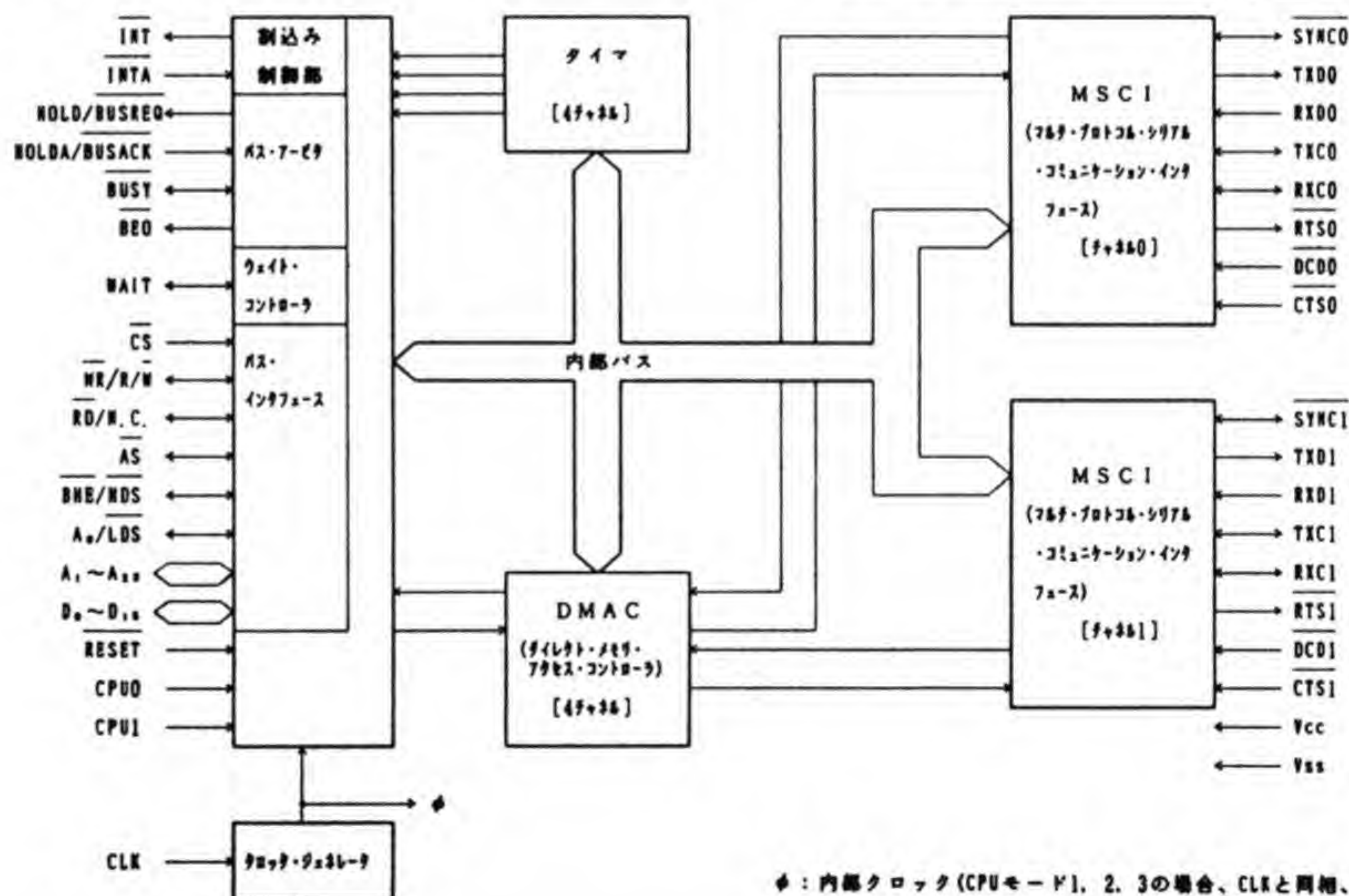


ピン No.	機能	ピン No.	機能	ピン No.	機能	ピン No.	機能
1	V <sub>DD</sub>	31	A20	61	TXC1		
2	RESET	32	A21	62	TXD1		
3	WR	33	A22	63	V <sub>DD</sub>		
4	RD	34	A23	64	SYNCO		
5	A5	35	V <sub>DD</sub>	65	V <sub>CC</sub>		
6	BHE	36	D0	66	RTS0		
7	V <sub>DD</sub>	37	D1	67	DCD0		
8	A0	38	D2	68	CTS0		
9	A1	39	D3	69	RXC0		
10	A2	40	D4	70	RXC0		
11	A3	41	D5	71	TXC0		
12	A4	42	D6	72	TXD0		
13	A5	43	D7	73	CPU1		
14	A6	44	V <sub>CC</sub>	74	CPU0		
15	A7	45	D8	75	INT		
16	A8	46	V <sub>DD</sub>	76	INTA		
17	A9	47	D9	77	HOLD	BUSREQ	
18	A10	48	D10	78	HOLDA	BUSACK	
19	V <sub>DD</sub>	49	D11	79	BEQ		
20	A11	50	D12	80	BUSY		
21	V <sub>CC</sub>	51	D13	81	WAIT		
22	V <sub>CC</sub>	52	D14	82	CS		
23	A12	53	D15	83	V <sub>CC</sub>		
24	A13	54	V <sub>DD</sub>	84	CLK		
25	A14	55	SYNCl				
26	A15	56	RTSl				
27	A16	57	DCDl				
28	A17	58	CTSl				
29	A18	59	RXC1				
30	A19	60	RXC1				

## ■ 特 徴

- ・ 調歩同期、バイト同期、ビット同期通信用の全二重マルチプロトコル・シリアル・チャンネルを2チャンネル内蔵
- ・ ADPLL機能を内蔵し、クロック抽出、受信データ/クロックのノイズ・サプレスをを行う
- ・ ボーレート・ジェネレータ内蔵
- ・ 4チャンネルのDMAC内蔵で、最大転送速度は11.1Mバイト/秒
- ・ 16ビット・タイマを4チャンネル内蔵
- ・ 内蔵DMACと外部バス・マスタとの調停を行うバス・アービタ内蔵

## ■ ブロック図



## ■ 最大定格

項目	記号	定 格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~ $V_{CC}+0.3$	V
動作温度	$T_{amb}$	-20~75	°C
保存温度	$T_{STG}$	-55~150	°C

## ■ DC 特性

( $T_a = -20 \sim 75^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL} = 2.2\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 200\mu\text{A}$	2.4*	V
$I_{OFL}$	$V_{OL} = 0.5 \sim V_{CC} - 0.5$	1.0	$\mu\text{A}$
$I_{IH}$	$V_{IN} = 0.5 \sim V_{CC} - 0.5$	1.0	$\mu\text{A}$
$C_{IN}$	$T_a = 25^\circ\text{C}$ , $f = 1\text{MHz}$	20	pF

φ: 内部クロック (CPUモード1, 2, 3の場合、CLKと同相、CPUモード0の場合、CLKの反転出力。)



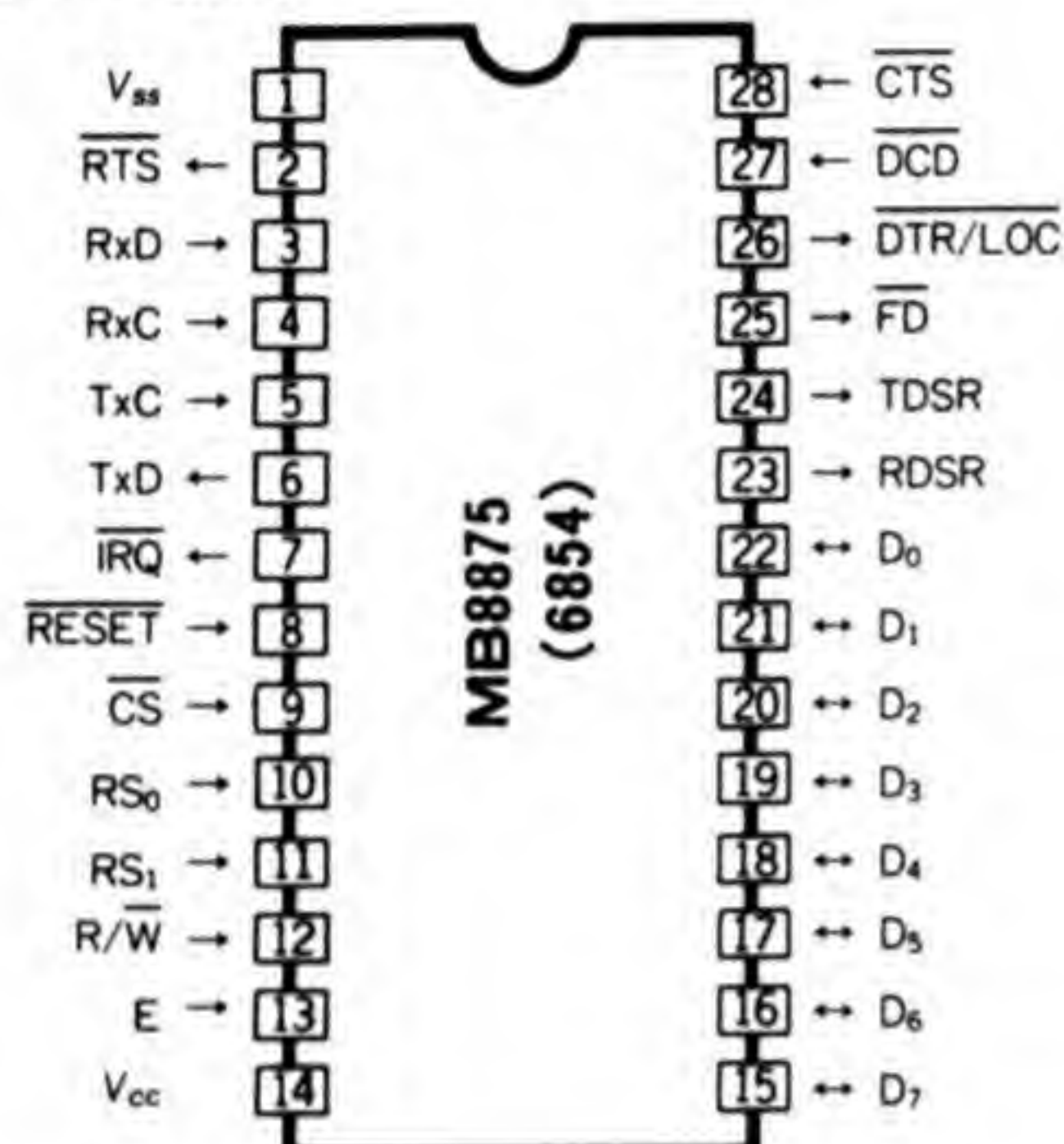
■端子機能

端子名	名称	ピン番号	入出力	機能
CLK	クロック	84	入力	システム・クロック入力。
RESET	リセット	2	入力	この端子が6クロック以上Lowレベルになると、全機能はリセットされる。
A1~A3	アドレス・バス1~7	9~15	入出力	アドレスの下位7ビット出力端子。リセット・モードで入力状態となる。
A8~A23	アドレス・バス8~23	16~18, 20, 23~34	出力	アドレスの上位16ビットの出力端子。リセット・モードでハイ・インピーダンス状態となる。
D0~D15	データ・バス	36~43, 45, 47~53	入出力	16ビットの双方向データ・バス。データの入出力を行う。
RD	リード	4	入出力	リード・サイクルを実行中であることを示す端子。
WR/R/W	ライト/リード・ライト	3	入出力	ライト・サイクル実行中またはリード/ライトのどちらのサイクルを実行中であることを示す端子。
A0/LDS	アドレス0/ ロー・データ・ストロブ	8	入出力	アドレス・バスの最下位ビットまたは下位データのストロブ・タイミング。
BHE/HDS	バス・ハイ・イネーブル/ ハイ・データ・ストロブ	6	入出力	上位バイトのアクセス信号または上位データのストロブ・タイミング信号となる。
CS	チップ・セレクト	82	入力	チップ・セレクト信号。
WAIT	ウェイト	81	入出力	リード/ライト・サイクルを引き延ばすために用いる信号。
AS	アドレス・ストロブ	5	入出力	アドレス・バスがアクティブになっていることを示す信号。
HOLD/BUSREQ	ホールド/バス・リクエスト	77	出力	上位CPUに対してバスの解放を要求するために使用する信号。
HOLDA/BUSACK	ホールド・アクノリッジ/ バス・アクノリッジ	78	入力	上位CPUがHOLD/BUSREQ信号を受けてバスを解放したことを示す信号。
BEO	バス・イネーブル出力	79	出力	バス調停のディジー・チェーンに使用する。
BUSY	バス・ビジー	80	入出力	バス権を使用中であることを示すオープン・ドレイン端子。
CPU0, CPU1	CPUセレクト0, 1	74, 73	入力	バス・インターフェース・モード選択信号。(0, 0)で8086系, (1, 0)で64180系, (1, 1)で68000系。
INT	割り込みリクエスト	75	出力	割り込み要求信号。
INTA	割り込みアクノリッジ	76	入力	割り込みアクノリッジ信号。
TXD0, 1	トランスミット・データ0, 1	72, 62	出力	送信データ出力端子。
RXD0, 1	レシーブ・データ0, 1	69, 59	入力	受信データ入力端子。
TXC0, 1	トランスミット・クロック0, 1	71, 61	入出力	送信クロック入出力端子。外部クロック入力、内部クロック出力、受信クロックをそのまま出力の3モードにプログラム可能。
RXC0, 1	レシーブ・クロック0, 1	70, 60	入出力	受信クロックの入出力およびADPLL動作クロック入力に用いる。外部クロック入力、ADPLLクロック入力、ADPLL受信クロック出力、内部ジェネレータの受信クロック出力の4モードにプログラム可能。
RTS0, 1	送信要求0, 1	66, 56	出力	モデムなどに対して、出力するデータがあることを示す端子。
DCD0, 1	受信キャリア検出0, 1	67, 57	入力	モデムなどが、通信回線から有効な信号を受信していることを知らせる端子。
CTS0, 1	送信許可0, 1	68, 58	入力	モデムなどが通信回線へのデータ送信が可能であることを知らせる端子。
SYNC0, 1	シンクロナイズーション0, 1	64, 55	入出力	バイト同期、外部同期モードのとき入力となり、この信号の立ち下がり同期確立する。バイト同期、HDLCのときは出力となり、レジスタ・ビットを反転出力する。



# ADLC (Advanced Data Link Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.3~7.0	V
入力電圧	$V_{IN}$	-0.3~7.0	V
動作温度	$T_{OPR}$	0~+70	°C
保存温度	$T_{STG}$	-65~+150	°C

## ■ DC特性

( $T_a=0\sim+70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm 5\%$ )

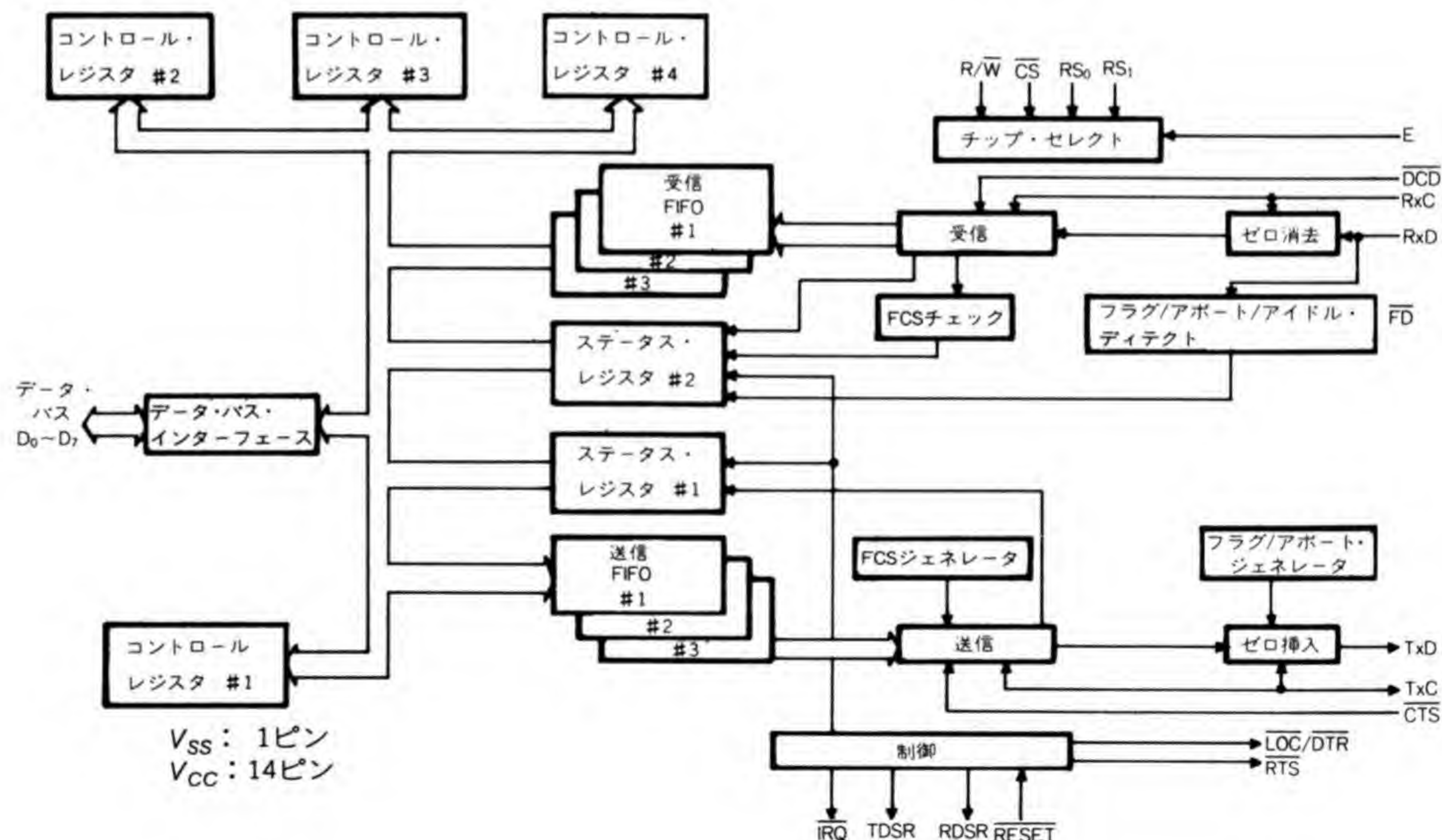
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.0*	V
$V_{OL}$	$I_{OL}=1.6\text{mA}$	0.4	V
$V_{OH}$	$I_{OH}=100\mu\text{A}$	2.4*	V
$I_{OL}$		10	$\mu\text{A}$
$I_{IL}$	$V_{IN}=0\sim V_{CC}$	2.5	$\mu\text{A}$
$C_{IN}$		7.5	pF

## ■ 特徴

- ・ 3種類の通信プロトコルをサポートするデータ・リンク・コントローラ  
ADCCP  
HDLC  
SDLC
- ・ フラグ検出と同期制御機能をもつ
- ・ 自動ゼロ挿入, 自動ゼロ削除機能をもつ
- ・ アドレス, コントロール, ロジカル・コントロールの各フィールドの拡張が可能
- ・ インフォメーション・フィールド語長の5~8ビットを選択可能

- ・ フレーム・チェック・シーケンスの自動発生と誤り検出機能をもつ
- ・ アボートおよびアイドル・パターンの検出と発生
- ・ ループ・モード動作可能
- ・ 自己帰還テスト・モードをもつ
- ・ NRZまたはNRZIモードによる伝送が可能
- ・ 優先つきステータス・モードの選択可能
- ・ モデム/DMAインターフェースをもつ

## ■ ブロック図





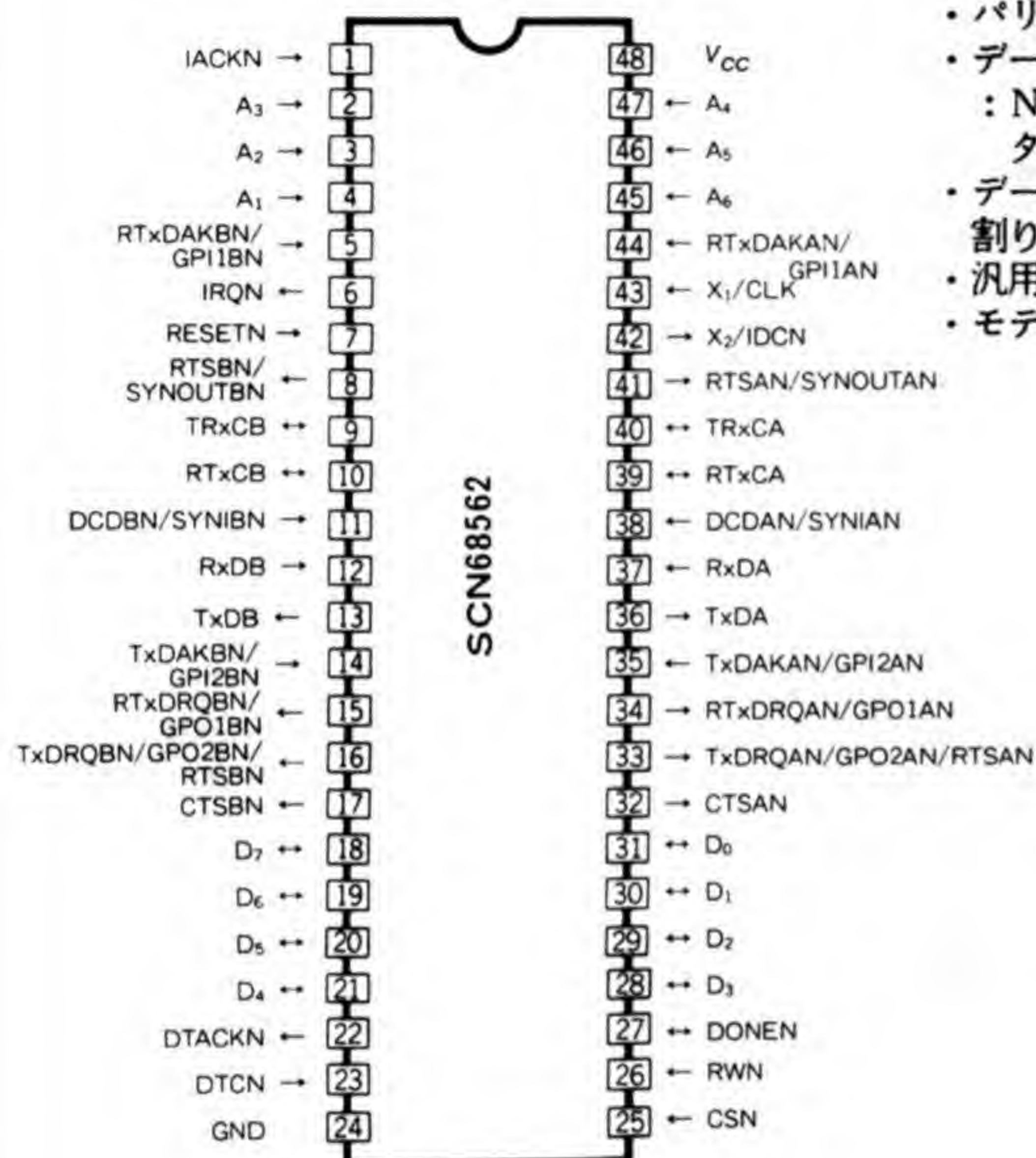
## ■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{\text{RTS}}$	送信要求	2	出力	この端子は、送出するデータが TxFIFO に存在することを外部に知らせる
RxD	受信データ	3	入力	レシーブ・データの入力端子
RxC	受信クロック	4	入力	レシーブ・データの入力の同期用信号
TxC	送信クロック	5	入力	トランスミット・データの出力の同期用信号
TxD	送信データ	6	出力	トランスミット・データの出力端子
$\overline{\text{IRQ}}$	割り込み要求	7	出力	割り込み条件が成立し、かつ対応するイネーブル・ビットが許可されている場合に、この出力は“L”となる。割り込み条件が解除されるか、イネーブル・ビットが禁止を行わない限り、この出力の“L”状態は持続する
$\overline{\text{RESET}}$	リセット	8	入力	リセット入力。“L”状態が入力されると、RxReset(CR <sub>1b6</sub> )、TxReset(CR <sub>1b7</sub> )が“1”となり、これによって Rx、Tx 部分は各々リセットされる
$\overline{\text{CS}}$	チップ・セレクト	9	入力	チップ・セレクト入力であり、実際のリード/ライトはこの入力が“L”でイネーブル入力が“H”のときにのみ許可される
RS <sub>0</sub> , RS <sub>1</sub>	レジスタ選択	10, 11	入力	チップ内のレジスタのリード/ライト時に、R/ $\overline{\text{W}}$ 入力 CR <sub>1b0</sub> と共にアドレッシングを行う
R/ $\overline{\text{W}}$	リード/ライト	12	入力	リード/ライト動作が行われるとき、データの流れを指示するものであり、データ入出力バッファは R/ $\overline{\text{W}}$ 入力が“H”なら出力モード、“L”なら入力モードとなって、データの読み書きを制御する
E	イネーブル	13	入力	$\overline{\text{CS}}$ , RS <sub>0</sub> , RS <sub>1</sub> , R/ $\overline{\text{W}}$ 入力を実際に動作させるタイミング・クロックであり、E入力の“H”期間にデータの読み書きが許可される
D <sub>7</sub> ~D <sub>0</sub>	データ・バス	15~22	入出力	システムとデータをやりとりするための双方向性入出力ピンであり、データのリード期間以外は 3 ステートとなる
RDSR	受信データ要求	23	出力	この端子は SR <sub>1b0</sub> の値を反映しており、“H”状態のときは RxFIFO がサービスを要求していることを示し、この RxFIFO が読まれると RDSR 出力は“L”となる
TDSR	送信データ要求	24	出力	この端子は FC モード(CR <sub>2b3</sub> =1)のとき以外は SR <sub>1b6</sub> の値を出力している。“H”状態のときは TxFIFO がサービスを要求していることを示し、TxFIFO にデータを書き込むと TDSR 出力は“L”になる
$\overline{\text{FD}}$	フラグ検出	25	出力	フラグを受け付けたことを示す出力であり、フラグの最後のビットを受け付けてから 1 ビット・タイムの間“L”である
$\overline{\text{LOC/DTR}}$	データ・ターミナル・レディ	26	出力	ループ・モード以外ではこの出力端子は $\overline{\text{DTR}}$ として働き、CR <sub>3b7</sub> を“1”とすると“L”出力、CR <sub>3b7</sub> を“0”とすると“H”出力となる。ループ・モードではこの出力は LOCとして働き、外部に付けたループ・インターフェース・ハードウェアが On Loop/Off Loop になるのを制御する
$\overline{\text{DCD}}$	キャリア検出	27	入力	この入力端子を“H”とすると、レシーブ・レジスタ内のデータはリセットされ、SR <sub>2b5</sub> がセットされて、もしイネーブルされていれば IRQ を発生する
$\overline{\text{CTS}}$	送信可	28	入力	この入力端子を“H”とすると、SR <sub>1b6</sub> とそれに関連した IRQ を禁止し、CR <sub>1b4</sub> がセットされ、イネーブルされている場合には IRQ を発生する



# DUSCC (Dual Universal Serial Communication Controller)

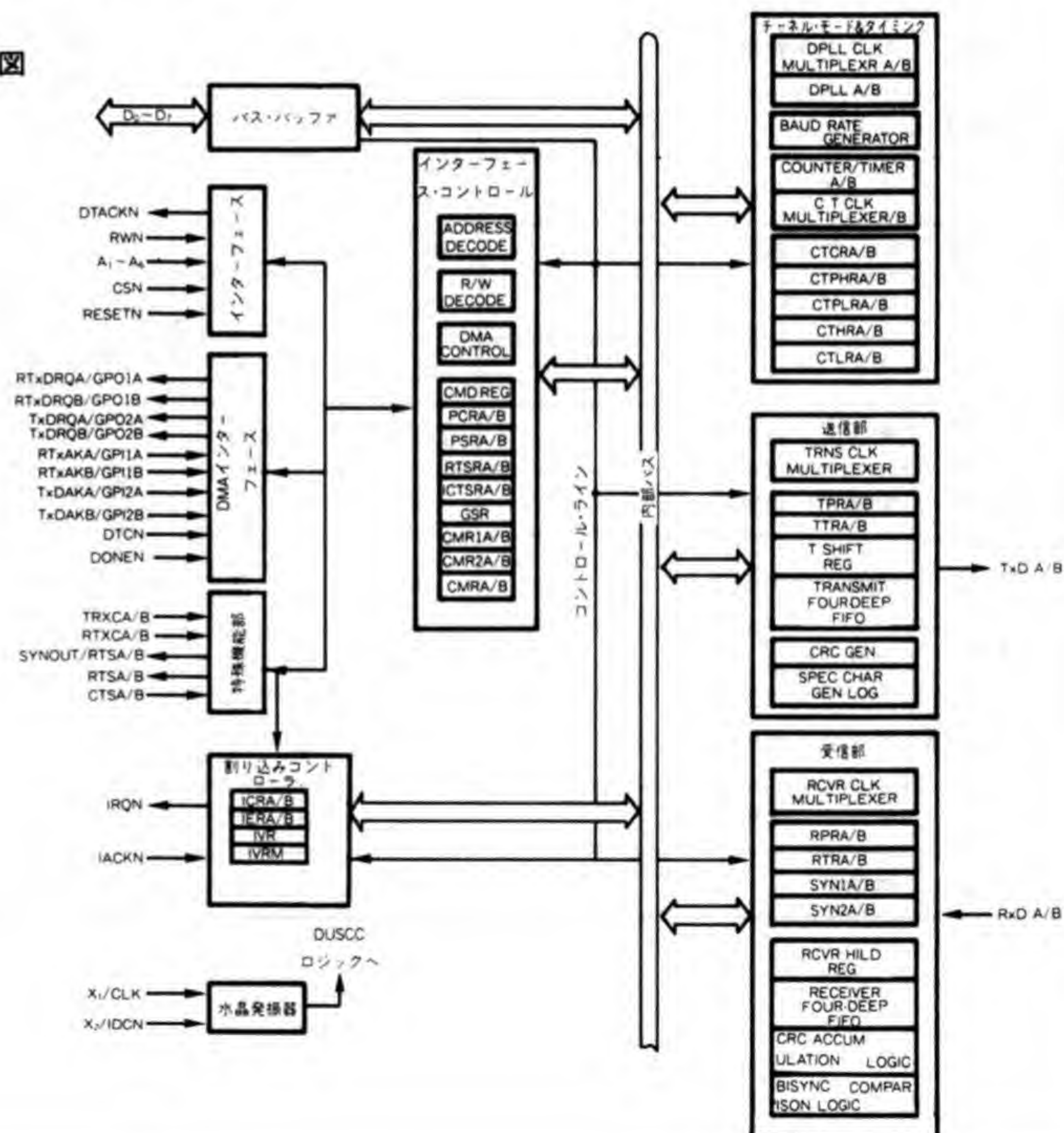
## ■ ピン接続



## ■ 特 徴

- ・送受信レートはプログラマブル
- ・パリティ, LRC, CRC生成/チェック機能
- ・データ・エンコード/デコードはプログラマブル  
: NRZ, NRZI, FM0, FM1, マンチェスタ
- ・データ転送モードはプログラマブル: ポーリング, 割り込み, DMA, ウェイト
- ・汎用の16ビット・カウンタ/タイマ内蔵
- ・モデム制御可能

## ■ ブロック図



## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	V <sub>CC</sub>	-0.5~6.0	V
入力電圧	V <sub>IN</sub>	-0.5~6.0	V
動作温度	T <sub>OPR</sub>	0~70	℃
保存温度	T <sub>STG</sub>	-55~150	℃

## ■ DC特性

(T<sub>a</sub>=0~70℃, V<sub>CC</sub>=5V±5%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> =5.3mA	0.5	V
V <sub>OH</sub>	I <sub>OH</sub> =400μA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> =0~V <sub>CC</sub>	10	μA
I <sub>IH</sub>	V <sub>IN</sub> =0~V <sub>CC</sub>	±10	μA



## ■端子機能

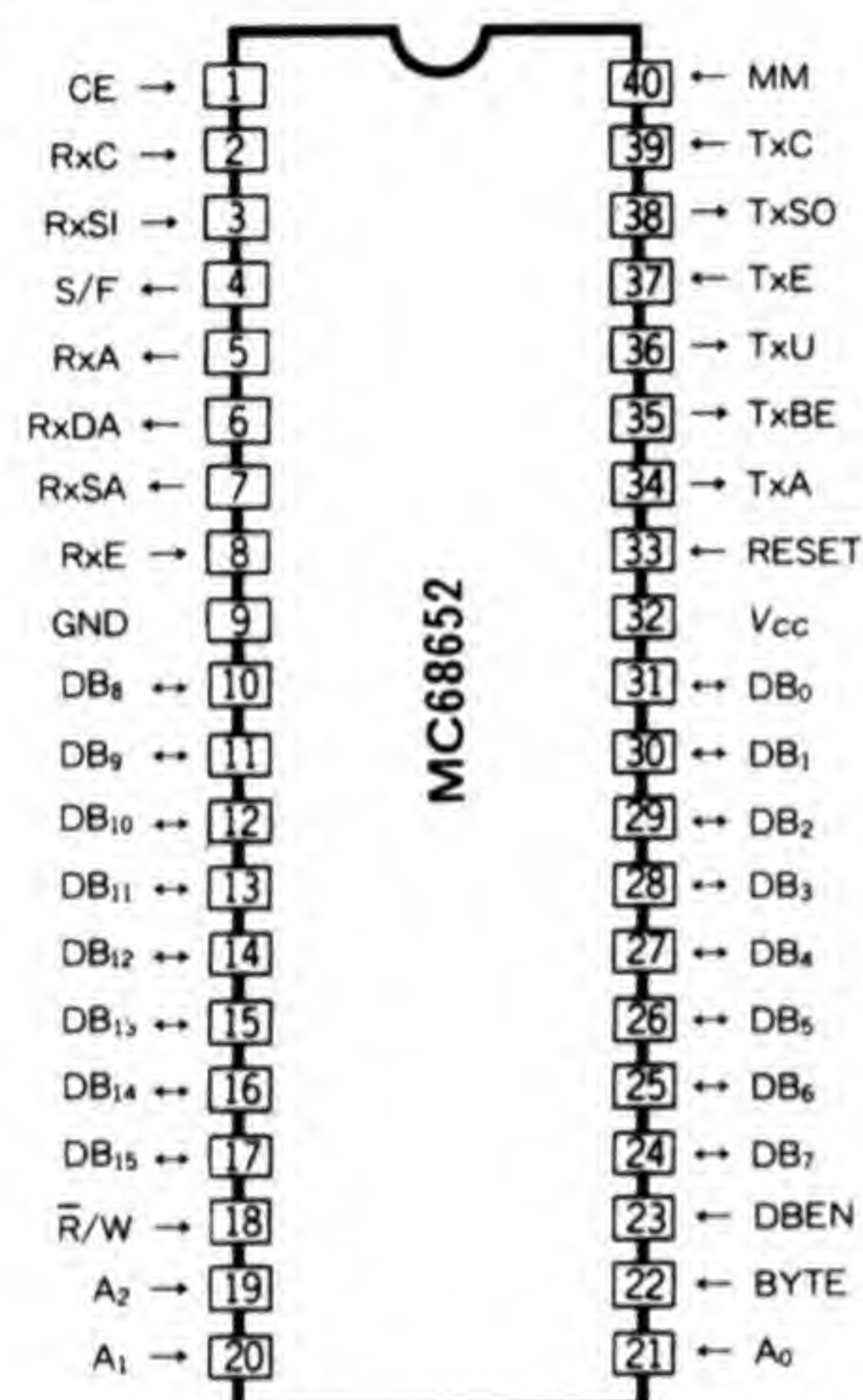
端子名	ピン番号	入出力	機能
A <sub>1</sub> ~A <sub>6</sub>	4~2, 45~47	入力	アドレス・ライン、内部レジスタのアドレスを決める
D <sub>0</sub> ~D <sub>7</sub>	31~28, 21~18	入出力	双方向データ・バス、CPUとのデータ転送に使用する
R/WN	26	入力	リード/ライトの方向を決める
CSN	25	入力	データの入出力を行うときのチップ・セレクト信号
DTACKN	22	出力	データ転送アクノリッジ、バス上のデータがラッチされたことを示す
IRQN	6	出力	割り込み要求信号で、イネーブルされた割り込みが発生すると“L”になる
IACKN	1	入力	割り込みアクノリッジ信号
X <sub>1</sub> /CLK	43	入力	水晶振動子接続または外部クロック入力端子
X <sub>2</sub> /IDCN	42	出力	水晶振動子接続または割り込みデイジィ・チェーン出力にプログラムできる
RESETN	7	入力	マスタ・リセット、内部レジスタおよび入出力部をリセットする
RxDA, RxDB	37, 12	入力	チャンネルA, Bの受信直列データ入力端子
TxDA, TxDB	36, 13	出力	チャンネルA, Bの送信直列データ出力端子
RTxCA, RTxCB	39, 10	入出力	チャンネルA, Bの受信部/送信部クロックの入出力端子
TRxCA, TRxCB	40, 9	入出力	チャンネルA, Bの送信部/受信部クロックの入出力端子
CTSA/BN, LCA/BN	32, 17	出力	チャンネルA, Bの送信可出力または、ループ制御出力
DCDA/BN, SYNIA/BN	38, 11	入力	チャンネルA, Bのキャリア検出信号入力または、COPモードのとき外部同期入力として使用できる
RTxDRQA/BN, GPO1A/BN	34, 15	出力	チャンネルA, Bの送受信DMA要求出力または、汎用の出力として使用できる

端子名	ピン番号	入出力	機能
RTxDAKA/BN, GPI1A/BN	44, 5	入力	チャンネルA, Bの送受信DMAアクノリッジまたは、汎用の入力として使用できる
TxDAKA/BN, GPI2A/BN	35, 14	入力	チャンネルA, Bの送信DMAアクノリッジまたは、汎用の入力として使用できる
TxDRQA/BN, GPO2A/BN RTSA/BN	33, 16	出力	チャンネルA, Bの送信DMA要求または汎用出力または、送信要求出力
DTCN	23	入力	DMAコントローラからの入力で、要求データ転送が完了したことを示す
DONEN	27	入出力	DMAコントローラとの制御に使用されるダン信号入出力端子
RTSA/BN SYNOUTA/BN	41, 8	出力	チャンネルA, Bの同期キャラクタ検出出力または、送信要求出力として使用できる



# MPCC [Multi Protocol Communication Controller]

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~15.0	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-55~150	°C

## ■ DC特性

(T<sub>a</sub> = 0~70°C, V<sub>CC</sub> = 5.0V ± 5%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 1.6mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> = 100μA	2.4*	V
I <sub>OL</sub>	V <sub>OUT</sub> = 0~5.25V	10	μA
I <sub>IL</sub>	V <sub>IN</sub> = 0~5.25V	1.0	μA
C <sub>IN</sub>		20	pF

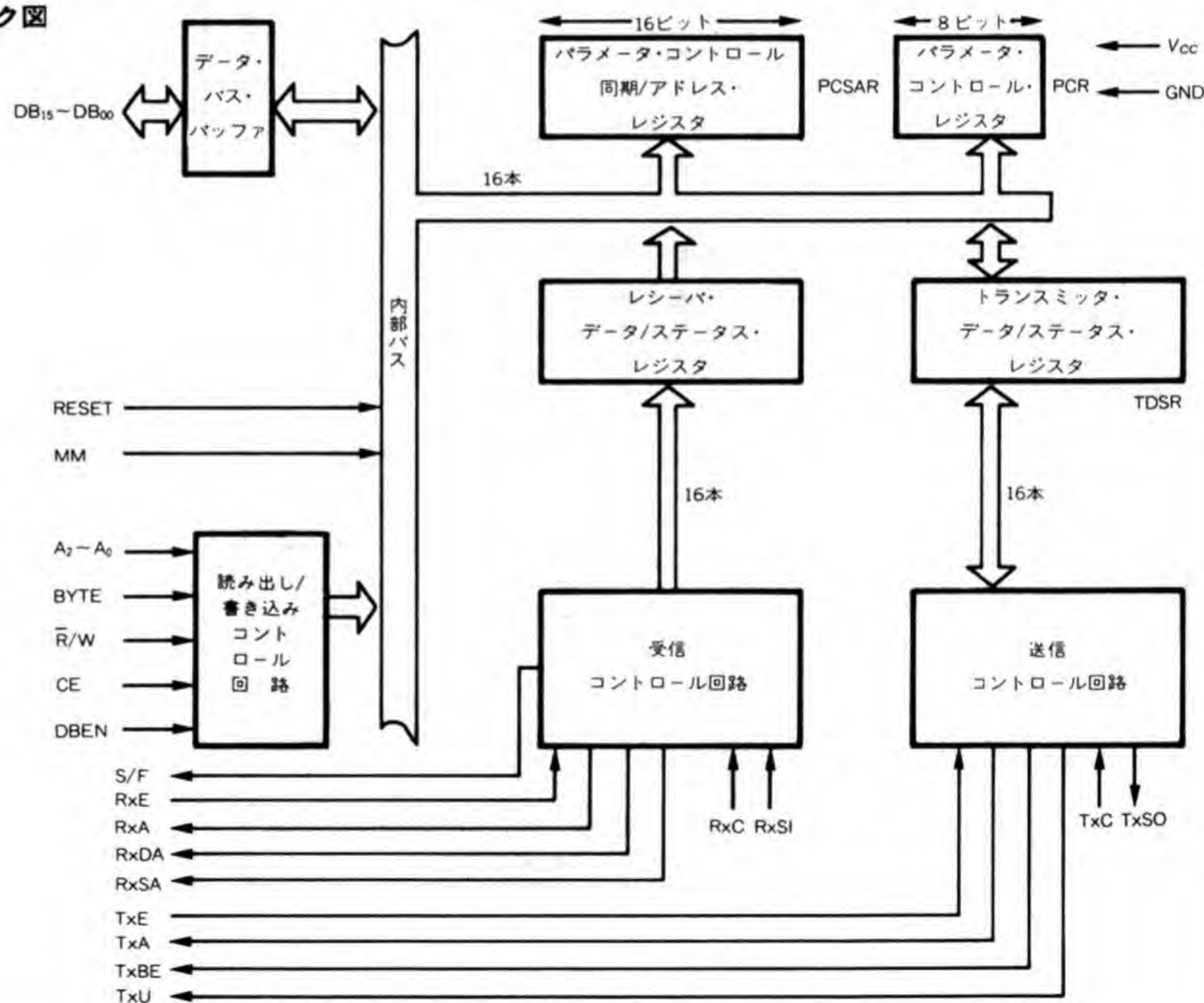
## ■ 特徴

- 同期式シリアル伝送用のマルチプロトコル・コントローラ
- DCから2 MBPSのデータ送信レート
- SDLC, ADCCP, HDLC, X25をサポート  
キャラクタ長: 1~8ビット  
アドレス比較  
自動ゼロ挿入/削除  
ショート・ラスト・キャラクタ  
FLAGまたはABORTキャラクタのアイドル

## 送信

- DDCMP, BISYNCをサポート  
キャラクタ長: 5~8ビット  
SYNCの生成, 検出, 削除  
FCSの自動生成/チェック
- 自己診断用メンテナンス・モード
- 双方向3ステートの8/16ビット・データ・バス

## ■ ブロック図





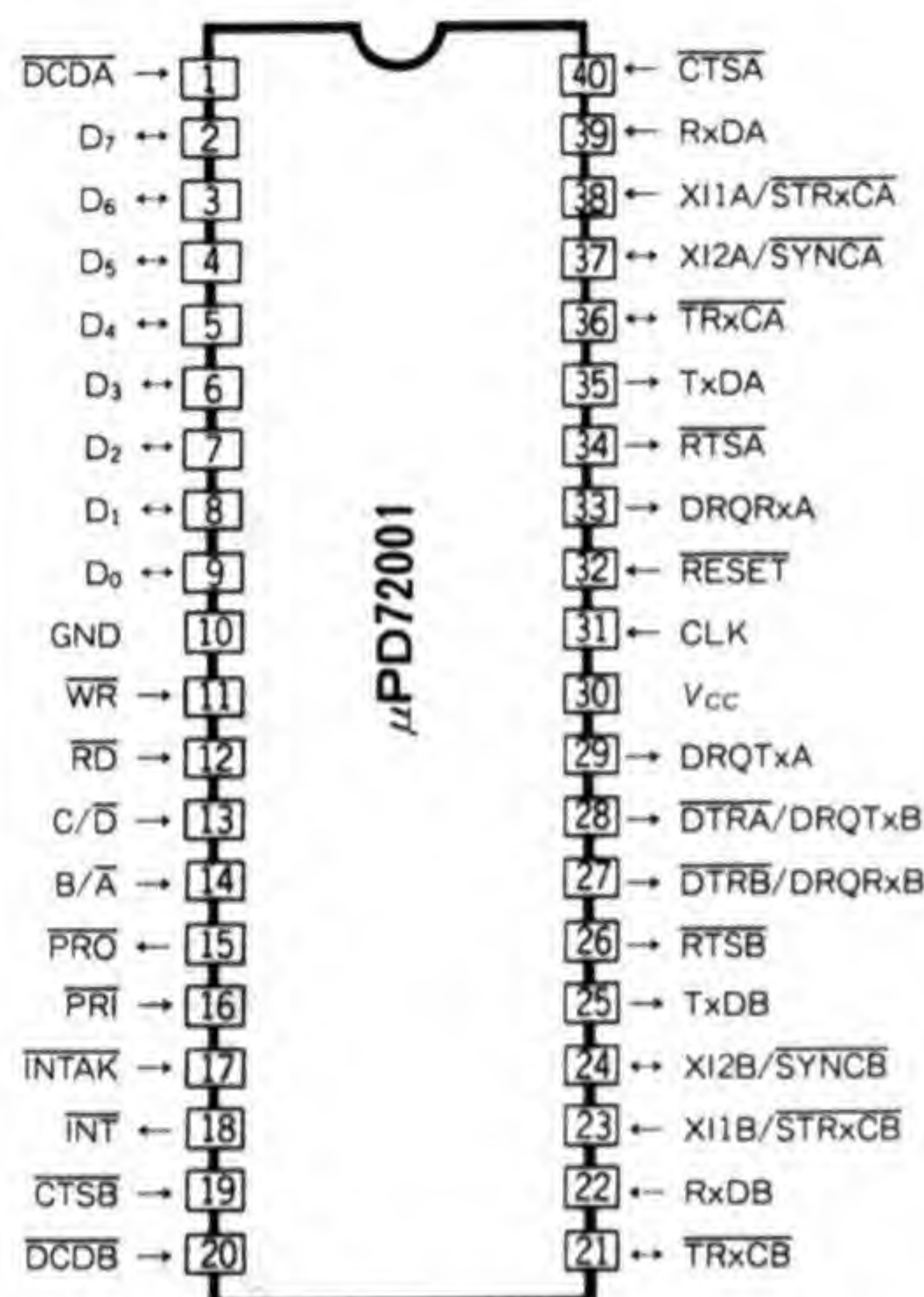
## ■端子機能

端子名	名称	ピン番号	入出力	機能
DB <sub>0</sub> ~DB <sub>15</sub>	データ・バス	31~24, 10~17	入出力	データ, コントロール, ステータス情報を転送する
A <sub>0</sub> ~A <sub>2</sub>	アドレス・バス	21~19	入力	内部レジスタを選択
BYTE	バイト	22	入力	この信号がアサートされていると, バイト (8ビット) データ・バス転送が指定される
CE	チップ・イネーブル	1	入力	この信号がアサートされると, データ・バス操作が許可される
$\overline{R}/W$	読み出し/書き込み	18	入力	データ・バス転送の方向を制御する
DBEN	データ・バス・イネーブル	23	入力	A <sub>0</sub> ~A <sub>2</sub> , CE, BYTE, $\overline{R}/W$ が確定してからアサートしなければならない, 読み出し時には指定されたレジスタの値が 3 ステート状態にあるデータ・バスにのる
RESET	リセット	33	入力	内部レジスタの値をゼロにし, タイミング信号を初期化する
MM	メインテナンス・モード	40	入力	内部で送信シリアル出力を受信シリアル入力に, 送信クロック入力を受信クロック入力に接続してメインテナンス・モードにする
RxE	受信イネーブル	8	入力	RxSI データの処理を許可する
RxA	受信アクティブ	5	出力	この信号はメッセージの最初のキャラクタをプロセッサに渡せるときにアサートされる
RxDA	受信データ有効	6	出力	この信号はアセンブルされたキャラクタが受信データ/ステータス・レジスタ (RDSR <sub>L</sub> ) に読み込まれ, プロセッサに渡す準備ができたときにネゲートされる
RxC	受信クロック	2	入力	受信回路にタイミングを与える
S/F	SYNC/FLAG	4	出力	この信号は, SYNC または FLAG キャラクタが検出されるとアサートされる
RxSA	受信ステータス有効	7	出力	この信号は, 受信メッセージ開始 (RSOM) ビット以外の RDSR <sub>H</sub> のすべてのビットにおける 0 から 1 への遷移があったときにアサートされ, RDSR <sub>H</sub> が読み込まれるとネゲートされる
RxSI	受信シリアル入力	3	入力	受信されたシリアル・データ
TxE	送信イネーブル	37	入力	この信号がアサートされると, 送信データ/ステータス・レジスタ (TDSR) と送信シリアル出力 (TxSO) 間の送信データ・バスをイネーブルにする
TxA	送信アクティブ	34	出力	TSOM (TSDR のビット 8) がセットされ, TxE がアサートされた後にアサートされる
TxBE	送信バッファ・エンブティ	35	出力	TDSR に新しいコントロール情報またはデータを格納する準備ができたときにアサートされる
TxU	送信アンダラン	36	出力	送信シーケンス中に TxBE の処理が, 1 キャラクタ時間遅らされたときにアサートされる
TxC	送信クロック	39	入力	送信回路にタイミングを与える
TxSO	送信シリアル出力	38	出力	送信されるシリアル・データ



# MPSC (Multi Protocol Serial Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.5$	V
動作温度	$T_{OPR}$	$-10 \sim 70$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

## ■ DC特性

( $T_a = -10 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

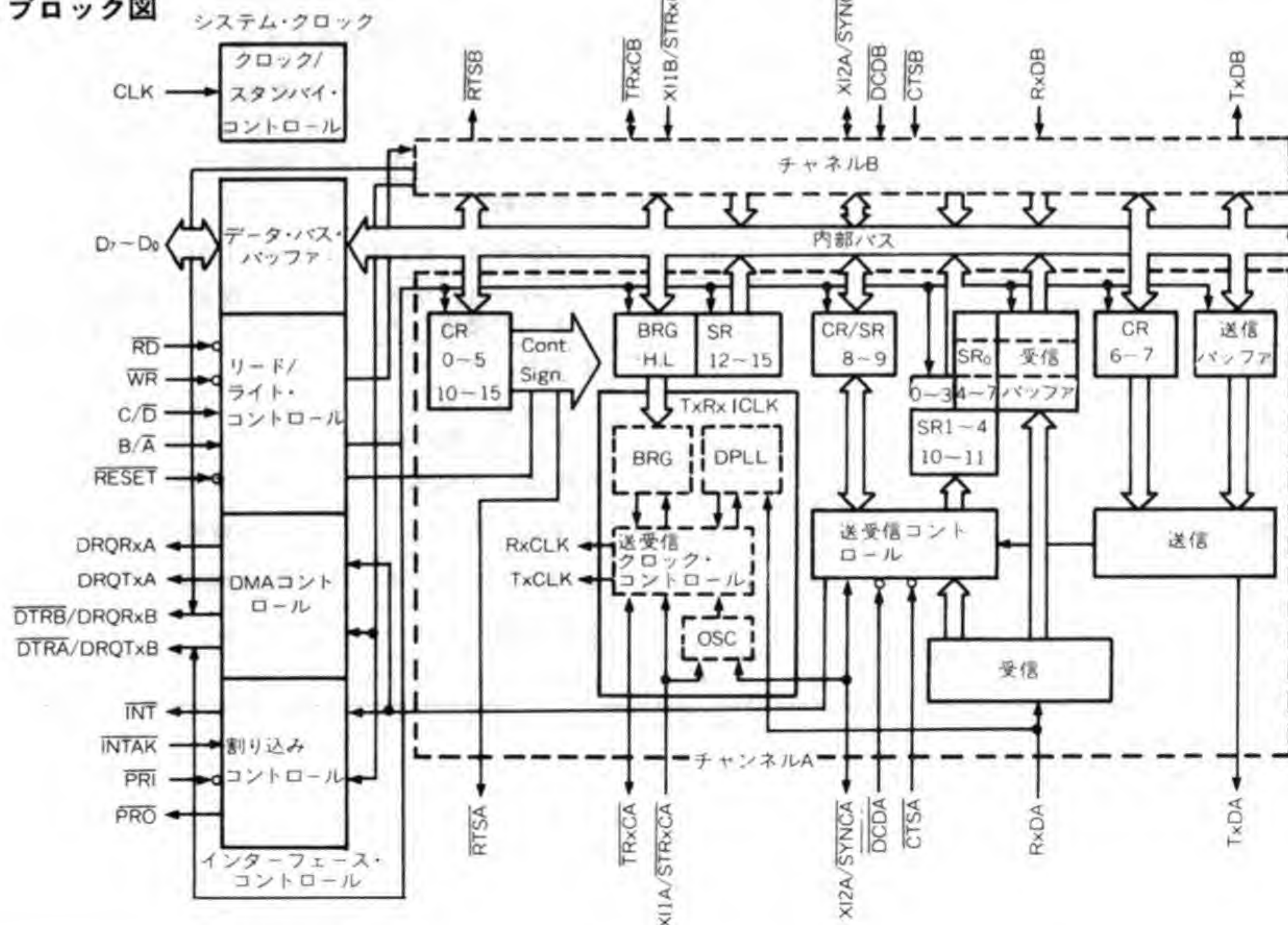
記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2\text{mA}$	0.45	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	$0.75 V_{CC}^*$	V
$I_{OL}$	$V_{OUT} = 0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0, V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		20	pF

## ■ 特徴

- ・ 調歩同期, COP, BOPの各種プロトコルに対応可能な高性能データ通信用LSI
- ・ 二つの全二重チャンネルを内蔵
- ・ ボーレート: DC~1.6 MBPS
- ・ 二重バッファのトランスミッタと四重バッファのレシーバ
- ・ SDLC, HDLC, SDLC Loopモードをサポート
  - 自動ゼロ挿入/削除
  - フラグ送出/検出
  - アドレス・フィールド検出
  - FCSの生成/検査

- ・ ショート・フレーム検出
- ・ アボート自動送信/検出
- ・ Mono-sync, Bi-sync, External syncをサポート
  - キャラクタ長: 5~8ビット
  - SYNCの生成, 検出, 削除
  - BCSの自動生成/チェック
- ・ 割り込み制御機能
- ・ DMA要求信号: 送信DMA/受信DMA×2
- ・ オーバラン・エラー検出
- ・ データ・フォーマット: NRZ, NRZI, FM
- ・ ボーレート・ジェネレータ内蔵
- ・ 汎用入出力端子: 4端子×2

## ■ ブロック図





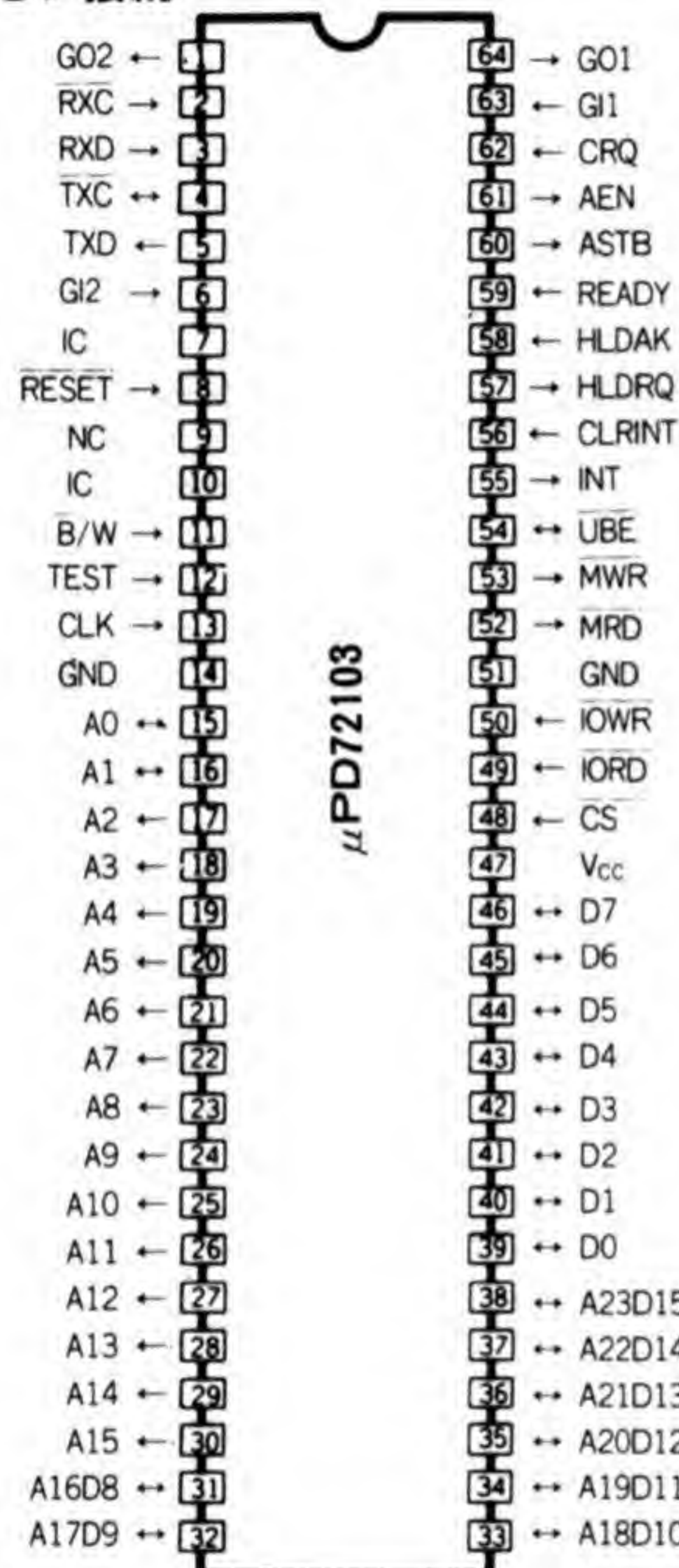
## ■端子機能

端子名	名称	ピン番号	入出力	機能
RESET	リセット	32	入力	外部からリセットするための入力端子
CLK	システム・クロック	31	入力	システム・クロックの入力端子
WR	ライト	11	入力	コントロール・ワードおよび送信データの書き込み制御信号の入力端子
RD	リード	12	入力	ステータスおよび受信データの読み出し制御信号の入力端子
B/A	チャンネルB/チャンネルA	14	入力	書き込み、または読み出し時にアクセスするチャンネルの選択信号の入力端子
C/D	コントロール/データ	13	入力	書き込み、または読み出し時におけるデータ・バス上のデータの種類を決める信号の入力端子
D <sub>7</sub> ~D <sub>0</sub>	データ・バス	2~9	入出力	3ステートの8ビット双方向性データ・バス
INT	インタラプト	18	出力	割り込み要求信号出力端子
INTAK	インタラプト・アクノリッジ	17	入力	割り込み要求信号に対するアクノリッジ信号を入力する
PRI	プライオリティ・インプット	16	入力	割り込み要求信号の発生、および割り込みベクタの出力制御信号用の入力端子
PRO	プライオリティ・アウトプット	15	出力	割り込みデイジィ・チェーンを構成する場合に使用する。この出力端子はアクティブ“L”で、優先順位の低いデバイスの割り込み要求の発生を制御する
DRQTxA	DMA リクエスト TxA	29	出力	DMA コントローラに対する DMA 要求出力端子。この端子はアクティブ“H”でチャンネルAのトランスミッタがトランスミッタ・エンブティになったときに“H”になる
DRQRxA	DMA リクエスト RxA	33	出力	DMA コントローラに対する DMA 要求出力端子。この端子はアクティブ“H”でチャンネルAのレシーバがレシーバ・アベイラブルになったときに“H”になる
DTRA/ DRQTxB	データ・ターミナル・レディ/ DMA リクエスト TxB	28	出力	CR <sub>2A</sub> : D <sub>1</sub> , D <sub>0</sub> の設定によって DTR <sub>A</sub> (データ・ターミナル・レディ) または DRQTxB (DMA 要求) 出力端子となる
DTRB/ DRQRxB	データ・ターミナル・レディ/ DMA リクエスト RxB	27	出力	CR <sub>2A</sub> : D <sub>1</sub> , D <sub>0</sub> の設定によって DTR <sub>B</sub> (データ・ターミナル・レディ) または DRQRxB (DMA 要求) 入力端子となる
CTSA, CTSB	クリア・ツウ・センド A, B	40, 19	入力	汎用の入力端子であり、モデム制御などに使用することができる
DCDA, DCDB	キャリア検出 A, B	1, 20	入力	汎用の入力端子であり、モデム制御などに使用することができる
RTSA, RTSB	送信要求 A, B	34, 26	出力	汎用の出力端子であり、モデム制御などに使用することができる
TxDA, TxDB	送信データ A, B	35, 25	出力	送信データの出力端子
RxDA, RxDB	受信データ A, B	39, 22	入力	受信データの入力端子
XI1A/ STRxCA, XI1B/ STRxCB	水晶振動子/ 送信クロック A, B	38, 23	入力	この端子は CR <sub>15</sub> : D <sub>7</sub> の設定によって機能が切り替わり、受信用クロックの入力あるいは水晶振動子接続端子として使用できる
XI2A/ SYNCA, XI2B/ SYNCB	水晶振動子/ 同期信号 A, B	37, 24	入出力	この端子は CR <sub>15</sub> : D <sub>7</sub> の設定によって機能が切り替わり、SYNC 端子または水晶振動子接続端子として使用できる
TRxCA, TRxCB	送受信クロック A, B	36, 21	入出力 入出力	CR <sub>15</sub> : D <sub>2</sub> の設定によって、送信および受信用クロックの入力端子またはクロック出力端子となる



# HDLCC(HDLC Controller)

## ■ピン接続



NC:開放, IC:内部接続(何も接続しない)

## ■最大定格

項目	記号	定格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$-40 \sim 85$	°C
保存温度	$T_{STG}$	$-65 \sim 150$	°C

## ■特 徴

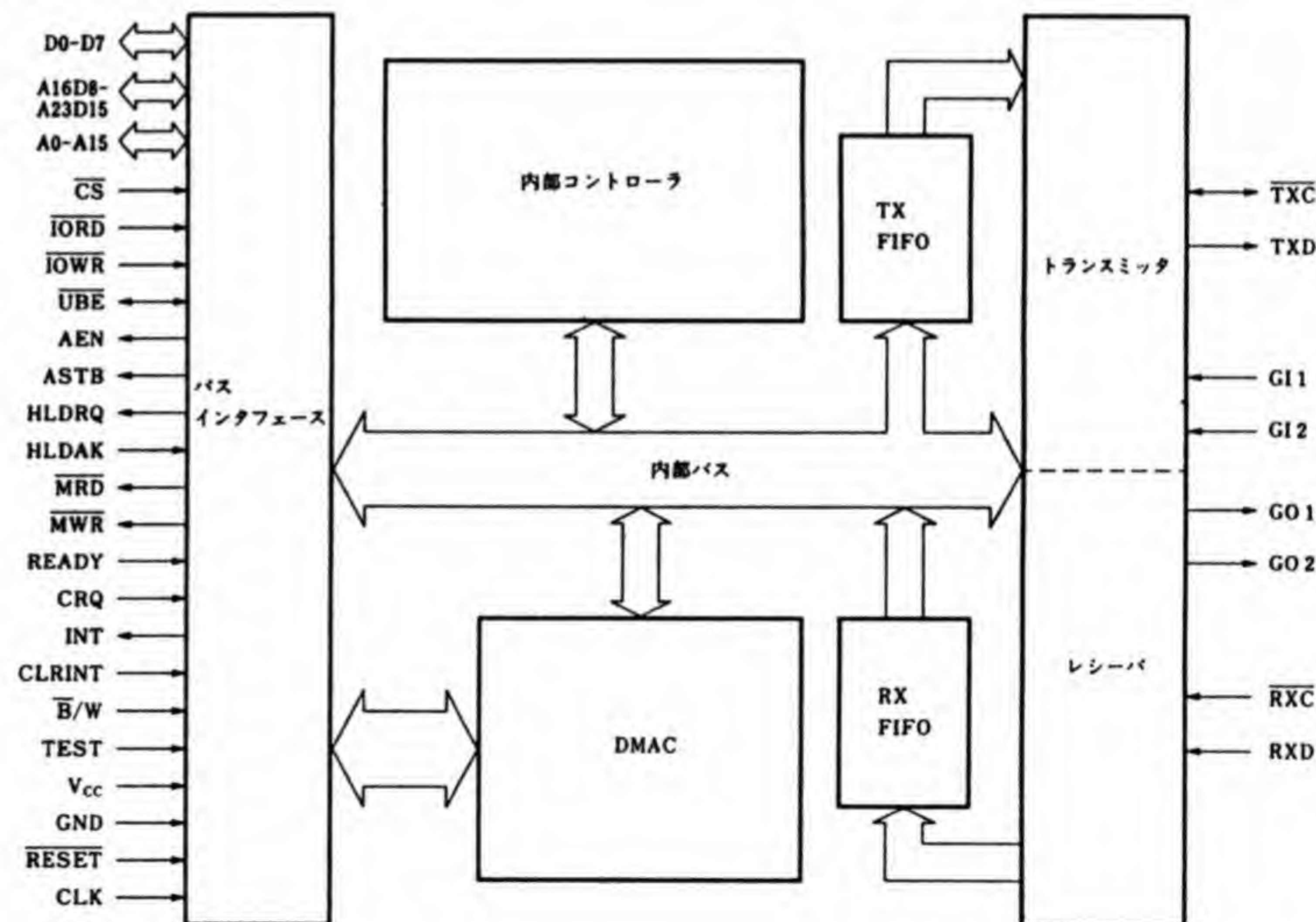
- ・ HDLCフレーム制御用コントローラ
- ・ 1または2バイトのアドレス・フィールド認識機能
- ・ 全二重通信ポートを1チャンネルもつ
- ・ 最大4Mbpsのボー・レート
- ・ 最大送信/受信データ長は16kバイト
- ・ 汎用の入力端子2, 出力端子2をもつ
- ・ 8/16ビット・データ, 24ビット・アドレスのDMAコントローラ内蔵
- ・ データ・フォーマット: NRZ, NRZIのデコード/エンコード
- ・ FCS: 16ビット/32ビット

## ■DC特性

( $T_a = -40 \sim 85^{\circ}\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	$0.7 \times V_{CC}$	V
$I_{OFL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$	$f = 1\text{MHz}$ , $T_a = 25^{\circ}\text{C}$	15	pF

## ■ブロック図





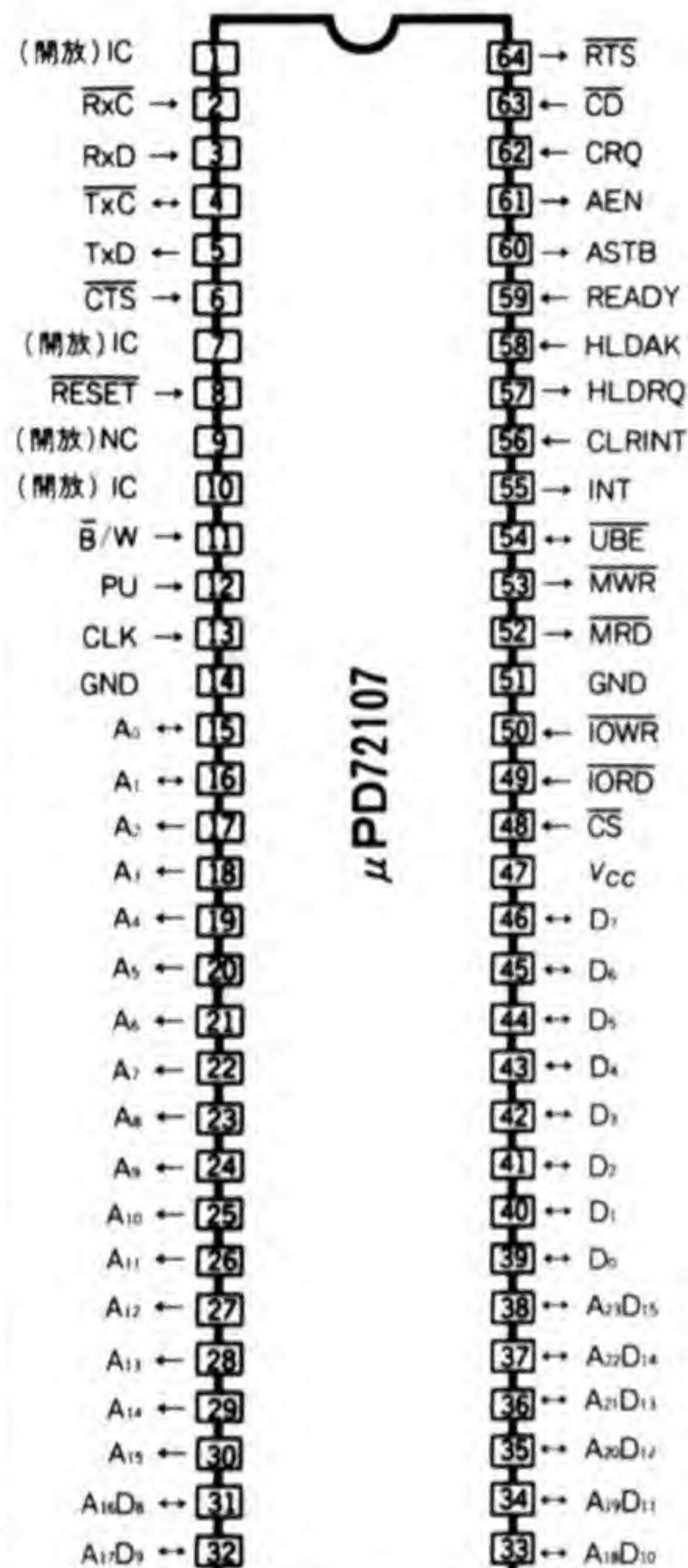
■端子機能

端子名	名称	ピン番号	入出力	機能
CLK	クロック	13	入力	システム・クロック入力。1MHz~8.2MHzのクロックを入力する
RESET	リセット	8	入力	内部を初期化するリセット入力
TEST	テスト	12	入力	テスト用の入力端子で、ハイ・レベルにプルアップして使用する
CS	チップ・セレクト	48	入力	CPUからのリード/ライトを可能にする。アクティブ・ロー
MRD	メモリ・リード	52	出力	バス・マスタのとき、外部メモリのデータを読み出す。アクティブ・ロー
MWR	メモリ・ライト	53	出力	バス・マスタのとき、外部メモリへのデータ書き込みを行う。アクティブ・ロー
IORD	I/Oリード	49	入力	CPUがμPD72103の内部レジスタの内容を読み出すのに使用する
IOWR	I/Oライト	50	入力	CPUがμPD72103の内部レジスタにデータを書き込むために使用する
ASTB	アドレス・ストローブ	60	出力	アドレスを外部でラッチするための出力
UBE	アッパ・バイト・イネーブル	54	入出力	バス・マスタでロード転送モードのとき有効データがD0~D7、A16D8~A23D15のいずれにあるかを示す。バス・スレーブのとき入力となり、同じくデータがどの端子にあるかを示す
B/W	バイト/ワード	11	入力	バス・マスタ時にデータ・バスがバイト単位かワード単位かを示す
READY	レディ	59	入力	低速メモリに対応するためMRD、MWR信号幅を引き伸ばすための信号
HLDRQ	ホールド要求	57	出力	CPUに対するホールド・リクエスト信号
HLDAK	ホールド・アクノリッジ	58	入力	CPUからのホールド・アクノリッジ信号
AEN	アドレス・イネーブル	61	出力	バス・マスタ時にラッチした上位アドレスをイネーブルにし、システム・アドレス・バスに出力させる
A0~A1	アドレス0~1	15, 16	入出力	双方向アドレス・バス
A2~A15	アドレス2~15	17~30	出力	バス・マスタの時、メモリ・アドレスを出力する
A16D8~A23D15	アドレス/データ	31~38	入出力	双方向3ステートのアドレス/データ・バス
D0~D7	データ0~7	39~46	入出力	双方向3ステートのデータ・バス
CRQ	コマンド要求	62	入力	CPUがコマンド実行を要求する信号
INT	インタラプト	55	出力	CPUへの割り込み信号
CLRINT	クリア・インタラプト	56	入力	μPD72103が出力しているINT信号をイン・アクティブにする信号
TXD	トランスミット・データ	5	出力	シリアル送信データ出力
TXC	トランスミット・クロック	4	入出力	内蔵DPLLモード時は、CLK端子の16分周クロックを出力。外部DPLLモード時は、送信クロックを入力する
RXD	レシーブ・データ	3	入力	シリアル受信データ入力
RXC	レシーブ・クロック	2	入力	内蔵DPLLモード時は、内蔵DPLL用の送受信クロック入力。外部DPLLモード時は、受信クロック入力
GI1, GI2	汎用入力1, 2	63, 6	入力	汎用入力端子
GO1, GO2	汎用出力1, 2	64, 1	出力	汎用出力端子



# ISDN Controller (LAP-B)

## ■ ピン接続



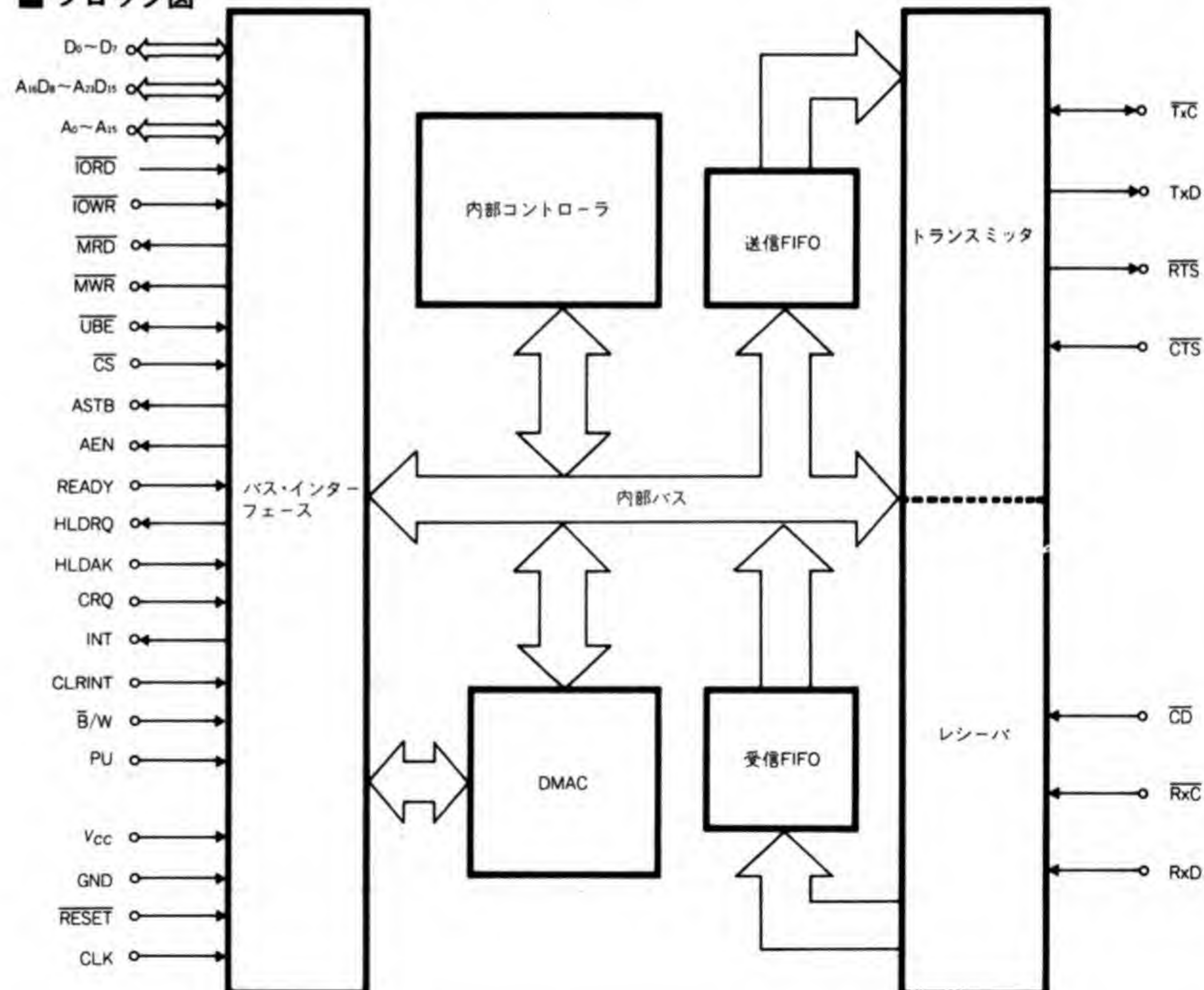
## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.5~7.0	V
入力電圧	V <sub>IN</sub>	-0.5~V <sub>CC</sub> +0.3	V
動作温度	T <sub>OPR</sub>	-40~85	°C
保存温度	T <sub>STG</sub>	-40~125	°C

## ■ 特 徴

- ・ CCITT X.25準拠のLAP-Bプロトコル用コントローラ
- ・ HDLCフレーム制御, シーケンス制御, フロー制御を行う
- ・ オプション機能として, オプション・フレーム, グローバル・アドレス・フレーム, エラー・チェック, 削除フレームを内蔵
- ・ テスト機能として, データ・ループバック, ループバック・テスト・リンク, フレーム・トレース機能を内蔵
- ・ 統計情報出力, モデム制御機能をもつ
- ・ 24ビット・アドレス, バイト/ワード転送可能なDMAC内蔵
- ・ シリアル転送速度は, 最大4Mbps

## ■ ブロック図



## ■ DC特性

(T<sub>a</sub> = -40~85°C, V<sub>CC</sub> = 5V ± 10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.2*	V
V <sub>OL</sub>	I <sub>OL</sub> = 2.5mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> = 400μA	0.7 × V <sub>CC</sub> *	V
I <sub>OL</sub>	V <sub>OUT</sub> = 0 ~ V <sub>CC</sub>	±10	μA
I <sub>IH</sub>	V <sub>IN</sub> = 0 ~ V <sub>CC</sub>	±10	μA
C <sub>IN</sub>		15	pF



■端子機能

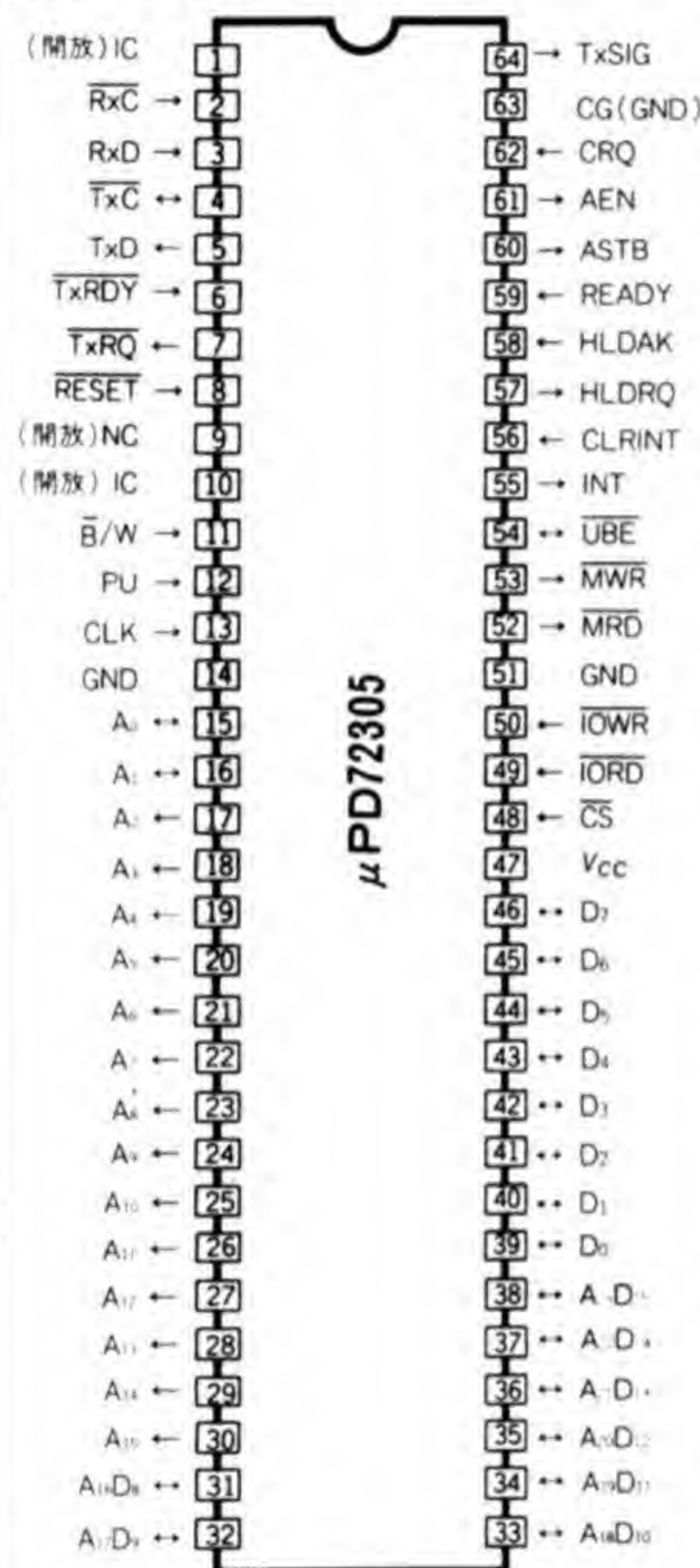
端子名	ピン番号	入出力	機能
CLK	13	入力	システム・クロック入力
RESET	8	入力	内部をイニシャライズする
PU	12	入力	使用時は“H”にプルアップする
$\overline{\text{CS}}$	48	入力	バス・マスタ時はディセーブルにし、バス・スレーブ時は“L”でリード/ライトが可能になる
$\overline{\text{MRD}}$	52	出力	バス・マスタ時、“L”で外部メモリのデータを読み出す
$\overline{\text{MWR}}$	53	出力	バス・マスタ時、“L”で外部メモリにデータを書き込む
$\overline{\text{IORD}}$	49	入力	外部ホスト・プロセッサがμPD72305 に対し IKO 読み出しをおこなう入力
$\overline{\text{IOWR}}$	50	入力	外部ホスト・プロセッサがμPD72305 に対して I/O 書き込みをおこなう入力
ASTB	60	出力	μPD72107 から出力されるアドレスを外部でラッチするために用いる
$\overline{\text{UBE}}$	54	入出力	バス・マスタ時、 $\overline{\text{B/W}}$ 端子の入力値によりこの端子から出力される信号が変わる。バス・スレーブ時、 $\overline{\text{UBE}}$ 端子は入力となり、有効データが $\text{D}_0 \sim \text{D}_7$ 端子か、 $\text{A}_{16}\text{D}_8 \sim \text{A}_{23}\text{D}_{15}$ 端子のどちらにあるかを示す
$\overline{\text{B/W}}$	11	入力	バス・マスタ時、外部メモリをアクセスするデータ・バスを指定する
READY	59	入力	低速なメモリに適應させるために、μPD72107 が出力する $\overline{\text{MRD}}$ , $\overline{\text{MWR}}$ 信号幅を引き延ばすために用いられる入力信号
HLDRQ	57	出力	外部のホスト・プロセッサに対するホールド・リクエスト信号
HLDK	58	入力	外部のホスト・プロセッサからのホールド・アクノリッジ信号
AEN	61	出力	バス・マスタ時にこの信号はラッチした上位アドレスをイネーブルにし、システム・アドレス・バスへ出力させる
$\text{A}_0 \sim \text{A}_1$	15, 16	入出力	双方向 3 ステートのアドレス・ライン
$\text{A}_2 \sim \text{A}_{15}$	17~30	出力	バス・マスタ時、メモリ・アクセスのアドレスの 2 ビットから 15 ビット出力

端子名	ピン番号	入出力	機能
$\text{A}_{16}\text{D}_8 \sim \text{A}_{23}\text{D}_{15}$	31~38	入出力	双方向 3 ステートのアドレス/データ・バス
$\text{D}_0 \sim \text{D}_7$	39~46	入出力	双方向 3 ステートのデータ・バス
CRQ	62	入力	外部ホスト・プロセッサがμPD72107 にコマンド実行を要求する信号
INT	55	出力	μPD72107 から外部ホスト・プロセッサへの割り込み信号
CLRINT	56	入力	μPD72107 が出力している INT 信号をイン・アクティブにする信号
$\overline{\text{CTS}}$	6	入力	汎用入力ピン、Clear To Send として使用する
$\overline{\text{RTS}}$	64	出力	汎用出力ピン、Request To Send として使用する
$\overline{\text{CD}}$	63	入力	汎用入力ピン、Carrier Detect として使用する
TxD	5	出力	シリアル送信データ出力端子
$\overline{\text{TxC}}$	4	入出力	DPLL モード使用時(出力)、μPD72107 内部で作られた RxC 端子または CLK 端子の入力信号を 16 分周したクロックを出力する DPLL モード以外の使用時(入力)、外部から送信クロックを入力する
RxD	3	入力	シリアル受信データ入力端子
$\overline{\text{RxC}}$	2	入力	DPLL モード使用時、μPD72107 内蔵 DPLL 用の送受信クロックの 16 倍のクロック入力 DPLL モード以外の使用時、受信クロック入力



## ISDN Controller (LAP-D)

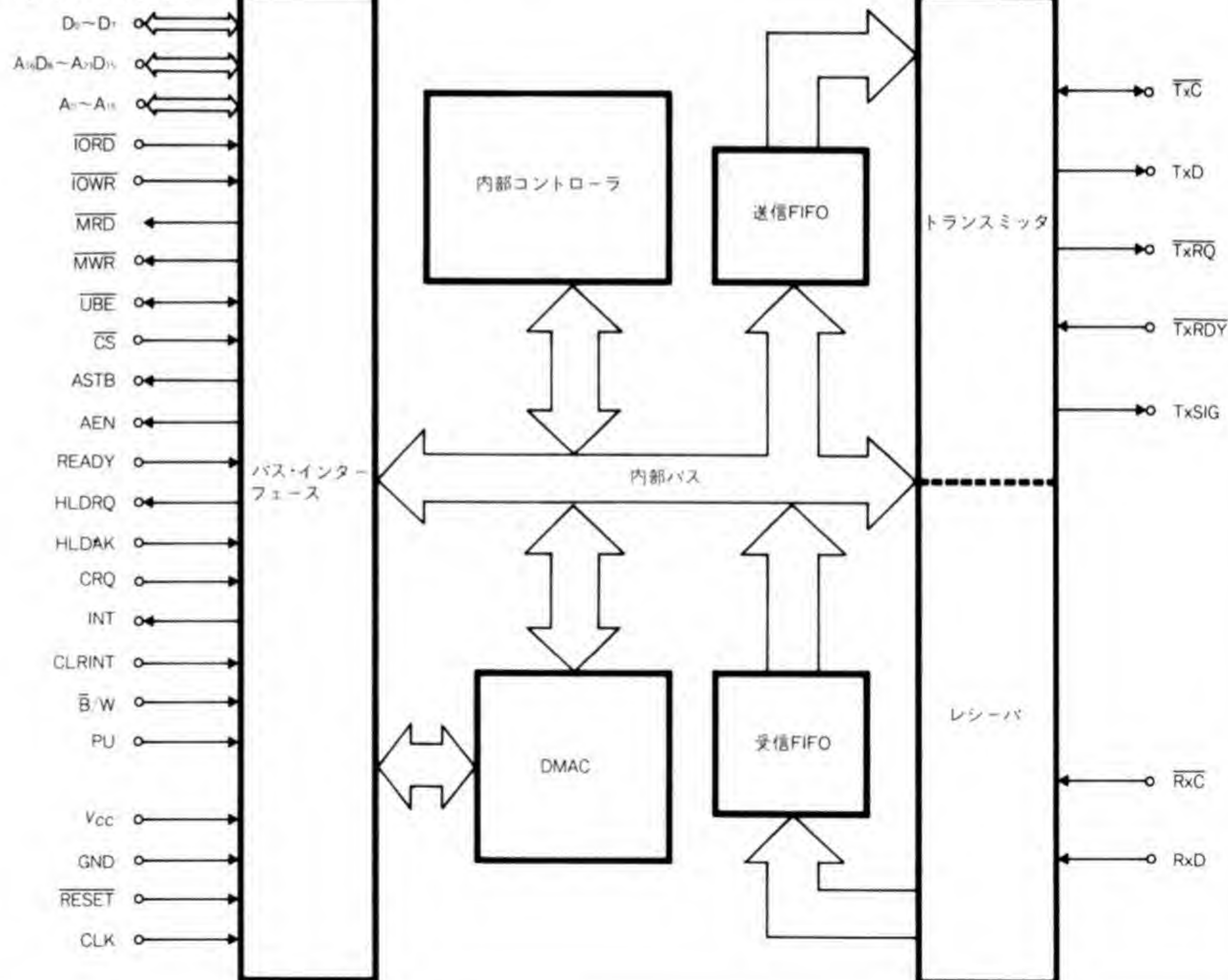
## ■ ピン接続



## ■ 特 徴

- ・ CCITT I. 440, I. 441 準拠で ISDN のベーシック・アクセスに使用される LAP-D プロトコル用コントローラ
- ・ HDLC 制御, シーケンス制御, フロー制御, マルチリンク対応を行うベーシック (16Kbps), プライマリ (64Kbps) 対応可
- ・ ISDN レイヤ 1 インターフェース用に, 競合サポート解決ピン, シグナリング優先制御サポート用ピンをもつ
- ・ 24 ビット・アドレス, バイト/ワード転送可能な DMAC 内蔵
- ・ メモリ・ベースド・インターフェース
- ・ コマンドとステータスはテーブル形式でリング構成, SAPI ごとにステータス・テーブル分離可能, 送受信データは外部メモリ上にストア
- ・ 局側/端末側の選択可能

## ■ ブロック図



## ■ DC特性

(  $T_a = -40 \sim 85^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$  )

記号	測定条件	max/min*	単位
$V_{IL}$		0.8	V
$V_{IH}$		2.2*	V
$V_{OL}$	$I_{OL} = 2.5\text{mA}$	0.4	V
$V_{OH}$	$I_{OH} = 400\mu\text{A}$	$0.7 \times V_{CC}^*$	V
$I_{OL}$	$V_{OUT} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$I_{IL}$	$V_{IN} = 0 \sim V_{CC}$	$\pm 10$	$\mu\text{A}$
$C_{IN}$		15	pF

## ■ 最大定格

項 目	記号	定 格	単位
電源電圧	$V_{CC}$	$-0.5 \sim 7.0$	V
入力電圧	$V_{IN}$	$-0.5 \sim V_{CC} + 0.3$	V
動作温度	$T_{OPR}$	$-40 \sim 85$	$^\circ\text{C}$
保存温度	$T_{STG}$	$-40 \sim 125$	$^\circ\text{C}$



■端子機能

端子名	ピン番号	入出力	機能
CLK	13	入力	システム・クロック入力
RESET	8	入力	μPD72305 内部をクリアする
PU	12	入力	通常使用時は“H”にプルアップする
CS	48	入力	バス・マスタ時、ディセーブルにする バス・スレーブ時、“L”でホスト・プロセッサからのリード/ライト動作が可能となる
MRD	52	出力	バス・マスタ時、“L”で外部メモリ内容を読み出す バス・スレーブ時、MRD 端子出力はハイ・インピーダンス
MWR	53	出力	バス・マスタ時、“L”で外部メモリにデータを書き込む バス・スレーブ時、MWR 端子出力はハイ・インピーダンス
IORD	49	入力	外部ホスト・プロセッサが μPD72305 に対して、I/O 読み出しをおこなう入力
IOWR	50	入力	外部ホスト・プロセッサが μPD72305 に対して、I/O 書き込みをおこなう入力
ASTB	60	出力	μPD72305 から出力されるアドレスを外部でラッチするために用いる
UBE	54	入出力	バス・マスタ時、B/W 端子の入力値によりこの端子から出力される信号が変わる バス・スレーブ時、UBE 端子は入力となり、有効データが D <sub>0</sub> ~D <sub>7</sub> 端子か A <sub>16</sub> D <sub>8</sub> ~A <sub>23</sub> D <sub>15</sub> 端子のどちらにあるかを示す
B/W	11	入力	バス・マスタ時に外部メモリをアクセスするデータ・バスを指定する
READY	59	入力	低速なメモリに適應させるために、μPD72305 が出力する MRD、MWR 信号幅を引き延ばすために用いられる入力信号
HLDAK	58	入力	外部のホスト・プロセッサからのホールド・アクノリッジ信号
HLDRQ	57	出力	外部のホスト・プロセッサに対するホールド・リクエスト信号

端子名	ピン番号	入出力	機能
AEN	61	出力	バス・マスタ時にこの信号は、ラッチした上位アドレスをイネーブルにし、システム・アドレス・バスへ出力させる
A <sub>0</sub> ~A <sub>1</sub>	15, 16	入出力	双方向 3 ステートのアдрес・ライン
A <sub>2</sub> ~A <sub>15</sub>	17~30	出力	バス・マスタ時、メモリ・アクセスのアдресの 2 ビットから 15 ビットを示す
A <sub>16</sub> D <sub>8</sub> ~A <sub>23</sub> D <sub>15</sub>	31~38	入出力	双方向 3 ステートのアдрес/データ・バス
D <sub>0</sub> ~D <sub>7</sub>	39~46	入出力	データの下位 0 ビットから 7 ビット
CRQ	62	入力	外部ホスト・プロセッサが μPD72305 にコマンド実行を要求する信号
INT	55	出力	μPD72305 から外部ホスト・プロセッサへの割り込み信号
CLRINT	56	入力	μPD72305 が出力している INT 信号をイン・アクティブにする信号
TxRQ	7	出力	μPD72305 が TxD 端子からシリアル・データを送信する前に“L”になる
TxRDY	6	入力	外部回路からの送信許可信号を入力する
TxSIG	64	出力	送信データがシグナリング情報かそれ以外かを示す。 ▶ TxSIG=0 シグナリング情報以外のパケット ▶ TxSIG=1 シグナリング情報
TxD	5	出力	シリアル送信データ出力端子
TxC	4	入出力	DPLL モード使用時(出力)、μPD72305 内部で作られた RxC 端子または CLK 端子の入力信号を 16 分周した送受信クロックを出力する DPLL モード以外の使用時(入力)、外部から送信クロックを入力する
RxD	3	入力	シリアル受信データ入力端子
RxC	2	入力	DPLL モード使用時、μPD72305 内蔵 DPLL 用の送受信クロックの 16 倍クロック入力 DPLL モード以外の使用時、受信クロック入力



Pin diagram of the Z8030 chip. The chip is shown as a vertical rectangle with pins numbered 1 to 40. Pins 1-20 are on the left, and pins 40-21 are on the right. The chip name 'Z8030' is printed vertically in the center. Various signals are connected to the pins, including address lines (AD0-AD7), data lines (D0-D7), control lines (INT, IEO, IEI, INTACK, W/REQA, SYNCA, RTxCA, RxDA, TRxCA, TxDA, DTR/REQA, RTSA, CTSA, DCDA, PCLK), and bus lines (DS, AS, R/W, CS0, CS1, W/REQB, SYNCB, RTxCB, RxDB, TRxCB, TxDB, DTR/REQB, RTSB, CTSB, DCDB).

AD<sub>0</sub>～AD<sub>7</sub>は、データのみのD<sub>0</sub>～D<sub>7</sub>

ピン	Z8030	Z8530	機 能
36	$\overline{DS}$	$\overline{RD}$	リード
35	$\overline{AS}$	$\overline{WR}$	ライト
34	R/W	A/B	チャネルA,Bの選択
33	CS <sub>0</sub>	$\overline{CE}$	チップ・イネーブル
32	CS <sub>1</sub>	D/ $\overline{C}$	データ・コマンドの選択

アドレス/データ・バス

8

R/W →

チップ・セレクト { →

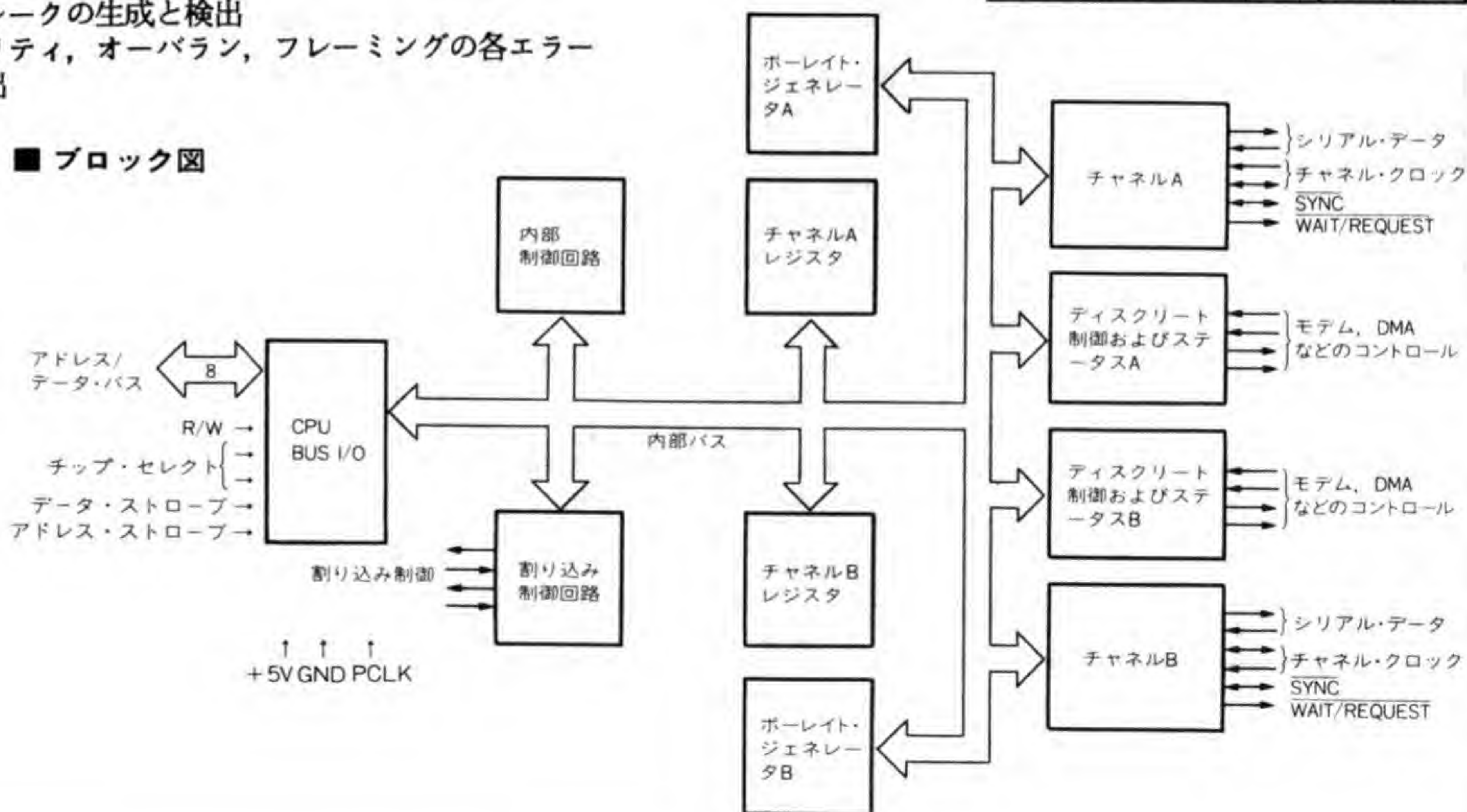
データ・ストロープ →

アドレス・ストロープ →

CPU BUS I/O

割り込み制

+5V GND PCLK



項 目	記号	定 格	単位
入力電圧	$V_{IN}$	$-0.3 \sim +7.0$	V
出力電圧	$V_{OUT}$	$-0.3 \sim +7.0$	V
動作温度	$T_{OPR}$	$0 \sim +70$	°C
保存温度	$T_{STG}$	$-65 \sim +150$	°C

記号	測定条件	min	max	単位
$V_{IH}$		2.0	$V_{CC}+0.3$	V
$V_{IL}$		-0.3	0.8	V
$V_{OH}$	$I_{OH} = -250\mu A$	2.4		V
$V_{OL}$	$I_{OL} = +2.0mA$		0.4	V
$I_{IL}$	$0.4 \leq V_{IN} \leq +2.4V$		10.0	$\mu A$
$I_{OL}$	$0.4 \leq V_{OUT} \leq +2.4V$		10.0	$\mu A$



■端子機能

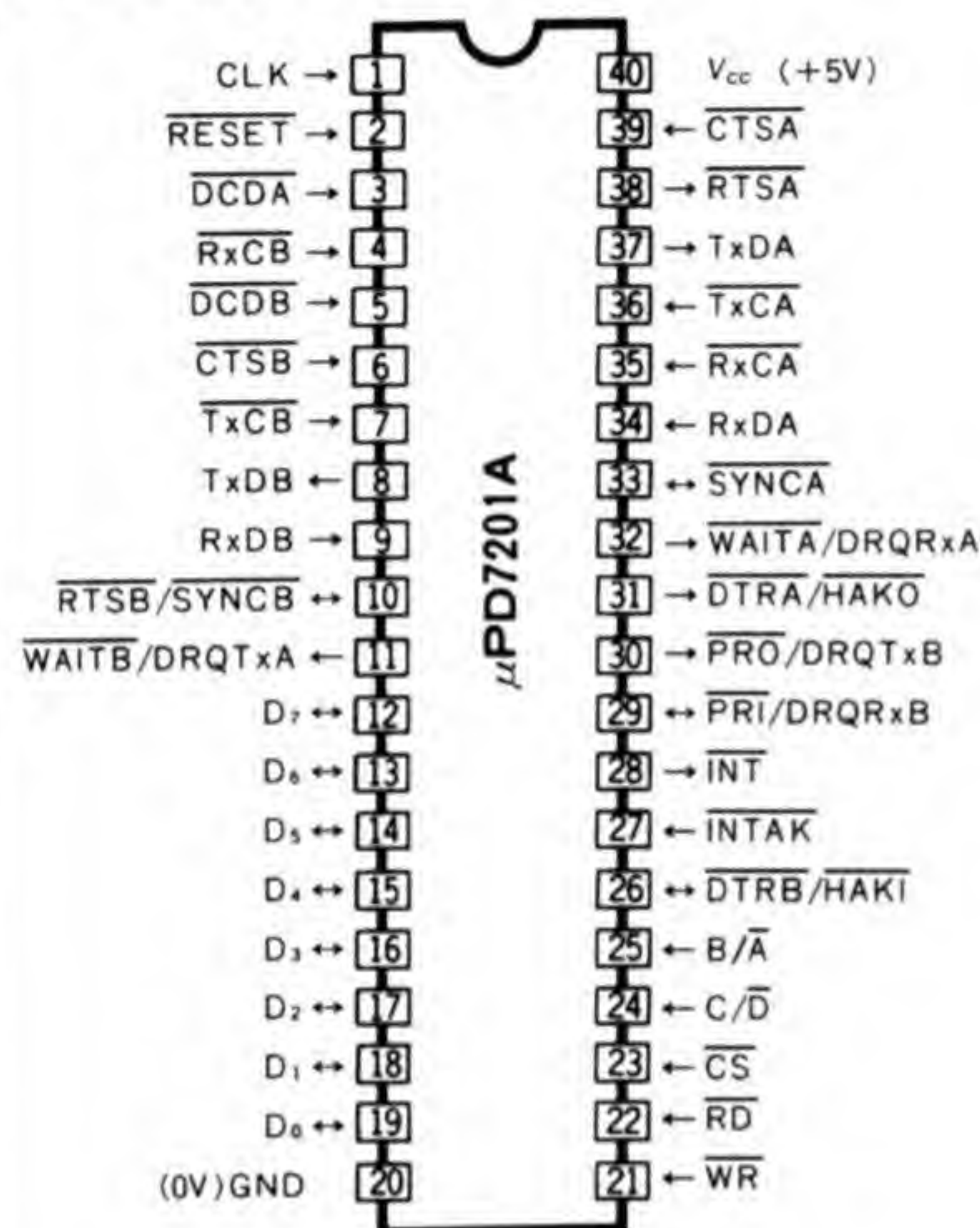
端子名	名称	ピン番号	入出力	機能
AD <sub>0</sub> ~AD <sub>7</sub>	アドレス/データ・バス	1~4, 37~40	入出力	マルチプレクスされたシステム・アドレス/データ・バス
$\overline{AS}$	アドレス・ストロープ	35	入力	アクティブ“L”, アドレスの確定を示す
$\overline{DS}$	データ・ストロープ	36	入力	アクティブ“L”, データの確定を示す
R/ $\overline{W}$	読み出し/書き込み	34	入力	“H”で読み出し, “L”で書き込みを示す
$\overline{CS_0}$	チップ・セレクト 0	33	入力	アクティブ“L”, チップ選択信号
CS <sub>1</sub>	チップ・セレクト 1	32	入力	アクティブ“H”, チップ選択信号
$\overline{INT}$	割り込み要求	5	出力	アクティブ“L”, 割り込み要求を示す
$\overline{INTACK}$	割り込み応答	8	入力	アクティブ“L”, 割り込み応答サイクルを示す
IEI	割り込みイネーブル入力	7	入力	アクティブ“H”, 割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
IEO	割り込みイネーブル出力	6	出力	アクティブ“H”, 割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
$\overline{W/REQA}$ , $\overline{W/REQB}$	ウェイト/要求	10, 30	オープン・ ドレイン出力	アクティブ“L”, DMA がバス・マスタのときは要求線, CPU がバス・マスタのときはウェイト線として動作
$\overline{CTSA}$ , $\overline{CTSB}$	送信可	18, 22	入力	アクティブ“L”, トランスミッタを送信可能状態にする, 汎用入力端子としても使用可能
$\overline{RTSA}$ , $\overline{RTSB}$	送信要求	17, 23	出力	アクティブ“L”, トランスミッタが空になった後“H”, 汎用出力端子としても使用可能
TxDA, TxDB	送信データ	15, 25	入力	送信用データ線
$\overline{DCDA}$ , $\overline{DCDB}$	受信可	19, 21	入力	アクティブ“L”, レシーバを受信可能状態にする, 汎用入力端子としても使用可能
$\overline{RxDA}$ , $\overline{RxDB}$	受信データ	13, 27	入力	受信用データ線
$\overline{RTxCA}$ , $\overline{RTxCB}$	受信/送信クロック	12, 28	入力	通信用クロック
$\overline{TRxCA}$ , $\overline{TRxCB}$	送信/受信クロック	14, 26	入出力	通信用クロック
$\overline{DTR/REQA}$ , $\overline{DTR/REQB}$	データ・ターミナル・レディ/要求	16, 24	出力	アクティブ“L”, DMA への要求線, または汎用出力端子としても使用可能
$\overline{SYNCA}$ , $\overline{SYNCB}$	同期	11, 29	入出力	アクティブ“L”, 同期パターンが認識されたことを示す, 各モードにより入力/出力になる
PCLK	クロック	20	入力	単相クロック, CPUと同一のものでなくてもよい

(注)  $\overline{AS}$  と  $\overline{DS}$  が同時に“L”となることにより初期状態(リセット)になる



# MPSC [Multi Protocol Serial Controller]

## ■ ピン接続



## ■ 最大定格

( $T_a = 25^\circ\text{C}$ )

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5 ~ +7.0	V
入力電圧	$V_{IN}$	-0.5 ~ +7.0	V
出力電圧	$V_{OUT}$	-0.5 ~ +7.0	V
動作温度	$T_{OPR}$	0 ~ +70	$^\circ\text{C}$
保存温度	$T_{STG}$	-65 ~ +150	$^\circ\text{C}$

## ■ 特徴

- ・ 8085A/8086系バス・コンパチブル
- ・ 送受信部
  - ・ 全二重高速動作: 1Mビット/秒 (5MHz動作時)
  - ・ 独立した2チャンネルのトランスミッタ/レシーバ/モデム信号
  - ・ バッファリング: Rxデータ/ステータス×4, Txデータ×2
  - ・ キャラクタ・ビット長: 5~8ビット
  - ・ パリティ, CRC生成/検査
  - ・ フレーミング, Rxオーバラン検査
- ・ 非同期動作
  - ストップ・ビット長: 1, 1.5, 2
  - Tx/Rxクロック・レート: ×1, ×16, ×32, ×64
- ・ ビット同期動作 (HDLC, SDLC)
  - 自動ゼロ挿入/除去

自動フラグ送出/検出/除去

端数キャラクタ処理

2次局/グローバル・アドレス検出

フレーム終了検出

アボート送出/検出

送信キャラクタ数制御

・ バイト同期動作 (Monosync, Bisync, Extsync)

プログラマブルSYNCキャラクタ

自動SYNCキャラクタ送出/検出/除去

豊富な同期モード (1バイト, 2バイト, 外部同期)

・ ホスト・インターフェース部

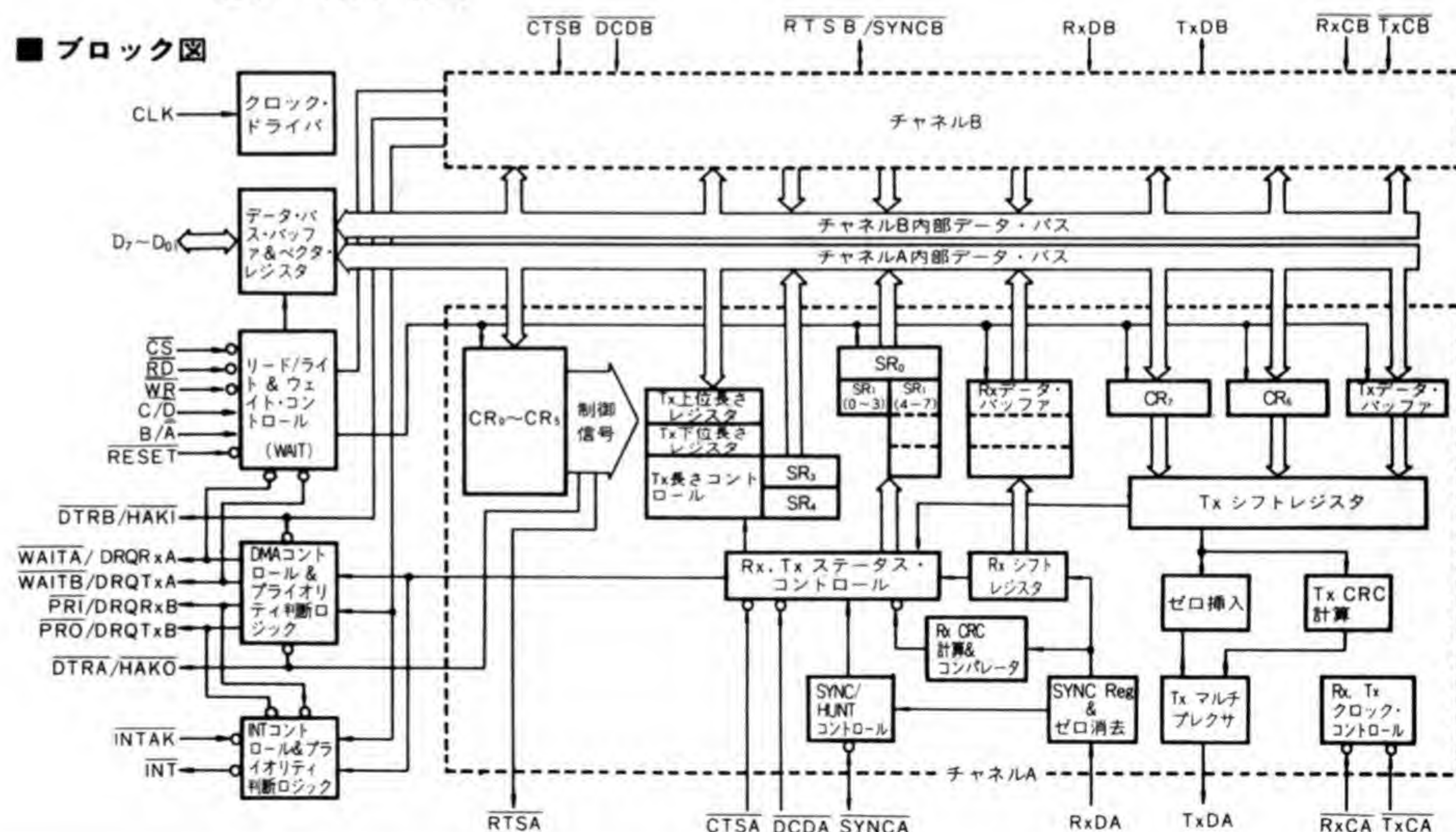
・ 割り込み: 割り込みベクタ自動発生

: デイジィ・チェーン方式選択可

・ DMA: 4本のDMA要求信号

: デイジィ・チェーン方式選択可

## ■ ブロック図





## ■ 端子機能

端子名	ピン番号	入出力	機能
$\overline{\text{RESET}}$	2	入力	1クロック・サイクル以上で、システム・リセット
CLK	1	入力	System Clock, 単相システム・クロック, データ・レートの4.5倍以上
D <sub>7</sub> ~D <sub>0</sub>	12~19	入出力	Data Bus, 8ビット双方向データ・バス
$\overline{\text{CS}}$	23	入力	Chip Select, Tx/Rxバッファまたはコントロール/ステータス・レジスタへのアクセスを可能にする
$\overline{\text{WR}}$	21	入力	Write, CPUまたはメモリから、MPSCへのデータ/コマンドの書き込み制御信号
$\overline{\text{RD}}$	22	入力	Read, MPSCからCPUまたはメモリへのデータ/ステータス読み出し制御信号
C/ $\overline{\text{D}}$	24	入力	Control/ $\overline{\text{Data}}$ , ライトまたはリード動作において、データ・バス上の情報の種類を示す
B/ $\overline{\text{A}}$	25	入力	Channel B/ $\overline{\text{Channel A}}$ , ライトまたはリード動作において、動作するチャンネルを指定する
$\overline{\text{INT}}$	28	オープン・ドレイン出力	Interrupt Request, MPSC内に割り込み要因がおきた場合に“L”の割り込み要求信号を出す
$\overline{\text{INTAK}}$	27	入力	Interrupt Acknowledge, 割り込み要求信号に対するアクノリッジ信号入力
$\overline{\text{PRI}}/\text{DRQRxB}$	29	入力/出力	Priority Input/DMA Request RxB, CR <sub>2A</sub> :D <sub>1</sub> ~D <sub>0</sub> によって二つの機能を切り替える
$\overline{\text{PRO}}/\text{DRQTxB}$	30	出力	Priority Output/DMA Request TxB, CR <sub>2A</sub> :D <sub>1</sub> ~D <sub>0</sub> によって切り替える
$\overline{\text{WAITA}}/\text{DRQRxA}$	32	オープン・ドレイン出力	Wait A/DMA Request RxA, CR <sub>2A</sub> :D <sub>7</sub> ~D <sub>0</sub> により切り替える
$\overline{\text{WAITB}}/\text{DRQTxA}$	11	オープン・ドレイン出力	Wait B/DMA Request TxA, CR <sub>2A</sub> :D <sub>7</sub> ~D <sub>0</sub> により切り替える
$\overline{\text{DTRB}}/\text{HAKI}$	26	出力/入力	Data Terminal Ready/Hold Acknowledge Input, CR <sub>2A</sub> :D <sub>1</sub> ~D <sub>0</sub> で切り替え
$\overline{\text{DTRA}}/\text{HAKO}$	31	出力	Data Terminal Ready/Hold Acknowledge Output, CR <sub>2A</sub> :D <sub>1</sub> ~D <sub>0</sub> で切り替え

端子名	ピン番号	入出力	機能
RxDA, RxDB	34, 9	入力	Receive Data A/B, 受信データの入力端子
TxDA, TxDB	37, 8	出力	Transmit A/B, 送信データの出力端子
$\overline{\text{RxCA}}, \overline{\text{RxCB}}$	35, 4	入力	Receive Clock A/B, この信号の立ち上がりで受信データをサンプリングする
$\overline{\text{TxCA}}, \overline{\text{TxCB}}$	36, 7	入力	Transmit Clock A/B, この信号の立ち下がりで送信データが出力される
$\overline{\text{SYNCA}}$	33	入出力	Synchronization A
$\overline{\text{RTSB}}/\overline{\text{SYNCB}}$	10	入力/入出力	Request To Send B/Synchronization B, CR <sub>2A</sub> :D <sub>7</sub> のRTSB/SYNCBセレクト・ビットによって機能を切り替える, “0”=RTSB, “1”=SYNCB.
$\overline{\text{CTSA}}, \overline{\text{CTSB}}, \overline{\text{DCDA}}, \overline{\text{DCDB}}$	39, 6, 3, 5	入力	Clear To Send A/B } 両者の機能は Data Carrier Detect A/B } 類似している. これらの端子の立ち上がり/立ち下がりによって、E/S割り込みの発生(割り込みイネーブル時)およびE/Sビット (SR <sub>0</sub> :D <sub>5</sub> , D <sub>3</sub> ) へのラッチ動作が起こる
$\overline{\text{RTSA}}$	38	出力	Request To Send A, RTSビット (CR <sub>5</sub> :D <sub>1</sub> ) によりコントロールされる



# MPC [Multi Protocol Controller]

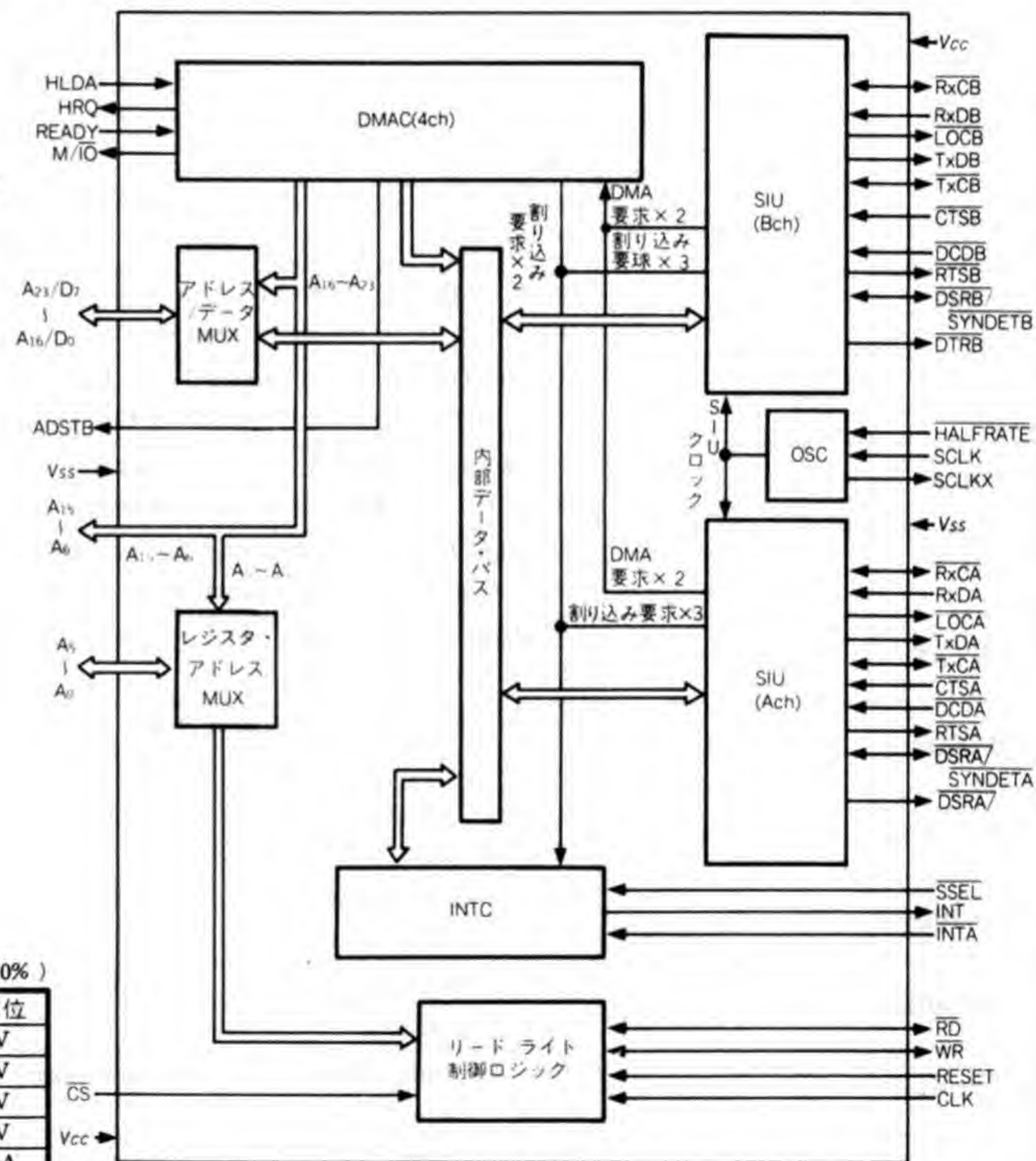
## ■ ピン接続



## ■ 特徴

- ・ ASYNC, COP(Character Oriented Protocol), BOP(Bit Oriented Protocol)の3種のシリアル・データ転送手順をサポートする
- ・ 2チャンネルの全二重通信チャンネルを内蔵。最大2Mbpsの転送が可能
- ・ BOPではHDLCでの転送動作、アドレス・フィールドの2バイトまでの自動比較を行う
- ・ SDLCのループ・モードをサポートする
- ・ COPでは3種の同期検出モードをサポートする
- ・ 3種(LRC, CRC16, CCITT)のCRCチェックをサポート
- ・ NRZ, NRZI, FM0, FM1, マンチェスタ符号をサポート
- ・ 各種のエラー割り込み機能をもつ
- ・ ディスクリプタ・チェーン方式のDMACを4チャンネル内蔵
- ・ 24ビットのDMAアドレス内蔵

## ■ ブロック図



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~V <sub>CC</sub> +0.3	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-55~150	°C

## ■ DC特性 (T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> =2.5mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> =2.5mA	3.0*	V
I <sub>OL</sub>	V <sub>OUT</sub> =0~V <sub>CC</sub>	±10	μA
I <sub>IL</sub>	V <sub>IN</sub> =0~V <sub>CC</sub>	±10	μA



■ 端子機能

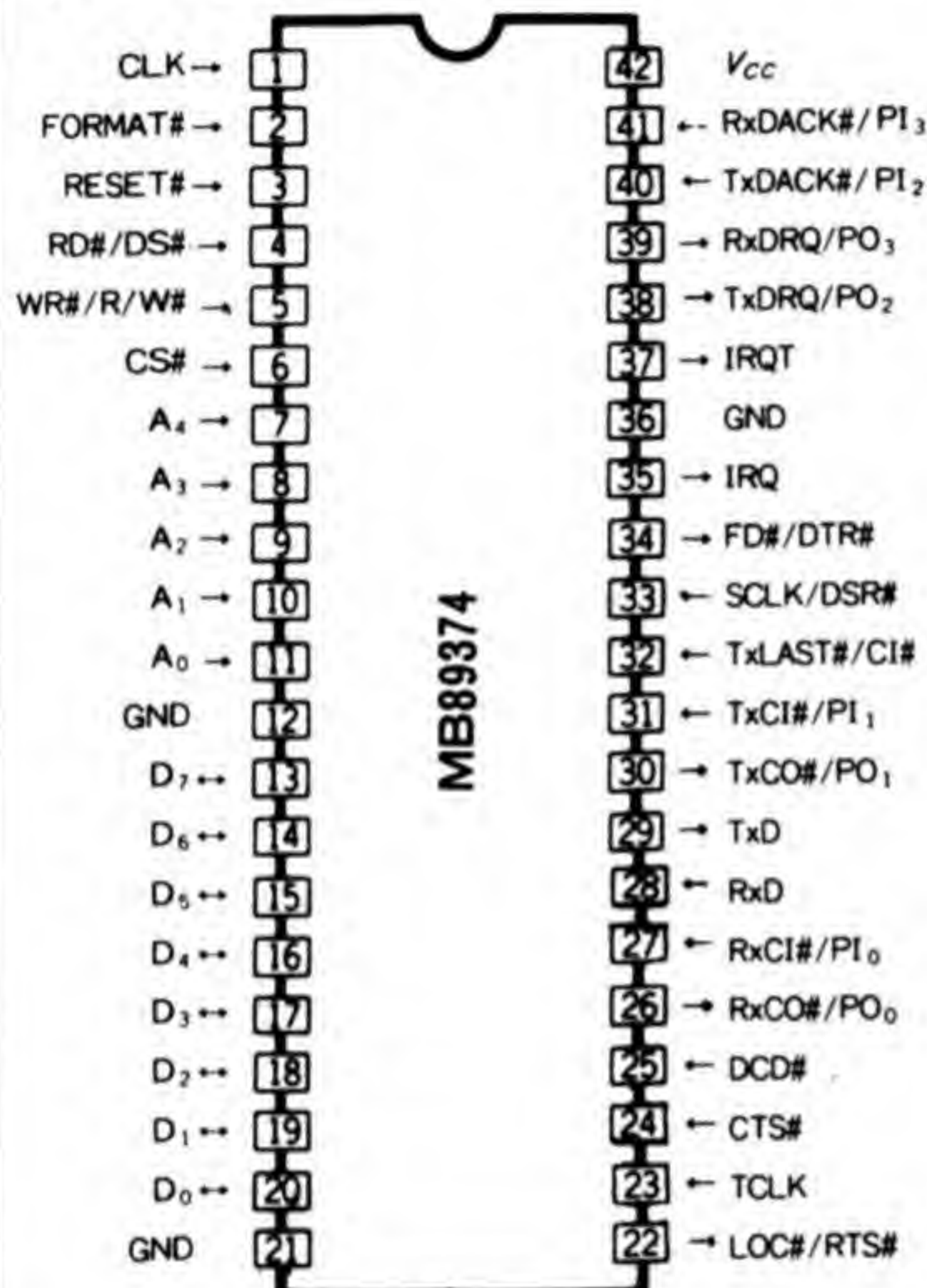
端子名	ピン番号	入出力	機能
$\overline{\text{TxCA}}$	38	入出力	チャンネル A 送信クロック
$\overline{\text{TxCB}}$	52	入出力	チャンネル B 送信クロック
$\overline{\text{RxCA}}$	42	入出力	チャンネル A 受信クロック
$\overline{\text{RxCB}}$	56	入出力	チャンネル B 受信クロック
$\overline{\text{RTSA}}$	35	出力	チャンネル A 送信要求
$\overline{\text{RTSB}}$	45	出力	チャンネル B 送信要求
$\overline{\text{DTRA}}$	33	出力	チャンネル A データ・ターミナル・レディ
$\overline{\text{DTRB}}$	43	出力	チャンネル B データ・ターミナル・レディ
$\overline{\text{DCDA}}$	36	入力	チャンネル A データ・キャリア検出
$\overline{\text{DCDB}}$	46	入力	チャンネル B データ・キャリア検出
$\overline{\text{CTSA}}$	37	入力	チャンネル A 送信可
$\overline{\text{CTSB}}$	51	入力	チャンネル B 送信可
$\overline{\text{DSRA}}/\overline{\text{SYNDETA}}$	34	入出力	チャンネル A データ・セット・レディ/SYNC 検出
$\overline{\text{DSRB}}/\overline{\text{SYNDETB}}$	44	入出力	チャンネル B データ・セット・レディ/SYNC 検出
$\overline{\text{TxDA}}$	39	出力	チャンネル A 送信データ
$\overline{\text{TxDB}}$	53	出力	チャンネル B 送信データ
$\overline{\text{RxDA}}$	41	入力	チャンネル A 受信データ
$\overline{\text{RxDB}}$	55	入力	チャンネル B 受信データ
$\overline{\text{SCLK}}$	49	入力	クロック入力端子。水晶取り付け端子
$\overline{\text{SCLKX}}$	48	出力	水晶取り付け端子
$\overline{\text{HALF RATE}}$	47	入力	Half Rate 入力。SCLK 入力を 2 分周する
$\overline{\text{INT}}$	59	出力	CPU に対する割り込み要求

端子名	ピン番号	入出力	機能
$\overline{\text{INTA}}$	58	入力	CPU からの割り込みアクノリッジ
$\overline{\text{HRQ}}$	61	出力	システム・バス・アクセス要求
$\overline{\text{HLDA}}$	60	入力	システム・バス・アクセス許可入力
$\overline{\text{RESET}}$	62	入力	システム・リセット
$\overline{\text{RD}}$	4	入出力	(バス・スレーブ) : MPC 内のレジスタ読み出し。 (バス・マスタ) : メモリの内容の読み出し
$\overline{\text{WR}}$	5	入出力	(バス・スレーブ) : MPC 内のレジスタへの書き込み。 (バス・マスタ) : メモリへのデータ書き込み
$\overline{\text{READY}}$	1	入力	バス・マスタ時のメモリ・レディ
$\overline{\text{CS}}$	3	入力	(バス・スレーブ) : MPC のチップ・セレクト。 (バス・マスタ) : Don't care
$\overline{\text{ADSTB}}$	6	出力	MPC がバス・マスタ時のアドレス・ストローブ信号
$\overline{\text{M/IO}}$	2	出力	MPC がバス・マスタ時のメモリ/IO セレクト信号
$\overline{\text{CLK}}$	63	入力	システム・クロック
$\overline{\text{SSEL}}$	57	入力	割り込みコントローラ・カスケード接続用。 スレーブ・セレクト入力
$\text{A}_{23}/\text{D}_7 \sim \text{A}_{16}/\text{D}_0$	7 ~ 14	入出力	(バス・スレーブ) : CPU の RD/WR データがのる。 (バス・マスタ) : システム・アドレスの発生。 /MPU : メモリ間データ
$\text{A}_{15} \sim \text{A}_6$	16 ~ 25	出力	(バス・スレーブ) : Don't care。 (バス・マスタ) : システム・アドレスの発生
$\text{A}_5 \sim \text{A}_0$	26 ~ 31	入出力	(バス・スレーブ) : 内部レジスタのセレクト。 (バス・マスタ) : システム・アドレスの発生
$\overline{\text{LOCA}}$	40	出力	チャンネル A ループ 2 次局時のオンライン・コントロール
$\overline{\text{LOCB}}$	54	出力	チャンネル B ループ 2 次局時のオンライン・コントロール



# DLC (Data Link Controller)

## ■ ピン接続



## ■ 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	-0.3~V <sub>CC</sub> +0.3	V
動作温度	T <sub>OPR</sub>	0~70	°C
保存温度	T <sub>STG</sub>	-55~150	°C

## ■ DC特性

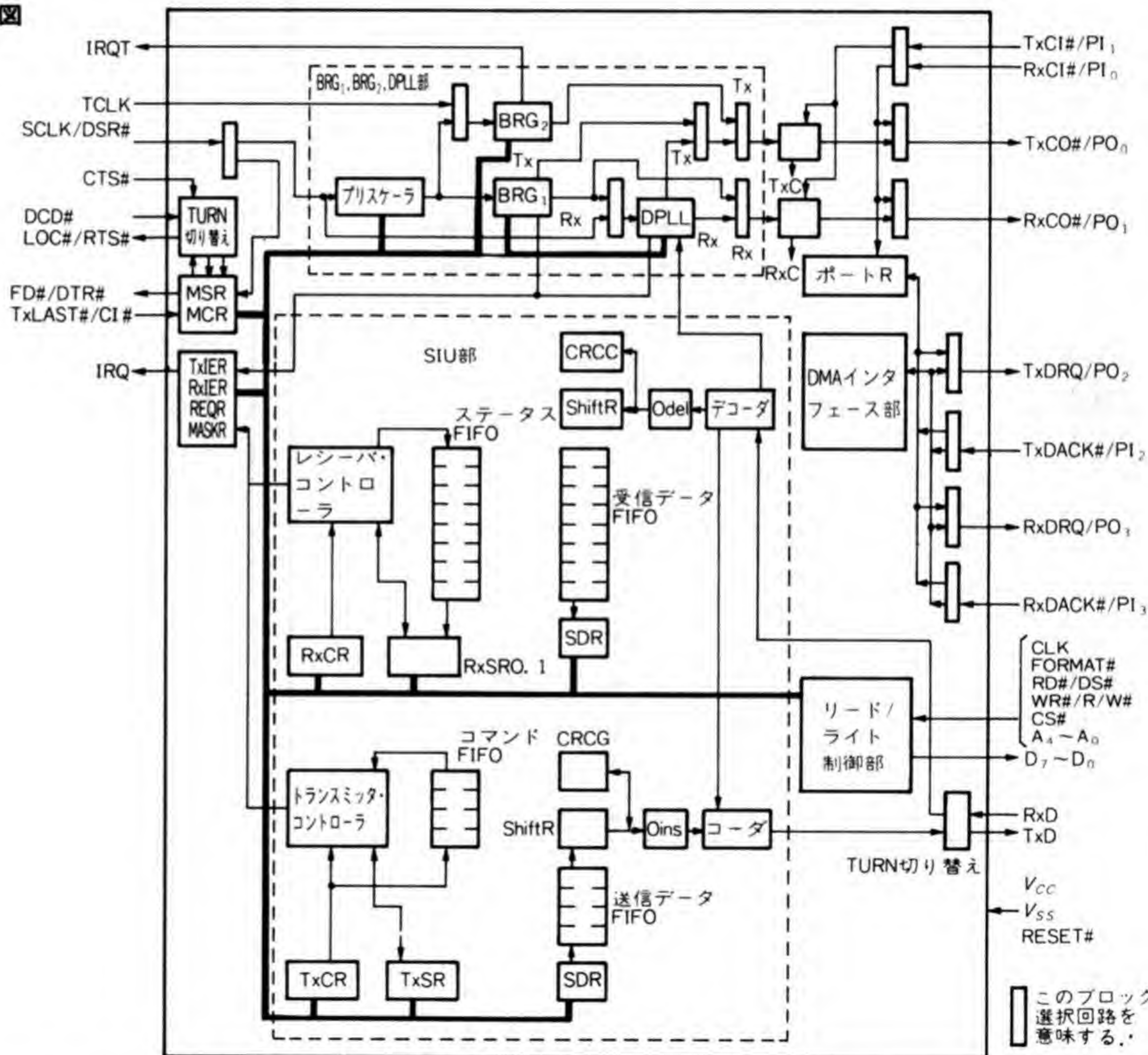
(T<sub>a</sub> = 0~70°C, V<sub>CC</sub> = 5V ± 10%)

記号	測定条件	max/min*	単位
V <sub>IL</sub>		0.8	V
V <sub>IH</sub>		2.0*	V
V <sub>OL</sub>	I <sub>OL</sub> = 2.5mA	0.4	V
V <sub>OH</sub>	I <sub>OH</sub> = 2.5mA	3.0*	V
I <sub>OL</sub>	V <sub>OUT</sub> = 0~V <sub>CC</sub>	±10	μA
I <sub>IH</sub>	V <sub>IN</sub> = 0~V <sub>CC</sub>	±10	μA
C <sub>IN</sub>	f = 1MHz, T <sub>a</sub> = 25°C	20	pF

## ■ 特徴

- ・ BOPのシリアル・データ転送手順をサポート
- ・ SDLCのLOOPモードをサポート
- ・ 全二重通信方式の通信チャンネルを1チャンネル内蔵
- ・ 最大2.5Mbpsの転送が可能 (10MHz動作時)

## ■ ブロック図



ただし、LOOPモードの場合は下記になる  
 NRZ, NRZI符号 : 最大1250Kbps  
 FM, マンチェスタ符号 : 最大833Kbps  
 インターフレーム・スペーシング・カウンタを内蔵

このブロックは  
選択回路を  
意味する。



■端子機能

端子名	ピン番号	入出力	機能
T <sub>x</sub> CO#/PO <sub>1</sub>	30	出力	送信クロック出力端子またはポート出力1端子
T <sub>x</sub> CI#/PI <sub>1</sub>	31	入力	送信クロック入力端子またはポート入力1端子
R <sub>x</sub> CO#/PO <sub>0</sub>	26	出力	受信クロック出力端子またはポート出力0端子
R <sub>x</sub> CI#/PI <sub>0</sub>	27	入力	受信クロック入力端子またはポート入力0端子
LOC#/RTS#	22	出力	ループ・オンライン・コントロールまたは送信要求端子
FD#/DTR#	34	出力	フラグ検出またはデータ・ターミナル・レディ端子
DCD#	25	入力	データ・キャリア・ディテクト端子
CTS#	24	入力	クリア・トゥ・センド端子
T <sub>x</sub> LAST#/CI#	32	入力	送信 DMA 終了信号または呼び出し表示端子
T <sub>x</sub> D	29	出力	シリアル・データの出力端子
R <sub>x</sub> D	28	入力	シリアル・データの入力端子
SCLK/DSR#	33	入力	ソース・クロック入力端子またはデータ・セット・レディ端子
TCLK	23	入力	BRG <sub>2</sub> 用クロックの入力端子
RESET#	3	入力	システム・リセット信号の入力端子
RD#/DS#	4	入力	リード/データ・ストロブ端子
WR#/R/W#	5	入力	ライト, リード/ライト端子
CS#	6	入力	DLC 内部のレジスタをアクセスするときに入力するチップ・セレクト端子
FORMAT#	2	入力	CPU インターフェース・モードの設定端子
D <sub>7</sub> ~D <sub>0</sub>	13~20	入出力	8 ビート・データの入出力端子
A <sub>4</sub> ~A <sub>0</sub>	7~11	入力	DLC 内部レジスタ選択用のアドレス入力端子
IRQ	35	出力	割り込み要求端子
IRQT	37	出力	割り込み要求端子
R <sub>x</sub> DRQ/PO <sub>3</sub>	39	出力	受信 DMA 要求端子またはポート出力3端子
T <sub>x</sub> DRQ/PO <sub>2</sub>	38	出力	送信 DMA 要求端子またはポート出力2端子
R <sub>x</sub> DACK#/PI <sub>3</sub>	41	入力	受信 DMA アクノリッジ端子またはポート入力3端子
T <sub>x</sub> DACK#/PI <sub>2</sub>	40	入力	送信 DMA アクノリッジ端子またはポート入力2端子
CLK	1	入力	DLC の動作クロックの入力端子



1997年版 **最新 マイコン周辺LSI規格表**

---

©CQ出版(株) 1983

1983年 6 月 1 日 初 版 発 行

1997年 5 月20日 発 行

(1997.5.20 第 1 刷)

編 著 者 CQ出版株式会社

発 行 人 蒲 生 良 治

発 行 所 CQ出版株式会社

〒170 東京都豊島区巣鴨 1-14-2

電話 出版部 03-5395-2123

販売部 03-5395-2141

振替 00100-7-10665

定 価 は 表 四 に 表 示 し て あ り ま す
--------------------------------

---

印刷・製本 株式会社 丹誠社

---

乱丁，落丁本はお取り替えします  
Printed in Japan







# ■掲載メーカー一覧（海外メーカー，ABC順）

略号	メーカー名	問合わせ先（日本法人/輸入商社/担当部課）	住所	電話番号
ADAPTEC	Adaptec Inc.	日商エレクトロニクス(株) PC7'ロタ'外部 営業2課	〒104 東京都中央区築地7-3-1	03-3544-8388
AMD	Advanced Micro Devices Inc.	日本AMD(株)	〒163-08 東京都新宿区西新宿2-4-1 (新宿NSビル)	03-3346-7550
ALTERA	Altera Corp.	日本アルテラ(株) 営業部	〒163-04 東京都新宿区西新宿2-1-1 (新宿三井ビル, 私書箱261号)	03-3340-9480
AMCC	Applied Micro Circuits Corp.	テクセル(株) 第1製品部	〒150 東京都渋谷区東2-27-10 (TBC)	03-5467-9104
CHIPS	Chips & Technologies, Inc.	イノマイクロ(株) 販売促進技術部	〒222 横浜市港北区新横浜2-13-13 (KM第1ビル)	045-476-7508
CIRRUS	Cirrus Logic, Inc.	シーラス・ロジック(株)	〒160 東京都新宿区西新宿6-14-1 (新宿グリーンタワービル26F)	03-3340-9111
Cypress	Cypress Semiconductor Corp.	日本サイプレスセミコンダクタ(株)	〒160 東京都新宿区新宿1-23-1 (新宿マルビル)	03-5269-0871
DALLAS	Dallas Semiconductor Corp.	システム・マーケティング(株) マーケティング'部	〒101 東京都千代田区外神田2-2-12 (福井ビル)	03-3254-2751
		マイクロテック(株) マーケティング'1部	〒168 東京都杉並区和泉2-7-5	03-5300-5535
HARR	Harris Co.	ハリス(株) マーケティング'部	〒102 東京都千代田区麹町5-3-5 (麹町中田ビル)	03-3265-7571
INTEL	Intel Corp.	菱洋エレクトロ(株) 輸入電子営業本部	〒104 東京都中央区築地1-12-22 (コンパビル)	03-3543-2212
		ダイヤ・セミコンシステムズ(株) マイクロコンピュータ営業本部 本社営業グループ	〒222 横浜市港北区新横浜3-23-3 (東武AKビル)	045-476-7400
		岡谷エレクトロニクス(株)	〒450 名古屋市中村区名駅南1-16-30	052-583-8558
		旭エレクトロニクス(株) インテル事業部	〒160 東京都新宿区新宿1-11-5 (不二越ビル)	03-3350-6471
INTS	現在 Harris			
MOT	Motorola Inc.	日本モトローラ(株) 情報サービスセンター	〒141 東京都品川区西五反田4-32-1	0120-191014
NS	National Semiconductor Corp.	ナショナルセミコンダクター・ジャパン(株) カスタマ・レスポンス・センタ	〒135 東京都江東区木場2-17-16 (URD木場ビル)	0120-666-116
SIGNE	Philips Semiconductors	日本フィリップス(株) 半導体事業部 マーケティング・サービス部 宣伝販促課	〒108 東京都港区港南2-13-37 (フィリップスビル)	03-3740-5130
PLX	PLX Technology, Inc.	(株)日本アイ・シー 営業技術部	〒151 東京都渋谷区千駄ヶ谷4-5-15	03-3402-5280
RCA	現在 Harris			
ZILOG	Zilog Inc.	ザイログジャパン(株)	〒169 東京都新宿区西早稲田2-20-15	03-5272-0230



## ■掲載メーカー一覧（国内メーカー，五十音順）

略号	メーカー名	問合わせ先（担当部課）	住所	電話番号
ASAHI	旭化成マイクロシステム(株)	営業本部 営業第2部	〒151 東京都渋谷区代々木1-24-10 (TSビル)	03-3320-2064
AMPE	(株)アンペール	営業部	〒160 東京都新宿区西新宿7-7-6 (トワ西新宿ビル)	03-5330-6800
OKI	沖電気工業(株)	電子デバイス事業本部 営業本部	〒108 東京都港区芝浦4-10-3 (本社別館)	03-5445-6027
SHAP	シャープ(株)	国内電子部品営業本部 販促企画部	〒545 大阪市阿倍野区長池町22-22 (大阪センタービル)	06-621-1221
ZENIC	(株)ジーニック		〒520-21 滋賀県大津市大萱1-17-14 (松政ビル)	0775-43-2101
EPSON	セイコーエプソン(株)	ED営業推進部 IC営業技術グループ	〒191 東京都日野市日野421-8	0425-87-5816
SEIKO	セイコー電子工業(株)	コンポーネント営業1部 営業技術課	〒261 千葉市美浜区中瀬1-8	043-211-1192
SONY	ソニー(株)	エレクトロニクスデバイス営業本部 国内営業部	〒108 東京都港区高輪4-10-18	03-5448-3480
TOSI	(株)東芝	半導体事業本部 半導体営業統括部 半導体営業企画担当	〒105-01 東京都港区芝浦1-1-1 (東芝ビル)	03-3457-3405
NEC	日本電気(株)	半導体ソリューション技術本部 技術情報支援部	〒210 川崎市幸区塚越3-484	044-548-7915
NPC	日本プレシジョン・サーキット(株)	営業部営業2課	〒135 東京都江東区福住2-4-3	03-3642-6663
HITA	(株)日立製作所	マイコン・ASIC本部 マイコン製品技術部	〒100 東京都千代田区大手町2-6-2 (日本ビル)	03-5201-5022
FUJI	富士通(株)	電子デバイス営業本部 営業企画推進統括営業部	〒140 東京都新宿区西新宿2-7-1 (新宿第一生命ビル)	03-5322-3329
MATUSHITA	松下電子工業(株)	半導体事業本部 販売統括部	〒617 京都府長岡京市神足焼町1	075-951-8151
MITU	三菱電機(株)	半導体営業推進部	〒107 東京都港区赤坂5-2-20 (赤坂パークビル)	03-5573-3385
RICO	リコー(株)	電子デバイス事業部 営業部	〒222 横浜市港北区新横浜3-2-3	045-477-1703
ROHM	ローム(株)	広報室	〒615 京都市右京区西院溝崎町21	075-311-2121







**①最新 トランジスタ規格表**

国内メーカーから市販されているトランジスタ

**②最新 トランジスタ互換表**

国内の主要8社のトランジスタ互換品種

**③最新 ダイオード規格表**

国内メーカーの各種ダイオード

**④最新 FET規格表**

国内メーカーのFETと国内外メーカーのパワーMOS FET

**⑤最新 電力用素子規格表**

国内メーカーの各種サイリスタ, 双方向サイリスタ, バリスタ, UJT, トランジスタ・モジュール

**⑥最新 光表示素子規格表**

国内外メーカーのLEDランプ, LEDディスプレイの特性と外形図

**⑦最新 高周波デバイス規格表**

通信用高周波ダイオード, トランジスタ, FET, パワー・モジュール, RF/IFアンプ, シンセサイザ, スペシャル・ファンクション, PLL他

**⑧最新 74シリーズIC規格表**

国内外メーカーの74シリーズIC (バイポーラ, CMOS) の特性とピン接続, パッケージ情報

**⑨最新 CMOSデバイス規格表**

国内外メーカーの4000B/4500B/5000/4SシリーズCMOS IC (74シリーズを除く) 他

**⑩最新 RAM規格表**

国内外メーカーのスタティックRAM, ダイナミックRAM, デュアル・ポートRAM

**⑪最新 PLD/ROM規格表**

PLD, PROM, UV-EPROM, EE-PROM, One Time-EPROM, Flash-PROM

**⑫最新 モノリシックOPアンプ規格表**

国内外メーカーのモノリシックOPアンプIC

**⑬最新 光インターフェース素子規格表**

赤外LED, レーザ・ダイオード, フォト・ダイオード, フォト・トランジスタ, フォトIC, フォト・カプラ

**⑭最新 リニアIC規格表 (アナログ機能IC編)**

国内外メーカーのコンパレータ, アナログSW, V-F/F-Vコンバータ, タイマ, アナログ演算器, 基準電圧源, マルチプレクサ, フィルタ, センサIC

**⑮最新 リニアIC規格表 (増幅用IC編)**

国内外メーカーの計測用アンプ, パワーOPアンプ, バッファ・アンプ, 絶縁アンプ, オーディオ・アンプ

**⑯最新 電源用IC規格表**

国内外メーカーのシリーズ・レギュレータ, スイッチング・レギュレータ, 電圧監視/保護回路用IC, バッテリ充電用IC

**⑰最新 インターフェース素子規格表**

ライン・インターフェース (EIA232/562/422/485他), バス・インターフェース, ターミネータ, ペリフェラル・ドライバ

**⑱最新 A-D/D-Aコンバータ規格表**

国内外メーカーの各種A-D/D-AコンバータICとサンプル&amp;ホールドIC

**⑲最新 マイコン周辺LSI規格表**

国内外メーカーのマイコン周辺LSI

**⑳最新 ビデオ信号処理用IC規格表**

ビデオ関連の各種IC



ISBN4-7898-4379-3

C3055 ¥1300E

**CQ出版社**

定価：本体1,300円（税別）



9784789843799



1923055013001

